



(12) 发明专利

(10) 授权公告号 CN 101692594 B

(45) 授权公告日 2013. 03. 13

(21) 申请号 200910221130. 7

US 2003/0038615 A1, 2003. 02. 27, 全文.

(22) 申请日 2004. 05. 26

CN 1371159 A, 2002. 09. 25, 全文.

(30) 优先权数据

审查员 李丽娜

60/492, 403 2003. 08. 04 US

10/744, 982 2003. 12. 22 US

(62) 分案原申请数据

200410042854. 2 2004. 05. 26

(73) 专利权人 马维尔国际贸易有限公司

地址 巴巴多斯圣米加勒

(72) 发明人 S·苏塔迪加 J·张 S·戈纳万

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H02M 3/10(2006. 01)

(56) 对比文件

CN 1312973 A, 2001. 09. 12, 全文.

CN 1320298 A, 2001. 10. 31, 全文.

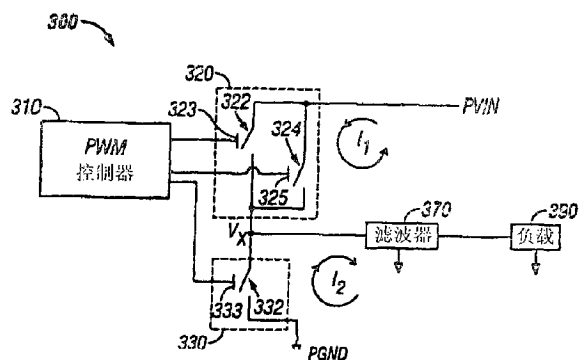
权利要求书 2 页 说明书 7 页 附图 8 页

(54) 发明名称

功率调节器

(57) 摘要

本发明提供了具有改善可靠性的用于高效功率调节器的系统和技术。所述功率调节器可以包括第一驱动器,该第一驱动器包括第一开关和第二开关,其中第一开关的功率耗散小于第二开关的功率耗散。所述功率调节器可以包括第二驱动器。所述第一和第二开关可以用晶体管来实现,所述晶体管可以具有不同的导通状态下的击穿电压和/或导通状态下的漏极-源极电阻。



1. 一种功率调节器,包括:

包括第一驱动器输出的第一驱动器,该第一驱动器包括并联布置的两个以上开关,其中包括具有输出端的第一开关,该第一开关的输出端与所述第一驱动器输出相连;该第一驱动器还包括具有输出端的第二开关,该第二开关的输出端与所述第一驱动器输出相连,其中该第一开关的功率耗散小于该第二开关的功率耗散,该第二开关的导通状态击穿电压大于该第一开关的导通状态击穿电压,并且所述第一和第二开关并联布置并具有不同的类型;和

包括第二驱动器输出的第二驱动器,该第二驱动器输出与该第一驱动器输出相连。

2. 一种功率调节器,包括:

包括第一驱动器输出的第一驱动器,该第一驱动器包括具有输出端的第一开关,该第一开关的输出端与所述第一驱动器输出相连;该第一驱动器还包括具有输出端的第二开关,该第二开关的输出端与所述第一驱动器输出相连,其中该第一开关的功率耗散小于该第二开关的功率耗散,该第二开关的导通状态击穿电压大于该第一开关的导通状态击穿电压,并且所述第一和第二开关并联布置并具有不同的类型;和

包括第二驱动器输出的第二驱动器,该第二驱动器输出与该第一驱动器输出相连,其中,所述第二驱动器包括两个或更多个开关,每个第二驱动器开关具有与所述第二驱动器输出相连的相应输出端。

3. 如权利要求2所述的功率调节器,其中两个或更多个第二驱动器开关包括并联布置的第一晶体管和第二晶体管,并且具有不同的类型,所述第一晶体管具有的导通状态击穿电压低于所述第二晶体管的导通状态击穿电压。

4. 如权利要求2所述的功率调节器,其中所述第二驱动器包括一个或更多个附加的开关,每个附加的第二驱动器开关具有与所述第二驱动器输出相连的相应输出端,其中,所述第二驱动器开关并联布置。

5. 一种功率调节器,包括:

包括第一驱动器输出的第一驱动器,该第一驱动器包括第一开关,该第一开关包括第一晶体管,该第一晶体管具有与该第一驱动器输出相连的输出端;所述第一驱动器还包括第二开关,该第二开关包括第二晶体管,该第二晶体管具有与该第一驱动器输出相连的输出端,其中所述第一开关的功率耗散小于所述第二开关的功率耗散,并且所述第一和第二开关并联布置并且具有不同的类型;

包括第二驱动器输出的第二驱动器,该第二驱动器输出与所述第一驱动器输出相连,其中所述第二驱动器包括两个或更多个并联布置的开关,每个附加的第二驱动器开关具有与所述第二驱动器输出相连的对应输出端;和

断开所述第一驱动器的电路,该断开通过下面的行为实现:控制第一断开起始时间和施加到所述第一晶体管的门极的电压的第一转换速率,和进一步控制第二断开起始时间和施加到所述第二晶体管的门极的电压的第二转换速率,其中所述第一转换速率大于所述第二转换速率。

6. 一种功率调节器,包括:

包括第一驱动输出装置的第一驱动装置,该第一驱动装置包括并联布置的两个以上的开关装置,其中包括的第一开关装置具有与该第一驱动输出装置相连的输出装置;所述第

一驱动装置还包括第二开关装置,该第二开关装置具有与该第一驱动输出装置相连的输出装置,其中所述第一开关装置的功率耗散小于所述第二开关装置的功率耗散,并且其中所述第二开关装置的导通状态击穿电压大于所述第一开关装置的导通状态击穿电压,并且所述第一和第二开关装置并联布置并具有不同的类型;和

包括第二驱动输出装置的第二驱动装置,该第二驱动输出装置与所述第一驱动输出装置相连。

7. 一种功率调节器,包括:

包括第一驱动输出装置的第一驱动装置,该第一驱动装置包括第一开关装置,该第一开关装置具有与该第一驱动输出装置相连的输出装置;所述第一驱动装置还包括第二开关装置,该第二开关装置具有与该第一驱动输出装置相连的输出装置,其中所述第一开关装置的功率耗散小于所述第二开关装置的功率耗散,并且其中所述第二开关装置的导通状态击穿电压大于所述第一开关装置的导通状态击穿电压,并且所述第一和第二开关装置并联布置并具有不同的类型;和

包括第二驱动输出装置的第二驱动装置,该第二驱动输出装置与所述第一驱动输出装置相连,其中所述第二驱动装置包括两个或两个以上开关装置,每个第二驱动开关装置具有与所述第二驱动输出装置相连的相应的输出装置。

8. 如权利要求7所述的功率调节器,其中两个或两个以上第二驱动开关装置包括并联布置的具有不同类型的第一晶体管和第二晶体管,所述第一晶体管装置具有的导通状态击穿电压低于所述第二晶体管装置的导通状态击穿电压。

9. 如权利要求7所述的功率调节器,其中所述第二驱动装置包括一个或一个以上的附加的开关装置,每个附加的第二驱动开关装置具有与所述第二驱动输出装置相连的相应的输出装置,其中所述第二驱动开关装置并联布置。

10. 一种功率调节器,包括:

包括第一驱动器输出的第一驱动装置,该第一驱动装置包括第一开关装置,该第一开关装置包括具有与该第一驱动器输出相连的输出端的第一晶体管;所述第一驱动装置还包括第二开关装置,该第二开关装置包括具有与该第一驱动器输出相连的输出端的第二晶体管,其中所述第一开关装置的功率耗散小于所述第二开关装置的功率耗散,并且所述第一和第二开关装置并联布置并具有不同的类型,其中所述第二驱动器开关装置并联布置;和

包括第二驱动器输出的第二驱动装置,该第二驱动器输出与所述第一驱动器输出相连,其中所述第二驱动装置包括一个或一个以上的附加开关装置,每个附加的第二驱动开关装置具有与所述第二驱动输出装置相连的相应的输出装置;和

断开所述第一驱动装置的电路,该断开通过下面的行为实现:控制第一断开起始时间和施加到所述第一晶体管的门极的电压的第一转换速率,和进一步控制第二断开起始时间和施加到所述第二晶体管的门极的电压的第二转换速率,其中所述第一转换速率大于所述第二转换速率。

功率调节器

[0001] 本申请是于 2004 年 5 月 26 日提交的发明名称为“用以提高可靠电压操作范围的分门极驱动方案”的中国专利申请 200410042854.2 的分案申请。

技术领域

[0002] 本发明涉及功率调节器,尤其涉及 DC/DC 变换器。

背景技术

[0003] 直流-直流 (DC/DC) 变换器通常包括上部驱动器部分和下部驱动器部分,用以通过外部电感器和外部电容器将电流传送给负载。

[0004] 例如,图 1 显示了一种 DC/DC 变换器系统 100,该系统具有被称为“buck”结构的降压结构。脉宽调制器 (PWM) 控制器 110 控制上部驱动器和下部驱动器,其中上部驱动器包含 PMOS 晶体管 120 而下部驱动器包含 NMOS 晶体管 130。晶体管 120 和 130 通常采用功率晶体管来实现。负载 140 可经由电感器 150 和电容器 160 与晶体管 120 和晶体管 130 的输出相耦合。系统 100 还包括寄生电感 L_1 和 L_2 ,引起寄生电感 L_1 和 L_2 的可能是封装印制电路板的线路电感,诸如电容器 180 这样的外部去耦电容器的有限等效串连电感 (ESL),或是其他因素。在操作中,PWM 控制器 110 交替地接通和断开晶体管 120 和晶体管 130,因此电流交替流过电流路径 I_1 和电流路径 I_2 。

[0005] 图 1 所示结构对于大电流应用来说可能不是最佳的,这是因为 PMOS 功率晶体管一般较大的导通状态下的漏极-源极电阻 R_{DS-on} 。例如对 PMOS 功率晶体管来说,其 R_{DS-on} 一般比同等尺寸的 NMOS 晶体管的 R_{DS-on} 值高两到三倍。为了获得同等的 R_{DS-on} ,将需要增大 PMOS 功率晶体管的尺寸。然而,较大的器件会导致门开关损耗增加,并可能导致所不希望的庞大模片尺寸。

[0006] 另一方面,可以同时对于上部驱动器和下部驱动器使用 NMOS 功率晶体管。图 2A 显示了这样一种可选实施例。DC/DC 变换器系统 200 包括 PWM 控制器 210 用以控制上部驱动器,该上部驱动器包含顶部 NMOS 晶体管 220 和底部 NMOS 晶体管 230。系统 200 还包括与顶部晶体管 220 相连的驱动器前置自举电路 215 和自举电容 C_{BS} 218。

[0007] 由于 NMOS 晶体管的 R_{DS-on} 值相对相应的 PMOS 晶体管来说较低,图 2A 所示实施例可以比图 1 所示实施例提供更高性能。然而,附加驱动器前置自举电路使得系统的复杂度增大。如果 NMOS 晶体管 220 是集成的,则 NMOS 晶体管 220 在导通状态下的击穿电压对更高的电流应用来说可能过低,换言之,可能不得不减小可靠输入电压的操作范围。

[0008] 例如,图 2B 显示了在多个 V_{GS} 值下,典型的 5V NMOS 晶体管的击穿和阶跃恢复特性。相之形成对照,图 2C 显示了典型的 5V PMOS 晶体管在相同的 V_{GS} 值下的击穿特性。NMOS 晶体管在其门极电压为低或者说晶体管截止时可以经受高 V_{GS} 。如图 2C 所示,PMOS 晶体管通常能够比同等 NMOS 晶体管更好地经受导通状态的电压负荷。

发明内容

[0009] 本发明申请要求被转让给的美国临时专利申请第 60/492,403 号的优先权,该申请于 2003 年 8 月 4 日提出,名称为“A Driver Scheme for Improved Reliability of High Efficiency, High Current Switched Regulator(一种用于提升高效高电流切换调节器可靠性的驱动器方案)”,其全文在此结合作为参考资料。

[0010] 概括地说,从一方面看,本发明提供了一种功率调节器,其包括具备第一驱动器输出的第一驱动器和具备第二驱动器输出的第二驱动器。该第一驱动器可以包括第一开关和第二开关,其中第一开关具有与第一驱动器输出相连的输出端,而且第二开关也具有与第一驱动器输出相连的输出端。第一开关的功率耗散可小于第二开关的功率耗散。例如,第一开关和第二开关可以采用晶体管来实现,其中第一开关由于其晶体管的类型或尺寸而具有比第二开关更低的功率耗散。

[0011] 上述第二开关的导通状态击穿电压可以比第一开关的导通状态击穿电压高。例如,第一开关和第二开关可以用晶体管来实现,其中第二开关由于其晶体管的类型和尺寸而具有比第一开关更高的导通状态击穿电压。

[0012] 在某些实施例中,第一开关可以由 NMOS 晶体管构成,并且所述调节器还可以包括与第一晶体管的门极相连的驱动器前置自举电路。

[0013] 在某些实施例中,所述调节器可以包括用以断开第一驱动器的电路。该电路可以被设置成通过控制施加到第一晶体管门极上的电压的第一断开起始时间和第一转换速率来断开第一驱动器。该电路可以进一步被设置成用以控制施加到第二晶体管门极上的电压的第二断开起始时间和第二转换速率。

[0014] 所述电路可以被设置成控制第一断开起始时间,使得第一断开起始时间处于第二断开起始时间之前。该电路可被设置成控制第一转换速率而使其大于第二转换速率。该电路可以被设置成控制第一断开起始时间、第二断开起始时间、第一转换速率和第二转换速率,使得第一晶体管在第二断开起始时间之前被断开。

[0015] 所述调节器可以被包含在直流-直流(DC/DC)变换器中。该调节器可以包括一滤波器,该滤波器的输入与第一驱动器输出和第二驱动器输出相连。该滤波器可以和一负载相连。

[0016] 第一驱动器还可以包括一个或多个附加开关,每个开关具有和第一驱动器输出相连的输出端。第二驱动器可以包括一个或多个第二驱动器开关,每个第二驱动器开关具有和第二驱动器输出相连的输出端。第二驱动器开关可以由 NMOS 晶体管构成。上述一个或多个第二驱动器开关可以包括第一晶体管和第二晶体管,该第一晶体管所具有的导通状态漏极-源极电阻比第二晶体管的导通状态漏极-源极电阻低。

[0017] 概括地说,从另一方面看,所述功率调节器可以包括第一驱动装置,该第一驱动装置包括第一驱动输出装置。第一驱动装置可以包括第一开关装置,该第一开关装置借助一输出装置和第一驱动输出装置相连;并且上述第一驱动装置还可以包括第二开关装置,该第二开关装置借助一输出装置和第一驱动输出装置相连。第一开关装置的功率耗散可以小于第二开关装置的功率耗散。

[0018] 概括地说,从另一方面看,本发明提供了一种断开驱动器的方法,该方法可以包括断开驱动器的第一开关以及断开驱动器的第二开关,该第一开关具有比驱动器的第二开关更低的导通状态下的功率耗散。第一开关可以包括第一晶体管,而断开驱动器的第一开

关可以包括改变施加到该第一晶体管门极上的电压,使其从接通电压改变为断开电压,第一晶体管在接通电压作用下接通,而在断开电压下断开。

[0019] 上述第二开关可以包括第二晶体管,而断开驱动器的第二开关可以包括改变施加到该第二晶体管门极上的电压,使其从接通电压改变为断开电压,第二晶体管在接通电压作用下接通,在断开电压下断开。

[0020] 上述改变施加到第一晶体管门极上电压的步骤,其执行时间可以与第一晶体管的断开时间相同,同时,改变第二晶体管门极上电压的步骤,其执行时间可以与第二晶体管的断开时间相同。第二晶体管的断开时间可以比第一晶体管的断开时间长。例如,第二晶体管断开时间可以至少为第一晶体管断开时间的两倍。

[0021] 上述方法还可以包括接通一不同的驱动器。上述接通不同的驱动器可以包括接通包含于该不同驱动器内的一个或多个开关。这一个或多个开关可以用晶体管来实现。所述方法还可以包括断开不同的驱动器。在一实施例中,该不同驱动器包括第一晶体管和第二晶体管,而断开该不同驱动器包括在断开第二晶体管之前断开第一晶体管。第一晶体管可以具有比第二晶体管更低的导通状态下损耗。第一晶体管可以具有比第二晶体管更低的导通状态下的击穿电压。

[0022] 在下面的描述和附图中阐述了一个或多个实施例的细节。其他特征和优点将由描述、附图以及权利要求而变得明显。

附图说明

[0023] 图 1 是按照现有技术的一种 DC/DC 变换器的示意图。

[0024] 图 2A 是按照现有技术的另一种 DC/DC 变换器的示意图。

[0025] 图 2B 说明了典型的 5V NMOS 晶体管的击穿和阶跃恢复特性。

[0026] 图 2C 说明了典型 5V 的 PMOS 晶体管的击穿特性。

[0027] 图 3 是按照本发明一个实施例的一种功率调节器的示意图。

[0028] 图 4 是一个 DC/DC 变换器系统的实施例的示意图,其中该变换器系统在顶部开关中结合了 NMOS 和 PMOS 晶体管。

[0029] 图 5 说明了一种用以断开 DC/DC 变换器系统的驱动器的方法,该 DC/DC 变换器系统例如即为图 4 所示的系统。

[0030] 图 6 显示了如图 2A 所示 DC/DC 变换器系统的电压 V_1 , V_2 , V_x 和电流 I_L 。

[0031] 图 7 显示了如图 1 所示 DC/DC 变换器的电压 V_1 , V_2 , V_x 和电流 I ,其中晶体管的门极电压增长缓慢但 dI/dt 仍然高。

[0032] 图 8 显示了用以减少或消除过冲 (over-shoot) 和下冲 (under-shoot) 的 DC/DC 变换器的一个实施例。

[0033] 图 9 显示了用于如图 8 所示实施例的电压 V_{1a} , V_{1b} , V_x , V_2 与电流 I_1 和 I_2 。

[0034] 图 10 显示了一个 DC/DC 变换器系统的实施例,该变换器系统在上部驱动器部分包含两个以上的晶体管。

[0035] 在不同的图中,相同的附图标记表示相同的元件。

具体实施方式

[0036] 本说明书所描述的系统和技术可以使具有改善的可靠性的高效功率调节器得以实现。

[0037] 如图 1 和 2A 所示的 DC/DC 变换器有许多局限性。例如,对于集成的 DC/DC 变换器,内部电压跳动(由图示 PVDD 和 PVSS 的下冲和过冲引起)可能导致不希望的噪声,并可能导致晶体管组件过载。电压跳动尤其会增大晶体管 220 的电压负荷,该晶体管可能会承受比输入电压高大约 2V 的 V_{DS} 值。加至晶体管 220 的额外电压负荷会限制系统 200 的可靠输入电压操作范围。

[0038] 发生电压跳动可能主要归因于寄生电感,如图 2A 所示的电感 L_1 和电感 L_2 。图 2A 中的变换器 200 可处于三个状态之一。在第一状态或称状态 1 中,晶体管 220 接通而晶体管 230 断开。 V_x 为高电平,流过电感器 250 的电流增加,而且电容器 280 被充电。在第二状态或称状态 2 中,晶体管 220 断开而晶体管 230 接通。 V_x 为低电平,流过电感器 250 的电流减小。在第三状态或称状态 3 中,晶体管 220 和晶体管 230 都是断开的。第三状态发生于第一状态和第二状态之间的过渡阶段。在第三状态所经历的时间通常被称为死区时间。

[0039] 图 6 显示了在晶体管 220 的门极处的电压 V_1 ,在晶体管 230 的门极处的电压 V_2 ,在晶体管 220 和 230 的公共端处的电压 V_x ,以及流过图 2A 中电感器 250 的电流。

[0040] 在介于第一状态和第二状态之间的过渡阶段,电流在电流路径 232 和电流路径 234 之间切换。PVDD 和 PVSS 在外部电源电压 PVIN 和 PGND 下可能会经历下冲和过冲,这主要是由于寄生电感 L_1 和 L_2 。

[0041] 过冲和下冲可以下面的方式发生。在第一状态中,流过电感器 250 的电流在晶体管 220 被断开之前增加到峰值电流 I_p 。这一电流流经寄生电感 L_1 ,因此当晶体管 220 被断开时,就产生电压 $L_1 \frac{dI_1}{dt}$,该电压阻止流过 L_1 的电流变化。同样的是,产生了电压 $L_2 \frac{dI_2}{dt}$,该电压阻止流过 L_2 的电流变化,请注意,在晶体管 230 被接通前,流过 L_2 的电流是经由晶体管 230 的体二极管 (body diode) 传导的。

[0042] 流过寄生电感 L_1 和 L_2 的电流的变化持续时间可能在若干纳秒或者数十纳秒的量级,而电流变化速率在每纳秒若干安培的量级。因此,在从第一状态到第二状态的过渡阶段,PVDD 可能过冲高于 PGND 达 $L_1 \left| \frac{dI_1}{dt} \right|$ 。同样,PVSS 可能下冲低于 PGND 达 $L_2 \left| \frac{dI_2}{dt} \right|$ 。如上面所提示的,在晶体管 230 接通之前,流过 L_2 的电流是经由晶体管 230 的体二极管传导的,因此 V_x 可能下冲达 $V_D + L_2 \frac{dI}{dt}$,其中, V_D 是体二极管的正向电压降。

[0043] 可以用多种方法来抑制跳动电压。可以通过改进封装和印制电路板的布局 and 通过减少去耦电容器的 ESL 来减小寄生电感 L_1 和 L_2 。然而,这样做会显著增加系统成本。

[0044] 其它方法包括减少门极驱动电压的转换速率以增加流经寄生电感的电流的变化时间(并从而减小相应的 dI/dt)。然而,这种方法可能显著增加死区时间。参照图 7 和图 1,如果晶体管 120 的门极电压增加缓慢,直到 t_2 点才能对流经 L_1 的电流有作用,在该点, V_x 下降到低于 PVSS(例如接地)。在 t_2 和 t_3 之间,流经 L_1 的电流从 I_p 减少到 0,而流经 L_2 的电流从 0 增加到 I_p 。如图 7 所示,减少门极驱动电压转换速率仅影响大约 1/4 的切换时间。因此,在 dI/dt 方面所得到的减少较小,而死区时间方面却会有较大增加。进而言之,既然晶体管在死区时间工作于高 R_{DS-on} 区间,变换器的效率就被降低了。

[0045] 本发明人认为,包含有用于上部驱动器或者下部驱动器中的一个或多个驱动器的多个开关的功率调节器可以提供比现有系统更好的解决方案。例如,可用多个开关来减少或者消除由上述电源过冲和下冲引起的问题。

[0046] 图 3 显示了根据本发明一个实施例的功率调节器。DC/DC 变换器 300 包括与上部驱动器 320 和下部驱动器 330 相连的 PWM 控制器 310。上部驱动器 320 包括第一开关 322 和第二开关 324。PWM 控制器 310 通过开关端子 323 控制第一开关 322,并且通过开关端子 325 控制第二开关 324。PWM 控制器 310 通过开关端子 333 控制开关 332。PWM 控制器 310 控制第一开关 322、第二开关 324、和开关 332,从而交替地产生电流 I_1 和 I_2 ,以便通过滤波器 370 向负载 390 提供直流输出。

[0047] 在上部驱动器 320 中设置多个开关可以有许多益处。例如,第一开关 322 可以比第二驱动器 324 更有效(例如具有更低的功率耗散),而第二开关 324 可具有更高的导通状态击穿电压。系统 300 可以被设置得令第一开关 322 承载大部分电流 I_1 ,而第二开关 324 承受最主要的导通状态电压负荷。因此,系统 300 可以既高效又可靠。

[0048] 在某些实施例中,第一开关 322 和第二开关 324 可以用功率晶体管来实现。图 4 显示了一个 DC/DC 变换器系统 400 的实施例,其中上部驱动器 420 的第一开关以 NMOS 晶体管 422 实现,而第二开关以 PMOS 晶体管 424 来实现。在某些实施例中,晶体管 422 比晶体管 424 大,以至于在上部驱动器 420 的大部分工作周期中,晶体管 422 承载电流的主要部分。晶体管 422 与晶体管 424 的最优尺寸和相关的 R_{DS-on} 值与处理相关。在某些实施例中,晶体管 422 可以被设置为承载约 70%到约 95%之间的电流,不过其它实施例也是可能的。变换器 400 包括与晶体管 422 的门极 423 相连的驱动器前置自举电路 415 和自举电容器 C_{BS} 418。

[0049] 变换器 400 包括 PWM 控制器 410,用以控制上部驱动器 420 和下部驱动器 430 的工作周期(例如,在所期望的时间以所期望的转换速率来接通和断开晶体管 422、晶体管 424 和晶体管 432)。

[0050] 如上面所提到的,由于具有较低的导通状态击穿电压,NMOS 晶体管在导通状态下承受电压负荷的能力弱于 PMOS 晶体管。在诸如图 2A 所示变换器系统 200 的变换器中,最高的电压负荷发生在电流由上部驱动器切换到下部驱动器的时候。在一个实施例中,变换器系统 400 的可靠性可以如图 5 所示的方法 500 那样,通过断开上部驱动器 420 而得到改善。

[0051] 在断开上部驱动器 420 以前,NMOS 晶体管 422(具有较低的 R_{DS-on})承载了电流的主要部分(步骤 510)。例如,晶体管 422 可以承载大约 90%的电流,而晶体管 424 承载 10%的电流。为了断开上部驱动器 420,可以首先相对快地断开 NMOS 晶体管 422(步骤 520)。接着,由 PMOS 晶体管 424 来承载上部驱动器的所有电流(步骤 530)。随后再相对缓慢地断开 PMOS 晶体管(步骤 540)。相对快速地断开晶体管 422 减少了与断开晶体管 422 相关的部分死区时间。然而,既然 I_1 在晶体管 422 被断开时没有显著变化,跳动电压就不会对处于其导通状态的晶体管 422 施加过度的电压负荷。

[0052] 相对缓慢地断开晶体管 424 增加了电流 I_1 的变化时间。因此,抑制了电压跳动。进一步,既然 PMOS 晶体管 424 在导通状态下具有明显比 NMOS 晶体管 422 高的击穿电压,其更能承受电压瞬变而不至于被击穿。

[0053] 因此,变换器 400 可以比变换器 200 更为可靠。然而,既然在上部驱动器的大部分工作周期中,NMOS 晶体管 422(其具有较低的 R_{DS-on} 值)承载了大部分电流,变换器 400 的效率就不会被过度损害。

[0054] 具有上部和 / 或下部驱动器的功率调节器的另一个实施例如图 8 所示,其中驱动器包含多个开关。图 8 显示了具有上部驱动器 820 的 DC/DC 变换器系统 800,该上部驱动器包含第一 PMOS 晶体管 822 和第二 PMOS 晶体管 824。请注意,在某些实施例中,第一晶体管 822 和第二晶体管 824 可以都由 NMOS 晶体管来实现。第一晶体管 822 的 R_{DS-on} 比第二晶体管 824 的 R_{DS-on} 小,其中晶体管 822 和 824 的 R_{DS-on} 的最优相对值与处理相关。在一示范实施例中,晶体管 822 的 R_{DS-on} 对晶体管 824 的 R_{DS-on} 的比值大约为 1 到 9。

[0055] 系统 800 还包括时间和转换速率控制器 812A 到 812D(概括地称之为控制器 812)。控制器 812 被用来控制施加到晶体管 822、824、832、和 834 门极的电压的时间和变化速率。在图 8 中所示的控制器 812 是与 PWM 控制器 810 分开的;但显然它们也可以是与 PWM 控制器 810 集成在一起的。

[0056] 上部驱动器 820 和下部驱动器 830 可以如下面所述那样被断开和接通,从而减小或者消除 PVDD 和 PVSS 的过冲和下冲。图 9 显示了从断开上部驱动器 820 之前的时间 t_0 ,直到接通下部驱动器 830 的时间 t_5 的 V_{1a} 、 V_{1b} 、 V_x 和 I_1 。

[0057] 从 t_0 到 t_1 ,上部驱动器 820 接通,电流大部分流经晶体管 822(具有更低的 R_{DS-on} 值)。为断开上部驱动器 820,时间和转换速率控制器 812A 首先在如图所示从 t_1 到 t_2 的时间段上,通过增加在晶体管 822 的门极处的电压 V_{1a} 来断开晶体管 822。如图 9 所示, V_x 非常迅速地降低到低于 0V 电压。控制器 812B 接着在从 t_2 到 t_4 的时间段上,通过增加在晶体管 824 的门极处的电压 V_{1b} 来缓慢断开晶体管 824。如图 9 所示,在 t_2 到 t_3 的时间段上, I_1 和 I_2 分别从 I_p 变化到 0 和从 0 变化到 I_p 。

[0058] 上述方法可被用来有效地减少流过寄生电感的电流的 dI/dt (并从而减小或者消除诸如系统 800 等系统的过冲和下冲问题),这是通过容许电流在 t_2 到 t_3 的时间段内从 I_p 变到 0 而实现的。然而,由于 t_1 和 t_2 之间的过渡时间(在该时间内 V_x 减少到 0)比使用现有系统所得时间小很多,本方法不会导致死区时间的大幅增加。

[0059] 在时间 t_4 可以接通下部驱动器 830。由于 I_2 在接通下部驱动器 830 之前增加到 I_p (它是通过晶体管 832 和 / 或晶体管 834 的体二极管传导的),控制器 812C 和 812D 可同时接通晶体管 832 和 834。在其它实施例中,控制器 812C 和 812D 可以不同时地接通晶体管。

[0060] 下部驱动器 830 的晶体管 832 具有比晶体管 834 更小的 R_{DS-on} 值。为断开下部驱动器 830,控制器 812C 可首先迅速断开晶体管 832,同时控制器 812D 可较慢地断开晶体管 834。最后,为接通上部驱动器 820,控制器 812A 和 812B 可同时或者不同时地接通晶体管 822 和 824。请注意,尽管在图 8 中控制器 812A 到 812D 被显示成是分开的,但它们并非一定是分开的。

[0061] 尽管图 8 显示了晶体管 822 和晶体管 824 均由 PMOS 晶体管来实现,而晶体管 832 和 834 均由 NMOS 晶体管来实现,其它实现方案也是可能的。例如,可以用图 4 所示的实施例(和类似实施例)来减少或者消除上述的过冲和下冲。

[0062] 图 10 显示了系统 1000 的另外一个实施例,其中,可在上部驱动器 1020 和 / 或下

部驱动器 1030 中使用两个以上晶体管。例如,上部驱动器 1020 包括 M 个晶体管 1022-1 到 1022-M,其中晶体管 1022-1 到 1022-(M-1) 是 NMOS 晶体管,而晶体管 1022-M 是 PMOS 晶体管。尽管其它实施方案也是可能的,所示下部驱动器 1030 包含一个 NMOS 晶体管 1032。

[0063] 可用如上所述像系统 1000 这样的系统来增加系统的可靠性,并减少或者消除 PVDD 和 PVSS 的过冲和下冲。例如,晶体管 1022-1 到 1022-(M-1) 可在上部驱动器接通时承载大部分电流。为了断开上部驱动器 1020,可首先断开晶体管 1022-1 到 1022-(M-1)。可随后再断开晶体管 1022-M。在这样一种实施例中,系统 1000 可能会更可靠,这是因为 PMOS 晶体管 1022-M 具有比 NMOS 晶体管 1022-1 到 1022-(M-1) 更高的导通状态击穿电压;并且还可能是高效的,这是因为 NMOS 晶体管 1022-1 到 1022-(M-1) 具有比晶体管 1022-M 更低的电阻。

[0064] 系统 1000 可包括时间和转换速率控制器 1012(其可包含多个或者单个控制器),以便控制接通和断开晶体管 1022-1 到 1022-M 的时刻和时间间隔。在这样一种实施例中,可以参照图 8 和 9 接通和断开晶体管 1022-1 到 1022-M 以减小或者消除上述的过冲和下冲。例如,为断开上部驱动器 1020,控制器 1012 可以快速断开晶体管 1022-1 到 1022-(M-1),然后慢速断开晶体管 1022-M。晶体管 1022-1 到 1022-(M-1) 可以按顺序断开,或者在它们被断开的时段上有部分重叠或者完全重叠。

[0065] 以上描述了一些实施例。然而应理解的是,在不脱离本发明的精神和范围的情况下,可以做出种种修改。例如,可以使用不同的 PMOS 和 NMOS 晶体管的组合。功率调节器(例如 DC/DC 变换器系统)所包括的晶体管数目可以与所述上部和 / 或下部驱动器中的晶体管数目不相同。可使用不同类型的开关。举例来说,可在某些实施例中使用其它类型的晶体管,如双极晶体管。因此,其它这类实施例也处于所附的权利要求范围内。

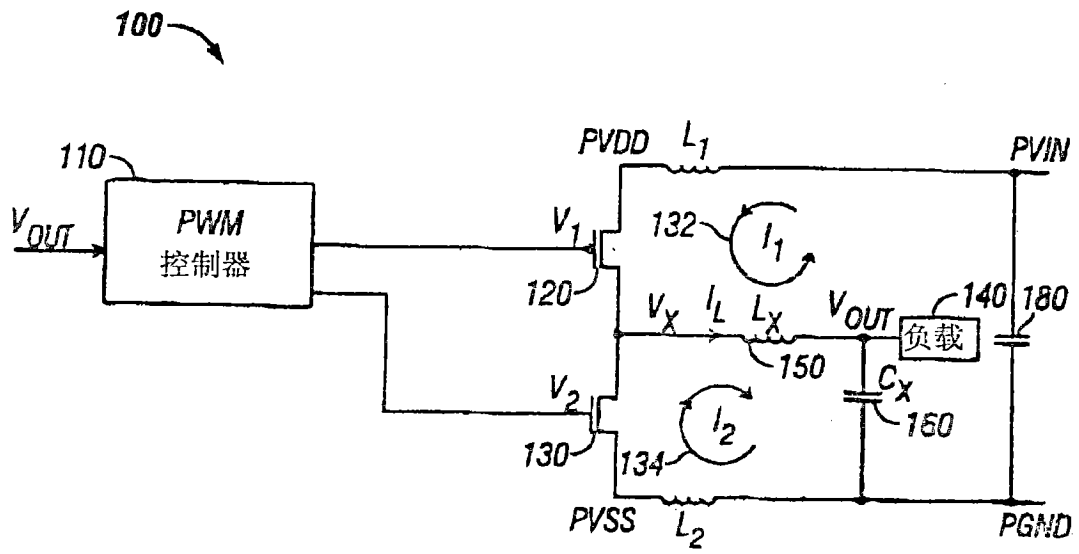


图 1

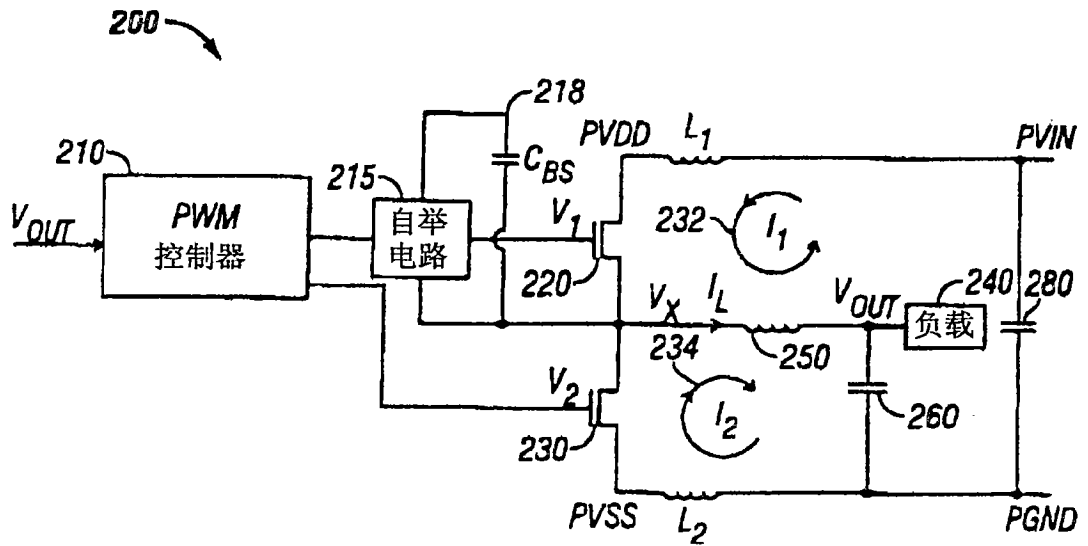


图 2A

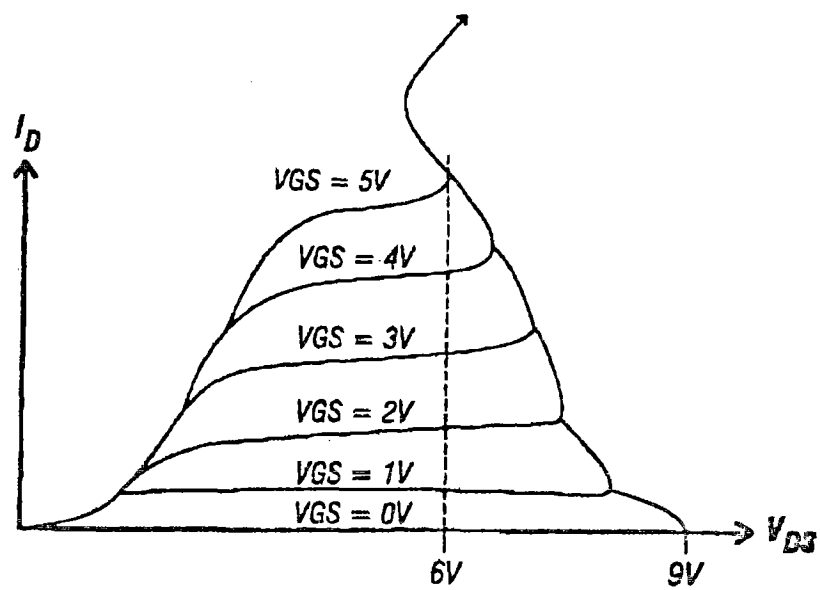


图 2B

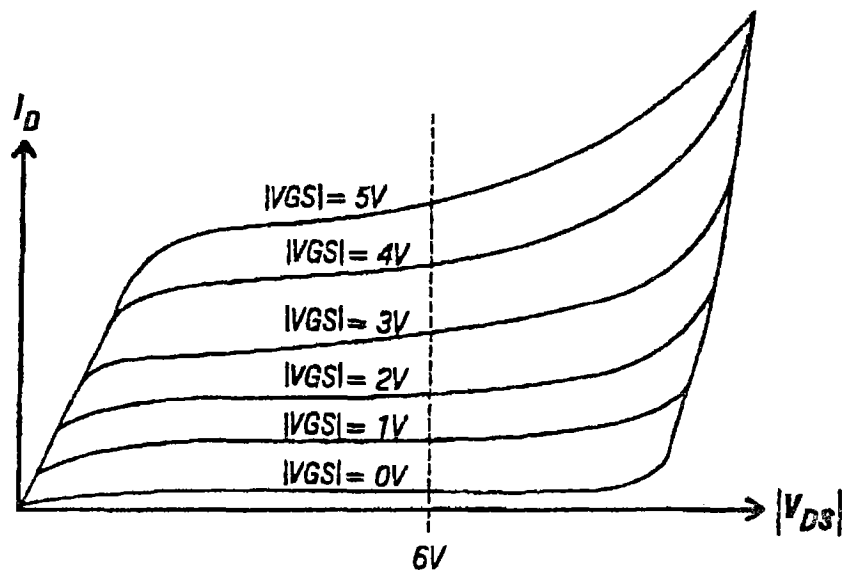


图 2C

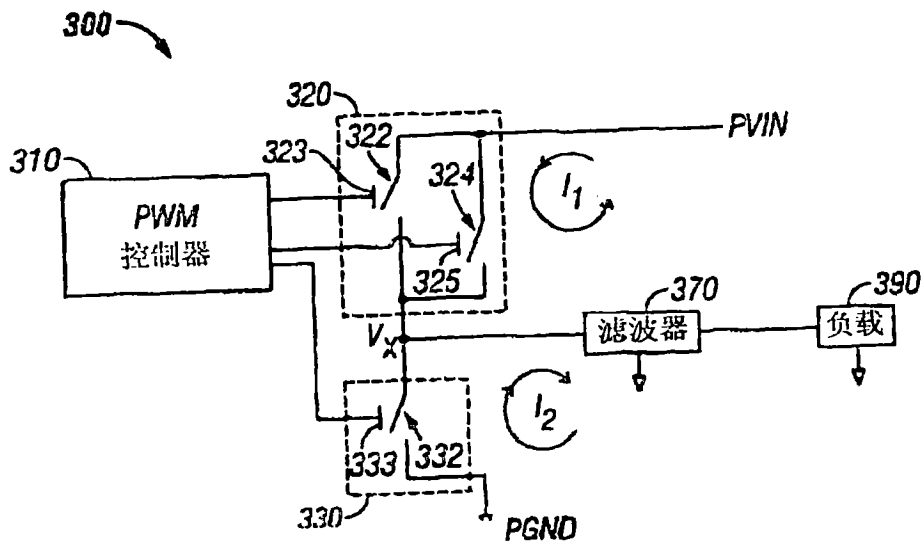


图 3

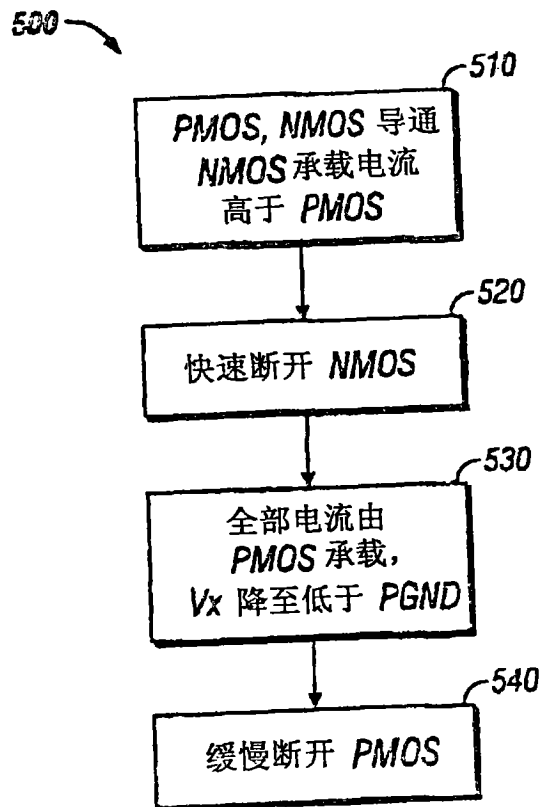


图 5

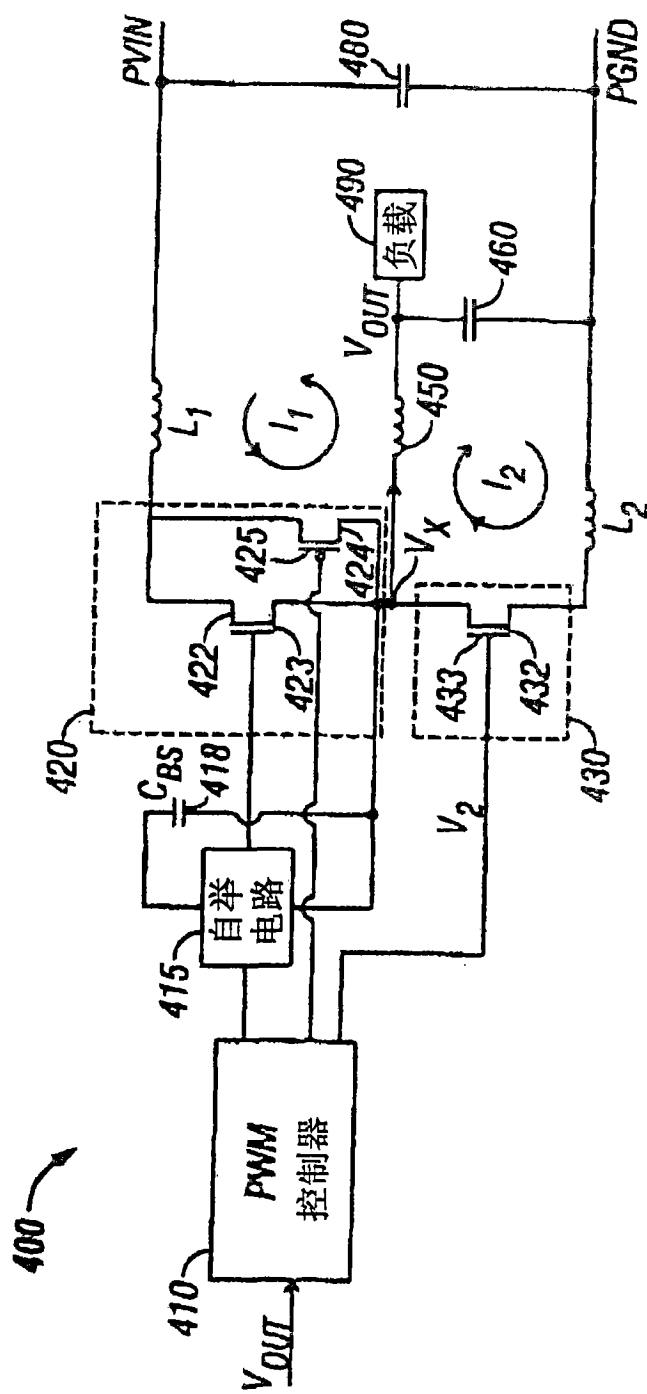


图 4

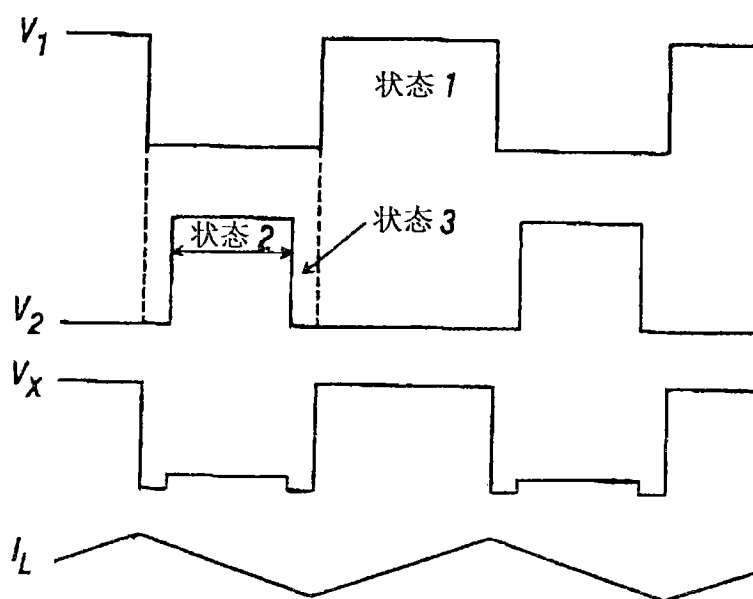


图 6

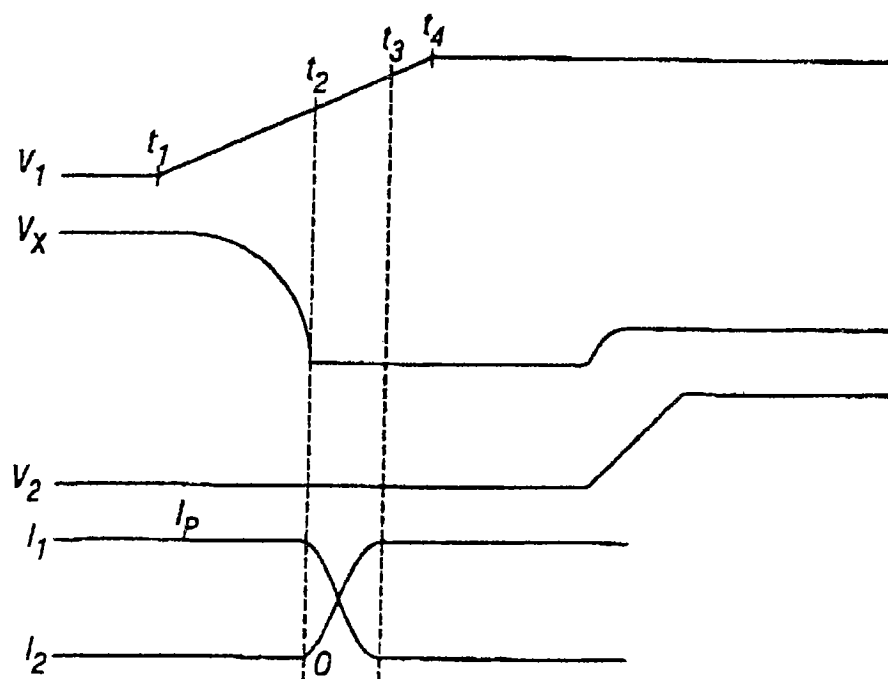


图 7

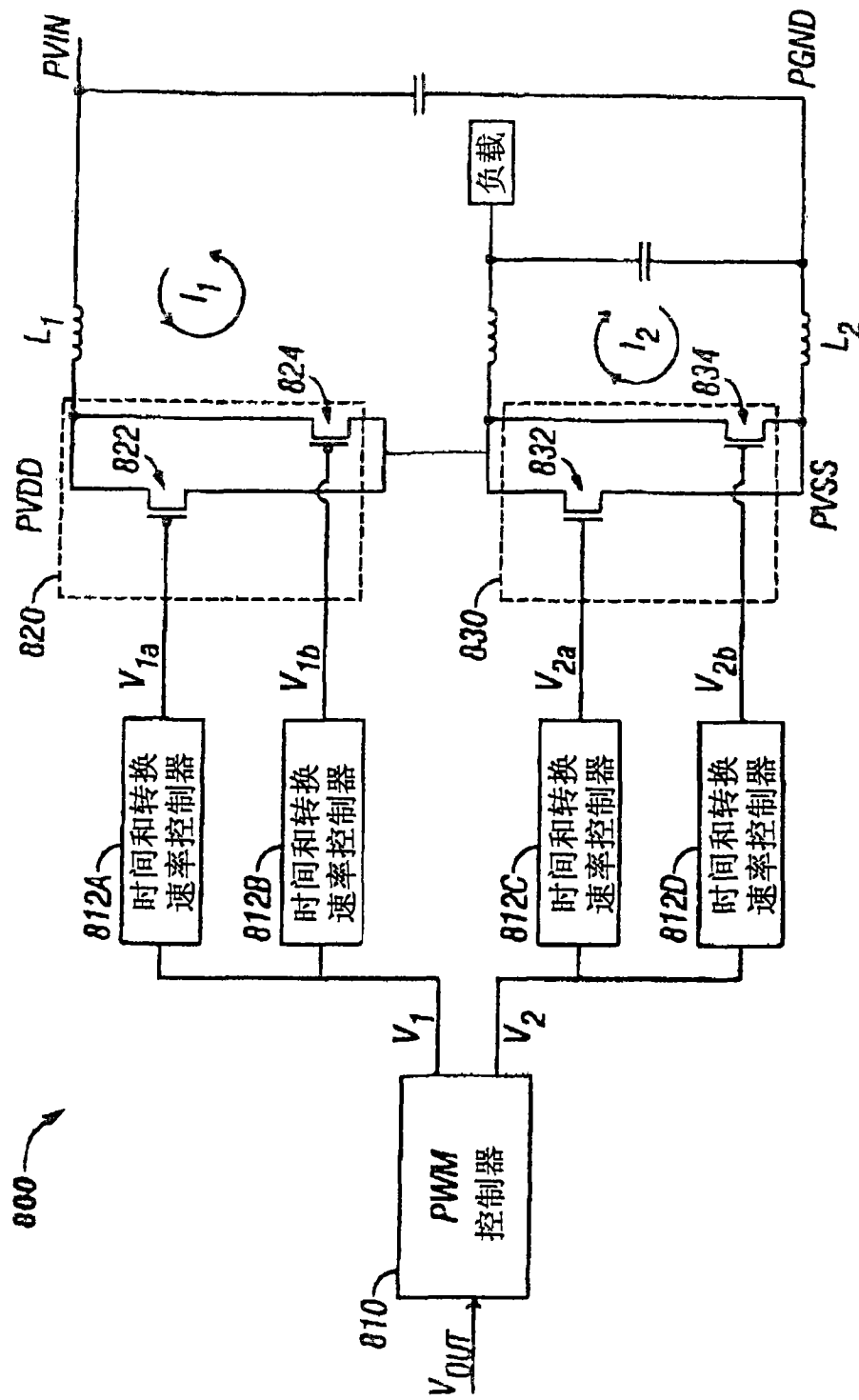


图 8

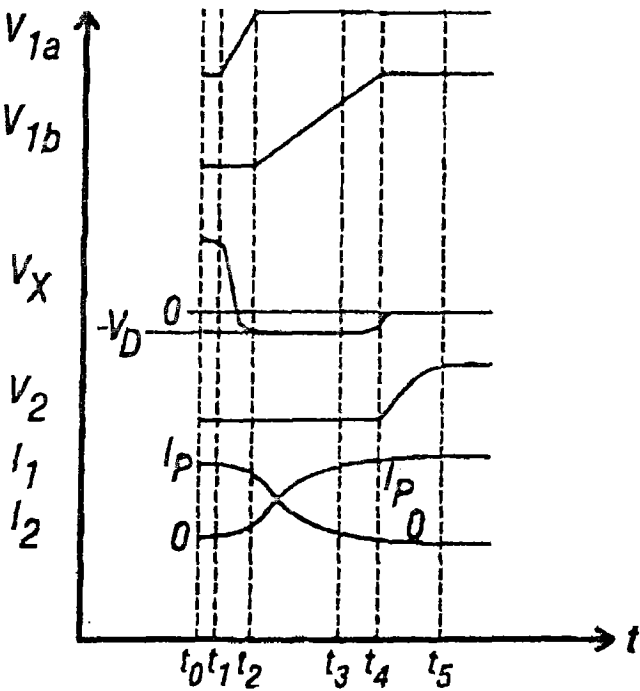


图 9

1000

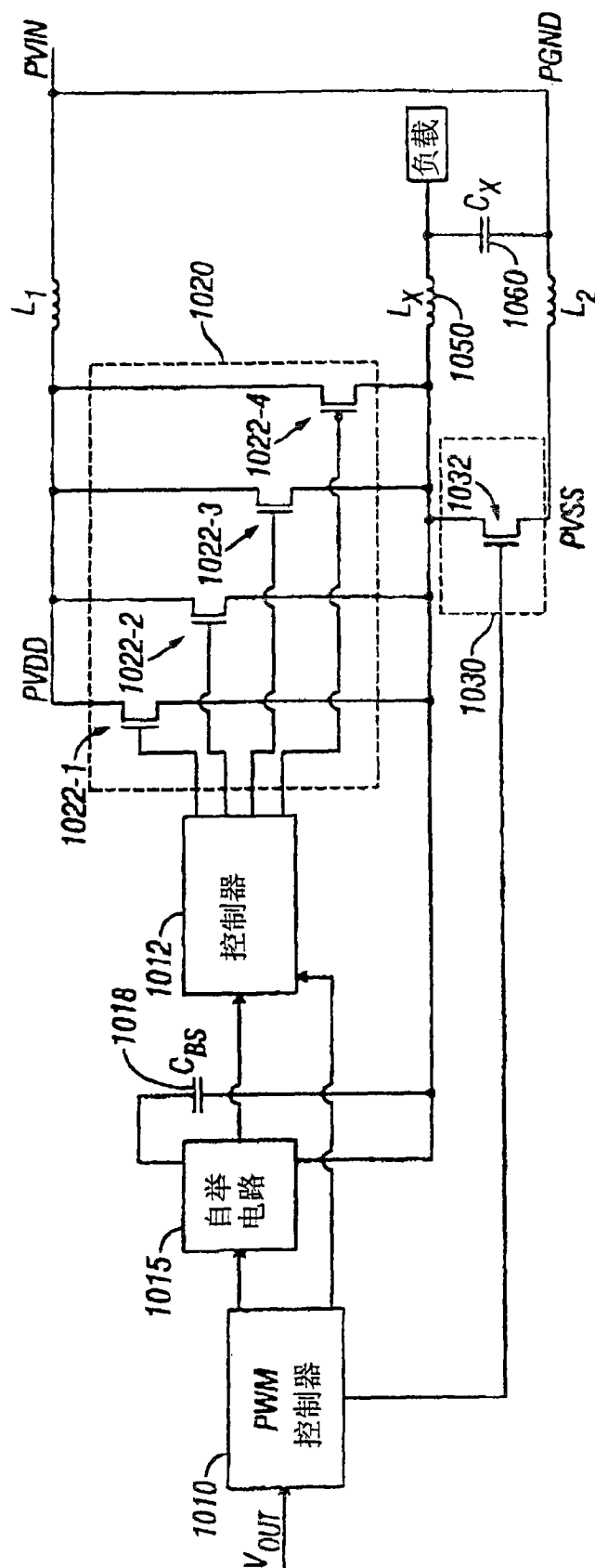


图 10