

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成26年2月27日(2014.2.27)

【公開番号】特開2013-190829(P2013-190829A)

【公開日】平成25年9月26日(2013.9.26)

【年通号数】公開・登録公報2013-052

【出願番号】特願2013-138321(P2013-138321)

【国際特許分類】

G 09 G	3/30	(2006.01)
G 09 G	3/20	(2006.01)

【F I】

G 09 G	3/30	J
G 09 G	3/20	6 1 1 H
G 09 G	3/20	6 4 2 A
G 09 G	3/20	6 2 4 B
G 09 G	3/20	6 2 2 K
G 09 G	3/20	6 7 0 J
G 09 G	3/20	6 4 2 C
G 09 G	3/20	6 2 1 A

【手続補正書】

【提出日】平成26年1月8日(2014.1.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ディスプレイ・システムであって、

複数のピクセル回路を含むとともに、複数のセグメントに分割され、各セグメントが複数行の複数のピクセルを含むピクセルアレイであって、各ピクセル回路は、発光デバイスと、前記発光デバイスを駆動して発光させるための駆動トランジスタと、キャパシタと、前記ピクセル回路をプログラミングするためにデータ・ラインに接続された第1スイッチ・トランジスタと、前記駆動トランジスタのスレッショルド電圧を発生するための第2スイッチ・トランジスタとを含むピクセルアレイと、

プログラミング動作中に前記第1スイッチ・トランジスタを、データを受けるように制御するとともに、スレッショルド電圧生成動作中に前記第2スイッチ・トランジスタを、前記駆動トランジスタのスレッショルド電圧を発生するように制御するドライバであって、前記データが、前記プログラミング動作の間、前記キャパシタに保存され、前記ドライバが、前記複数のセグメントを用いてセグメント化されたアドレッシング・スキームを実行する、と、

を含み、

前記ドライバは、前記ピクセルアレイにおける2以上の行のピクセル回路であって、前記複数のセグメントの中の第1セグメントの2以上の行のピクセル回路において、前記スレッショルド電圧生成動作を実行させる一方、前記複数のセグメントの第2セグメントのピクセル回路において駆動動作またはプログラミング動作を同時に実行させ、

前記ドライバは、前記第2セグメントにおける前記ピクセル回路のいずれかにおいてスレッショルド電圧生成動作を実行する前に、前記第1セグメントにおける全ての前記ピク

セル回路において前記スレッショルド電圧生成動作を実行する、
ディスプレイ・システム。

【請求項 2】

前記ドライバは、前記第2セグメントにプログラミング動作を実行させているときに、前記第1セグメントに、前記プログラミング動作とは独立してスレッショルド電圧生成動作を実行させる、ように構成されている、請求項1に記載のディスプレイ・システム。

【請求項 3】

各セグメントが複数の行を含み、各セグメントの複数の行のそれぞれについて前記プログラミング動作が連続して実行される、請求項1に記載のディスプレイ・システム。

【請求項 4】

各セグメントが複数の行を含み、前記スレッショルド電圧生成動作が各セグメントに連続して実行される、請求項1に記載のディスプレイ・システム。

【請求項 5】

前記複数のピクセル回路のそれぞれでは、前記第1スイッチ・トランジスタのゲート端子が第1選択ラインに接続され、前記第2スイッチ・トランジスタのゲート端子が第2選択ラインに接続され、前記第2スイッチ・トランジスタの第2端子がグランドに接続され、前記第1および第2の選択ラインが前記ドライバによって駆動され、前記第2スイッチ・トランジスタの第1端子が前記駆動トランジスタのゲート端子に接続され、前記第1スイッチ・トランジスタの第1端子がデータ・ラインに接続され、前記第1スイッチ・トランジスタの第2端子が前記駆動トランジスタのゲート端子に接続され、前記駆動トランジスタの第1端子が電源に接続され、前記データ・ラインが前記ドライバによって駆動され、前記キャパシタの第1端子が前記駆動トランジスタのゲート端子に接続され、前記キャパシタの第2端子が前記発光デバイスの第1端子および前記駆動トランジスタの第2端子に接続され、前記発光デバイスの第2端子がグランドに接続される、請求項1に記載のディスプレイ・システム。

【請求項 6】

前記複数のピクセル回路のそれぞれは、前記キャパシタとして第1キャパシタを含むとともに、

前記複数のピクセル回路のそれぞれは、さらに、

第2キャパシタと、第3スイッチ・トランジスタを含み、

前記複数のピクセル回路のそれぞれでは、第1スイッチ・トランジスタのゲート端子が第1選択ラインに接続されており、第2および第3スイッチ・トランジスタのゲート端子が、第2選択ラインに接続され、

第1および第2選択ラインは、前記ドライバによって駆動され、

第1スイッチ・トランジスタの第1端子が前記データ・ラインに接続され、第1スイッチ・トランジスタの第2端子は前記第1キャパシタの第2端子および第2キャパシタの第1端子に接続され、

前記第2スイッチ・トランジスタの第1端子が第1スイッチ・トランジスタの第2端子に接続され、前記第2スイッチ・トランジスタの第2端子がグランドに接続され、

第3スイッチ・トランジスタの第1端子が駆動トランジスタの第1端子および発光デバイスの第2端子に接続され、

駆動トランジスタの第2端子がグランドに接続され、発光デバイスの第1端子が電源に接続され、

第3スイッチ・トランジスタの第2端子が駆動トランジスタのゲート端子に接続され、

前記第1キャパシタの第1端子が前記駆動トランジスタのゲート端子に接続され、前記第1キャパシタの第2端子が前記第2キャパシタの第1端子に接続され、前記第2キャパシタの第2端子がグランドに接続される、請求項1に記載のディスプレイ・システム。

【請求項 7】

ディスプレイ・システムをセグメント化されたアドレシング・スキームを用いて駆動する方法であって、

前記ディスプレイ・システムは、

前記セグメント化されたアドレッシング・スキームに従って複数のピクセル回路を含むとともに、複数のセグメントに分割され、各セグメントが複数行の複数のピクセルを含むピクセルアレイであって、各ピクセル回路は、発光デバイスと、前記発光デバイスを駆動して発光させるための駆動トランジスタと、キャパシタと、プログラミング電圧を前記キャパシタに保存させるように前記ピクセル回路をプログラミングするためにデータ・ラインに接続された第1スイッチ・トランジスタと、前記駆動トランジスタのスレッショルド電圧を発生するための第2スイッチ・トランジスタとを含むピクセルアレイ、

を含むとともに、

前記方法が、

前記ピクセルアレイの2以上の行の複数のピクセル回路であって第1セグメントのピクセル回路における第2スイッチ・トランジスタを制御し、前記スレッショルド電圧の生成に先立って行われる補償電圧生成動作の間で、前記キャパシタに負の電圧をプリチャージした直後に、前記第1セグメントの前記複数のピクセル回路における前記スレッショルド電圧生成動作の間、前記データ・ラインを操作することなく、前記第1セグメントの前記ピクセル回路の中の前記駆動トランジスタのスレッショルド電圧を同時に発生させるように制御するとともに、

前記第1セグメントのピクセル回路の第2スイッチ・トランジスタの制御から独立して、前記第2セグメントのピクセル回路の第1スイッチ・トランジスタを制御して前記第2セグメントのピクセル回路をプログラムする、

方法。

【請求項8】

各セグメントは、第1の複数行を含み、前記第2スイッチ・トランジスタの制御は、複数のセグメントにおける各セグメントについて連続して実行される、

請求項7に記載の方法。

【請求項9】

前記トランジスタのうちの少なくとも1つが、アモルファス・シリコン、ナノ/マイクロ結晶質シリコン、ポリ・シリコン、有機トランジスタを含む有機半導体、MOSFETを含むNMOS/PMOSテクノロジまたはCMOSテクノロジ、p型材料、またはn型材料を使用して製造される、

請求項1に記載のディスプレイ・システム。

【請求項10】

前記駆動トランジスタまたは前記発光デバイスは、スレッショルド電圧を発生する第1フェーズの間に、前記ピクセル回路の前記キャパシタをプリチャージするために、前記ドライバによって電圧制御可能なラインに接続される、

請求項1に記載のディスプレイ・システム。

【請求項11】

各ピクセル回路において、前記キャパシタは、前記駆動トランジスタのゲート端子および前記発光デバイスの間に接続されている、

請求項1に記載のディスプレイ・システム。

【請求項12】

請求項1に記載のディスプレイ・システムにおいて、

前記複数のピクセル回路のそれぞれは、

前記キャパシタとして、第1端子および第2端子を有する第1キャパシタであって、前記第1端子が前記駆動トランジスタのゲート端子に接続されている、第1キャパシタを有し、

前記複数のピクセル回路のそれぞれは、前記第1キャパシタの第2端子に接続される第1端子と、1つの電位に接続される第2端子を有する第2キャパシタをさらに含み、

前記第1スイッチ・トランジスタは、前記第2キャパシタの第1端子および第1キャパシタの第2端子に接続されている、

ディスプレイ・システム。

【請求項 1 3】

請求項 6 に記載のディスプレイ・システムであって、

前記第 2 スイッチ・トランジスタ、第 3 スイッチ・トランジスタおよび前記駆動トランジスタが、前記駆動トランジスタのスレッショルド電圧を発生する回路を形成する、ディスプレイ・システム。

【請求項 1 4】

請求項 7 に記載の方法であって、

第 1 セグメントにおける前記第 2 スイッチ・トランジスタの制御および前記第 1 スイッチ・トランジスタの制御は、前記第 2 セグメントにおいて、前記第 2 スイッチ・トランジスタの制御および第 1 スイッチ・トランジスタの制御が実行された後に、行われる、方法。

【請求項 1 5】

請求項 7 に記載の方法であって、

前記第 2 セグメントにおいて前記第 2 スイッチ・トランジスタの制御が行われている間に、前記第 1 セグメントにおいて前記第 2 スイッチ・トランジスタの制御が行われる、方法。

【請求項 1 6】

請求項 1 に記載のディスプレイ・システムであって、

前記ドライバは、

前記第 1 セグメントにおける複数のピクセル回路の前記スレッショルド電圧が発生されている間に、前記第 2 セグメントのピクセル回路を駆動して光を射出させる、ディスプレイ・システム。

【請求項 1 7】

請求項 7 に記載の方法であって、

第 2 セグメントにおけるピクセル回路のプログラミングと並行して第 1 セグメントにおける複数のピクセル回路についての前記スレッショルド電圧を発生するように第 2 スイッチ・トランジスタの制御が行われる、方法。

【請求項 1 8】

請求項 7 に記載の方法であって、

さらに、

第 2 セグメントにおけるピクセル回路の駆動と並行して、第 1 セグメントにおける複数のピクセル回路の前記スレッショルド電圧の発生が行われるように、前記第 1 セグメントにおける複数のピクセル回路の第 2 スイッチ・トランジスタの制御が行われる間に、

前記第 2 セグメントの第 2 ピクセル回路を駆動して光を射出させる、方法。

【請求項 1 9】

ディスプレイ・システムであって、

行及び列で配列された複数のピクセル回路を含むピクセル・アレイであって、

各ピクセル回路が、発光デバイス、キャパシタ、前記発光デバイスを駆動するための駆動トランジスタ、プログラミング動作の間にデータ・ラインからのプログラミングデータを前記キャパシタに保存するように前記ピクセル回路をプログラムするための前記データ・ラインに接続された第 1 スイッチ・トランジスタ、及び、スレッショルド電圧生成動作の間に前記駆動トランジスタのスレッショルド電圧を生成するための第 2 スイッチ・トランジスタを有する、ピクセル・アレイと、

前記スレッショルド電圧生成動作の間に前記ピクセル・アレイの第 1 行の第 1 ピクセル回路において前記第 2 スイッチ・トランジスタを動作させることで、前記駆動トランジスタの前記スレッショルド電圧を生成するように前記第 2 スイッチ・トランジスタを動作させるとともに、前記プログラミング動作の間に前記第 2 ピクセル回路の前記第 1 スイッチ

・トランジスタを動作させることで、前記ピクセル・アレイの第2行の第2ピクセル回路をプログラムするように構成されたドライバであって、前記第1ピクセル回路の前記スレッショルド電圧生成動作は、前記ディスプレイ・システムの行時間配分よりも長い継続時間を有し、前記駆動トランジスタが接続された調整可能な電源を用いて、前記キャパシタと前記駆動トランジスタのゲート端子との間のノードをリセットすることで、前記第1ピクセル回路を事前に充電する、ドライバと、

を含むディスプレイ・システム。

【請求項20】

請求項19に記載のディスプレイ・システムにおいて、
前記ドライバはさらに、

前記第1ピクセル回路で前記スレッショルド電圧が生成される間、前記第2ピクセル回路と第3ピクセル回路の両方がプログラムされるように、前記第1ピクセル回路で前記スレッショルド電圧生成動作が実行される間に前記第3ピクセル回路の前記第1スイッチ・トランジスタを動作させることによって、前記第2ピクセル回路をプログラムした後、前記ピクセル・アレイの第3行の前記第3ピクセル回路をプログラムするように構成される、ディスプレイ・システム。

【請求項21】

請求項19に記載のディスプレイ・システムにおいて、

前記スレッショルド電圧生成動作の第1段階の間に前記第1ピクセル回路は、事前に充電され、前記スレッショルド電圧生成動作の第2段階の間に前記キャパシタの前記駆動トランジスタのそれぞれの前記スレッショルド電圧は充電され、前記スレッショルド電圧生成動作の前記第2段階は、前記第1段階よりも長い継続時間を有する、ディスプレイ・システム。

【請求項22】

請求項21に記載のディスプレイ・システムにおいて、

前記調整可能な電源は、前記スレッショルド電圧生成動作の前記第1段階の間に前記複数のピクセル回路のそれぞれにおいて、前記キャパシタに負の電圧を充電する、ディスプレイ・システム。

【請求項23】

請求項19に記載のディスプレイ・システムにおいて、

前記第1ピクセル回路及び前記第2ピクセル回路は、前記ピクセル・アレイのデータ・ラインを共有し、前記第2ピクセル回路のプログラミングが、前記第1ピクセル回路の前記スレッショルド電圧生成動作と独立するように、前記スレッショルド電圧生成動作が、前記データ・ラインに影響を与えることなく、前記第1ピクセル回路で実行される、ディスプレイ・システム。

【請求項24】

請求項19に記載のディスプレイ・システムにおいて、

前記ピクセル・アレイは、それぞれが前記ピクセル・アレイにおいて前記ピクセル回路のサブセットを含む複数のセグメントに分割され、前記ドライバは、さらに、第2セグメントが、ディスプレイ・データでプログラムされるか、または、発光するように駆動される間、前記複数のセグメントの第1セグメントにおいて、前記スレッショルド電圧生成動作を実行するように構成される、ディスプレイ・システム。

【請求項25】

請求項19に記載のディスプレイ・システムにおいて、

前記複数のピクセル回路はそれぞれ、前記第1スイッチ・トランジスタのゲート端子が第1選択ラインに接続され、前記第2スイッチ・トランジスタのゲート端子が第2選択ラインに接続され、前記第1選択ライン及び前記第2選択ラインが前記ドライバに駆動され、前記第2スイッチ・トランジスタの第1端子が前記駆動トランジスタの前記ゲート端子に接続され、前記第1スイッチ・トランジスタの第1端子が前記データ・ラインに接続され、前記第1スイッチ・トランジスタの第2端子が前記駆動トランジスタの前記ゲート端

子に接続され、前記データ・ラインが前記ドライバに駆動され、前記キャパシタが、前記駆動トランジスタの前記ゲート端子と前記発光デバイスとの間に接続されて構成される、ディスプレイ・システム。

【請求項 2 6】

請求項 1 9 に記載のディスプレイ・システムにおいて、

前記複数のピクセル回路はそれぞれ、前記キャパシタが第 1 キャパシタであり、前記複数のピクセル回路のそれぞれがさらに第 2 キャパシタ及び第 3 スイッチ・トランジスタを含んで構成され、前記複数のピクセル回路はそれぞれ、前記第 1 スイッチ・トランジスタのゲート端子が第 1 選択ラインに接続され、前記第 2 スイッチ・トランジスタ及び前記第 3 スイッチ・トランジスタのゲート端子が第 2 選択ラインに接続され、前記第 1 選択ライン及び前記第 2 選択ラインが前記ドライバに駆動され、前記第 1 スイッチ・トランジスタの第 1 端子が前記データ・ラインに接続され、前記第 1 スイッチ・トランジスタの第 2 端子が前記第 1 キャパシタ及び前記第 2 キャパシタに接続され、前記第 2 スイッチ・トランジスタの第 1 端子が前記第 1 キャパシタ及び前記第 2 キャパシタに接続され、前記第 3 スイッチ・トランジスタの第 1 端子が前記駆動トランジスタ及び前記発光デバイスに接続され、前記第 3 スイッチ・トランジスタの第 2 端子が前記駆動トランジスタのゲート端子に接続され、前記第 1 キャパシタ及び前記第 2 キャパシタが前記駆動トランジスタの前記ゲート端子に直列に接続されて構成される、ディスプレイ・システム。

【請求項 2 7】

ディスプレイを駆動する方法であって、

前記ディスプレイが、

行及び列で配列された複数のピクセル回路を含むピクセル・アレイであって、各ピクセル回路が、発光デバイス、キャパシタ、発光するように前記発光デバイスを駆動するための駆動トランジスタ、前記キャパシタに保存された前記データ・ラインからのプログラミングデータのプログラミング動作の間、前記ピクセル回路をプログラムするためのデータ・ラインに接続された第 1 スイッチ・トランジスタ、及び、前記駆動トランジスタのスレッショルド電圧を生成するための第 2 スイッチ・トランジスタを有する、ピクセル・アレイを含み、

前記方法が、

スレッショルド電圧生成動作の間、第 1 ピクセル回路に関連付けられたデータ・ラインに影響を与えることなく、前記スレッショルド電圧を生成するように第 1 ピクセル回路の第 2 スイッチ・トランジスタをコントロールすることにより、前記ピクセル・アレイの第 1 行の前記第 1 ピクセル回路で駆動トランジスタのスレッショルド電圧を生成するステップと、

前記第 1 ピクセル回路に関連付けられた前記データ・ラインを介して第 2 ピクセル回路をプログラムするように前記前記第 2 ピクセル回路の前記第 1 スイッチ・トランジスタをコントロールすることにより、前記プログラミング動作の間、前記ピクセル・アレイの第 2 行の前記第 2 ピクセル回路をプログラムするステップであって、前記プログラムするステップは、前記第 1 ピクセル回路の前記スレッショルド電圧が生成されている間、実行される、プログラムするステップと、

を含み、

前記スレッショルド電圧を生成するステップは、前記ディスプレイの行時間配分よりも長い継続時間を有し、前記スレッショルド電圧を生成するステップは、

前記駆動トランジスタのゲート端子における電圧をリセットするように、第 1 段階の間、初期電圧で前記第 1 ピクセル回路の前記キャパシタを事前に充電するステップと、

前記駆動トランジスタによって前記初期電圧を充電または放電することにより、第 2 段階の間、前記キャパシタ上に前記駆動トランジスタの前記スレッショルド電圧を発生させるステップと、

を含み、

前記第 2 段階は、前記ディスプレイのプログラミング時間配分よりも長い継続時間を有

する、方法。

【請求項 28】

請求項 27 に記載の方法であって、さらに、

前記第 1 ピクセル回路に関連付けられた前記データ・ラインを介して第 3 ピクセル回路をプログラムするように、前記第 3 ピクセル回路の第 1 スイッチ・トランジスタを動作させることで、前記ピクセル・アレイの第 3 行の前記第 3 ピクセル回路をプログラムするステップであって、前記第 3 ピクセル回路をプログラムするステップは、前記第 1 ピクセル回路において前記スレッショルド電圧が生成される間、前記第 2 ピクセル回路と前記第 3 ピクセル回路の両方が、プログラムされるように、前記第 1 ピクセル回路の前記スレッショルド電圧が生成されている間、実行される、プログラムするステップを含む、方法。

【請求項 29】

請求項 27 に記載の方法において、

前記事前に充電するステップは、コントロール可能な電源ラインの電圧を調整することによって実行される、方法。

【請求項 30】

請求項 27 に記載の方法において、

前記ピクセル・アレイは、それぞれが前記ピクセル・アレイにおいてピクセル回路のサブセットを含む複数のセグメントに分割され、前記ピクセル・アレイの第 1 行の前記ピクセル回路は、前記複数のセグメントの第 1 セグメントに含まれ、前記ピクセル・アレイの第 2 行のピクセル回路は、前記複数のセグメントの第 2 セグメントに含まれ、前記第 1 セグメントの前記ピクセル回路の前記第 2 スイッチ・トランジスタはそれぞれ、共有された第 1 グローバル選択ラインによってコントロールされ、前記第 2 セグメントの前記ピクセル回路の前記第 2 スイッチ・トランジスタはそれぞれ、共有された第 2 グローバル選択ラインによってコントロールされ、前記第 1 ピクセル回路の前記スレッショルド電圧を生成するステップは、前記第 1 セグメントの前記複数のピクセル回路の前記駆動トランジスタのスレッショルド電圧を同時に生成するように、前記第 1 グローバル選択ラインを動作させることによって実行される、方法。

【請求項 31】

請求項 30 に記載の方法であって、さらに、

前記第 1 セグメントの複数のピクセル回路のスレッショルド電圧の生成を同時に実行しながら、発光するように前記第 2 セグメントの複数のピクセル回路を駆動するステップを含む、方法。