



(12) 发明专利申请

(10) 申请公布号 CN 118339662 A

(43) 申请公布日 2024. 07. 12

(21) 申请号 202280079145.8

(22) 申请日 2022.08.12

(30) 优先权数据

2021-193059 2021.11.29 JP

(85) PCT国际申请进入国家阶段日

2024.05.29

(86) PCT国际申请的申请数据

PCT/JP2022/030765 2022.08.12

(87) PCT国际申请的公布数据

W02023/095395 JA 2023.06.01

(71) 申请人 TDK株式会社

地址 日本

(72) 发明人 有马润 藤田实 川崎克己

平林润

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

专利代理师 杨琦 黄浩

(51) Int.Cl.

H01L 29/872 (2006.01)

H01L 29/06 (2006.01)

H01L 29/41 (2006.01)

H01L 29/47 (2006.01)

H01L 29/861 (2006.01)

H01L 29/868 (2006.01)

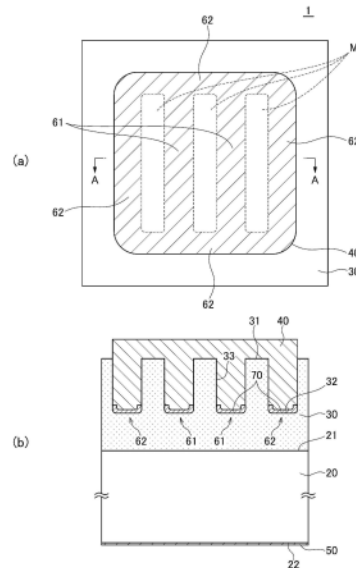
权利要求书1页 说明书8页 附图18页

(54) 发明名称

肖特基势垒二极管

(57) 摘要

本发明的目的在于,在使用氧化镓的肖特基势垒二极管中,既确保充分的反向耐压又降低导通电阻。肖特基势垒二极管(1)包括由氧化镓构成的半导体基板(20)、设置在半导体基板(20)上的由氧化镓构成的漂移层(30)、与漂移层(30)肖特基接触的阳极电极(40)和与半导体基板(20)欧姆接触的阴极电极(50)。漂移层(30)具有埋入有阳极电极(40)的中心沟槽(61)。中心沟槽(61)的底面不与阳极电极(40)相接而被绝缘膜(70)覆盖,中心沟槽(61)的侧面的至少一部分不被绝缘膜(70)覆盖而与阳极电极(40)肖特基接触。由此,能够不提高漂移层的杂质浓度而降低导通电阻。



1. 一种肖特基势垒二极管,其特征在于,包括:
由氧化镓构成的半导体基板;
设置于所述半导体基板上的由氧化镓构成的漂移层;
与所述漂移层肖特基接触的阳极电极;和
与所述半导体基板欧姆接触的阴极电极,
所述漂移层具有埋入有所述阳极电极的中心沟槽,
所述中心沟槽的底面不与所述阳极电极相接而被绝缘膜覆盖,
所述中心沟槽的侧面的至少一部分与所述阳极电极肖特基接触。
2. 如权利要求1所述的肖特基势垒二极管,其特征在于:
所述阳极电极包含与所述漂移层的上表面肖特基接触的第一阳极电极和与所述中心沟槽的所述侧面肖特基接触、且由与所述第一阳极电极不同的金属材料构成的第二阳极电极。
3. 如权利要求1或2所述的肖特基势垒二极管,其特征在于:
所述漂移层还具有埋入有所述阳极电极、并包围所述中心沟槽的外周沟槽,
所述外周沟槽的底面和外周侧面不与所述阳极电极相接而被绝缘膜覆盖。
4. 如权利要求3所述的肖特基势垒二极管,其特征在于:
所述外周沟槽的内周侧面的至少一部分与所述阳极电极肖特基接触。
5. 如权利要求1或2所述的肖特基势垒二极管,其特征在于:
所述漂移层还具有包围所述中心沟槽的外周沟槽,
所述外周沟槽以导电类型与所述漂移层相反的半导体材料填埋。

肖特基势垒二极管

技术领域

[0001] 本发明涉及肖特基势垒二极管,特别涉及使用氧化镓的肖特基势垒二极管。

背景技术

[0002] 肖特基势垒二极管是利用通过金属与半导体的接合而产生的肖特基势垒的整流元件,与具有PN结的常规二极管相比具有正向电压低且开关速度快这样的特征。因此,肖特基势垒二极管有时用作功率器件用的开关元件。

[0003] 在使用肖特基势垒二极管作为功率器件用的开关元件的情况下,需要确保足够的反向耐压,因此有时会取代硅(Si),使用带隙更大的碳化硅(SiC)、氮化镓(GaN)、氧化镓(Ga_2O_3)等。其中尤其是氧化镓,带隙为4.8~4.9eV,非常大,绝缘击穿电场也大到约8MV/cm,因此使用氧化镓的肖特基势垒二极管作为功率器件用的开关元件非常有希望。使用氧化镓的肖特基势垒二极管的例子在专利文献1有记载。

[0004] 专利文献1中记载的肖特基势垒二极管,具有在氧化镓层设置有多个沟槽,隔着绝缘膜将阳极电极的一部分埋入沟槽内的构造。如果这样在氧化镓层设置多个沟槽,则在施加反向电压时位于沟槽间的台面区域成为耗尽层,漂移层的沟道区域被夹断。由此,能够大幅抑制被施加反向电压时的泄漏电流。

现有技术文献

专利文献

[0005] 专利文献1:日本特开2017-199869号公报

发明内容

发明所要解决的问题

[0006] 但是,当在漂移层设置内壁被绝缘层覆盖的沟槽时,存在导通电阻变高这样的问题。为了降低导通电阻,提高漂移层的杂质浓度即可,然而这样的话反向耐压会降低。

[0007] 因此,本发明的目的在于,在使用氧化镓的肖特基势垒二极管中,既确保足够的反向耐压,又降低导通电阻。

用于解决问题的方式

[0008] 本发明的肖特基势垒二极管的特征在于,包括:由氧化镓构成的半导体基板;安装在半导体基板上的由氧化镓构成的漂移层;与漂移层肖特基接触的阳极电极;和与半导体基板欧姆接触的阴极电极,漂移层具有埋入有阳极电极的中心沟槽,中心沟槽的底面不与阳极电极相接而被绝缘膜覆盖,中心沟槽的侧面的至少一部分与阳极电极肖特基接触。

[0009] 根据本发明,被埋入中心沟槽的阳极电极与中心沟槽的侧面肖特基接触,因此能够不提高漂移层的杂质浓度而降低导通电阻。

[0010] 在本发明中,也可以阳极电极包含与漂移层的上表面肖特基接触的第一阳极电极和与中心沟槽的侧面肖特基接触、由与第一阳极电极不同的金属材料构成的第二阳极电极。由此,更容易制作无空隙(void)的阳极电极。

[0011] 在本发明中,也可以漂移层还具有埋入有阳极电极、并包围中心沟槽的外周沟槽,外周沟槽的底面和外周侧面不与阳极电极相接而被绝缘膜覆盖。由此,能够缓和在施加反向电压时在外周沟槽的外周底部产生的电场。在这种情况下,也可以外周沟槽的内周侧面的至少一部分与阳极电极肖特基接触。由此,肖特基接触的面积扩大,因此能够进一步降低导通电阻。

[0012] 在本发明中,也可以漂移层进一步具有包围中心沟槽的外周沟槽,外周沟槽以导电类型与漂移层相反的半导体材料填充。由此,在施加了反向电压的情况下,耗尽层向外周沟槽的周围扩展。由此,能够缓和在施加反向电压时在外周沟槽的外周底部产生的电场。

发明的效果

[0013] 这样,根据本发明,中心沟槽的侧面与阳极电极肖特基接触,因此能够降低使用氧化镓的肖特基势垒二极管的导通电阻。

附图说明

[0014] 图1的(a)是表示本发明的第一实施方式的肖特基势垒二极管1的结构的示意的俯视图。此外,图1的(b)是沿着图1的(a)所示的A-A线的概略截面图。

图2的(a)~(c)是用于说明中心沟槽61和外周沟槽62的内壁中被绝缘膜70覆盖的位置的示意的截面图。

图3是表示本发明的第二实施方式的肖特基势垒二极管2的结构的概略截面图。

图4是表示本发明的第三实施方式的肖特基势垒二极管3的结构的概略截面图。

图5是表示本发明的第四实施方式的肖特基势垒二极管4的结构的概略截面图。

图6是表示本发明的第五实施方式的肖特基势垒二极管5的结构的概略截面图。

图7是表示本发明的第六实施方式的肖特基势垒二极管6的结构的概略截面图。

图8是表示本发明的第七实施方式的肖特基势垒二极管7的结构的概略截面图。

图9的(a)是表示本发明的第八实施方式的肖特基势垒二极管8的结构的示意的俯视图。此外,图9的(b)是沿着图9的(a)所示的A-A线的概略截面图。

图10是表示本发明的第九实施方式的肖特基势垒二极管9的结构的概略截面图。

图11是表示本发明的第十实施方式的肖特基势垒二极管10的结构的概略截面图。

图12是表示本发明的第十一实施方式的肖特基势垒二极管11的结构的概略截面图。

图13的(a)是表示本发明的第十二实施方式的肖特基势垒二极管12的结构的示意的俯视图。此外,图13的(b)是沿着图13的(a)所示的A-A线的概略截面图。

图14的(a)是表示本发明的第十三实施方式的肖特基势垒二极管13的结构的示意的俯视图。此外,图14的(b)是沿着图14的(a)所示的A-A线的概略截面图。

图15的(a)是表示本发明的第十四实施方式的肖特基势垒二极管14的结构的示意的俯视图。此外,图15的(b)是沿着图15的(a)所示的A-A线的概略截面图。

图16的(a)是表示本发明的第十五实施方式的肖特基势垒二极管15的结构的示意的俯视图。此外,图16的(b)是沿着图16的(a)所示的A-A线的概略截面图。

图17的(a)是表示本发明的第十六实施方式的肖特基势垒二极管16的结构的示意的俯视图。此外,图17的(b)是沿着图17的(a)所示的A-A线的概略截面图。

图18是表示实施例的模拟结果的曲线图。

具体实施方式

[0015] 以下,参照附图,对本发明的优选实施方式详细地进行说明。

[0016] <第一实施方式>

图1的(a)是表示本发明的第一实施方式的肖特基势垒二极管1的结构的事意的俯视图。此外,图1的(b)是沿着图1的(a)所示的A-A线的概略截面图。

[0017] 如图1所示,第一实施方式的肖特基势垒二极管1包括均由氧化镓($\beta\text{-Ga}_2\text{O}_3$)构成的半导体基板20和漂移层30。在半导体基板20和漂移层30,作为n型掺杂物导入硅(Si)或锡(Sn)。关于掺杂物的浓度,半导体基板20比漂移层30高,由此半导体基板20作为 n^+ 层、漂移层30作为 n^- 层发挥作用。

[0018] 半导体基板20是对使用熔体生长法等形成的块状晶体进行切割加工的而得到的,其厚度为 $250\mu\text{m}$ 左右。对半导体基板20的平面尺寸没有特别限定,一般与元件中流动的电流相应地选择,只要正向的最大电流量为20A左右,俯视中为 $2.4\text{mm}\times 2.4\text{mm}$ 左右即可。

[0019] 半导体基板20具有在安装时位于上表面侧的上表面21和与上表面21为相反侧、在安装时位于下表面侧的背面22。在上表面21的整个面形成有漂移层30。漂移层30是在半导体基板20的上表面21使用反应性溅射法、PLD法、MBE法、MOCVD法、HVPE法等使氧化镓外延生长而得到的薄膜。对漂移层30的膜厚没有特别限定,一般回根据元件的反向耐电压来选择,为了确保600V左右的耐压,例如取 $7\mu\text{m}$ 左右即可。

[0020] 在漂移层30的上表面31,形成有与漂移层30肖特基接触的阳极电极40。阳极电极40例如由铂(Pt)、钯(Pd)、金(Au)、镍(Ni)、钼(Mo)、铜(Cu)等金属构成。阳极电极40也可以为层叠了不同的金属膜的多层构造,例如Pt/Au、Pt/Al、Pd/Au、Pd/Al、Pt/Ti/Au或Pd/Ti/Au。另一方面,在半导体基板20的背面22,设置有与半导体基板20欧姆接触的阴极电极50。阴极电极50例如由钛(Ti)等金属构成。阴极电极50也可以为层叠了不同的金属膜的多层构造,例如Ti/Au或Ti/Al。

[0021] 在本实施方式中,在漂移层30设置有中心沟槽61和外周沟槽62。中心沟槽61和外周沟槽62均设置在俯视中与阳极电极40重叠的位置,其内部以与阳极电极40相同的金属材料填埋。中心沟槽61被作为漂移层30的一部分的台面(mesa)区域M夹着。外周沟槽62将台面区域M和中心沟槽61围成环形。中心沟槽61与外周沟槽62不需要完全分离,也可以如图1的(a)所示那样,中心沟槽61与外周沟槽62相连。中心沟槽61与外周沟槽62的深度既可以相同也可以不同。台面区域M是由中心沟槽61和外周沟槽62划分的漂移层30的一部分,当向阳极电极40与阴极电极50之间施加反向电压时成为耗尽层。由此,漂移层30的沟道区域被夹断,因此能够大幅地抑制施加反向电压时的泄漏电流。

[0022] 中心沟槽61和外周沟槽62的内壁中,底面32被绝缘膜70覆盖。与此相对,中心沟槽61和外周沟槽62的内壁中,侧面33不被绝缘膜70覆盖。因此,中心沟槽61和外周沟槽62的底面32不与阳极电极40相接,与此相对,中心沟槽61和外周沟槽62的侧面33不被绝缘膜70覆盖而与阳极电极40肖特基接触。由此,漂移层30与阳极电极40不仅在漂移层30的上表面31,而且在中心沟槽61和外周沟槽62的侧面33也肖特基接触,因此与以绝缘膜70覆盖中心沟槽61和外周沟槽62的整个内壁的情况相比,导通电阻低。此外,漂移层30的掺杂物浓度能够抑

制在 $3 \times 10^{16} \text{cm}^{-3}$ 的程度,还能够防止反向耐压的下降。作为绝缘膜70的材料,优选使用 HfO_2 、 Al_2O_3 等介电常数高的绝缘材料。由此,能够提高耐压效果。

[0023] 此处,如图2的(a)所示,在中心沟槽61和外周沟槽62的底面32为水平,在位于水平的底面32与垂直的侧面33之间的部分为弯曲面34的情况下,底面32和弯曲面34需要被绝缘膜70覆盖。此外,如图2的(b)所示,在中心沟槽61和外周沟槽62的底面32整体弯曲的情况下,需要使得整个弯曲的底面32被绝缘膜70覆盖。进一步,如图2的(c)所示,在中心沟槽61和外周沟槽62的底面32为水平,且在水平的底面32与垂直的侧面33之间存在直角的角部35的情况下,底面32和角部35需要被绝缘膜70覆盖。

[0024] 这样,本实施方式的肖特基势垒二极管1因为在中心沟槽61和外周沟槽62的侧面33肖特基接触了阳极电极40,所以与中心沟槽61和外周沟槽62的整个面被绝缘膜70覆盖的情况相比,能够降低导通电阻。

[0025] <第二实施方式>

图3是表示本发明的第二实施方式的肖特基势垒二极管2的结构概略截面图。

[0026] 如图3所示,第二实施方式的肖特基势垒二极管2的中心沟槽61和外周沟槽62的侧面33中,靠近底面32的一部分被绝缘膜70覆盖,这点与第一实施方式的肖特基势垒二极管1不同。其它的基本结构与第一实施方式的肖特基势垒二极管1相同,因此对相同的要素标注相同的附图标记,省略重复的说明。在本实施方式中,能够根据绝缘膜70的高度位置,调节与中心沟槽61和外周沟槽62的侧面33相接的阳极电极40的深度T。

[0027] <第三实施方式>

图4是表示本发明的第三实施方式的肖特基势垒二极管3的结构概略截面图。

[0028] 如图4所示,第三实施方式的肖特基势垒二极管3的绝缘膜70的上表面大致平坦,被埋入中心沟槽61和外周沟槽62的底部,这点与第二实施方式的肖特基势垒二极管2不同。其它的基本结构与第二实施方式的肖特基势垒二极管2相同,因此对相同的要素标注相同的附图标记,省略重复的说明。这样,在以绝缘膜70覆盖中心沟槽61和外周沟槽62的侧面33中,靠近底面32的一部分的情况下,也可以利用绝缘膜70填埋中心沟槽61和外周沟槽62的整个底部。

[0029] <第四实施方式>

图5是表示本发明的第四实施方式的肖特基势垒二极管4的结构概略截面图。

[0030] 如图5所示,第四实施方式的肖特基势垒二极管4的外周沟槽62的宽度相比中心沟槽61的宽度扩大,这点与第一实施方式的肖特基势垒二极管1不同。其它的基本结构与第一实施方式的肖特基势垒二极管1相同,因此对相同的要素标注相同的附图标记,省略重复的说明。这样,只要将外周沟槽62的宽度扩大,就能够缓和在施加了反向电压的情况下集中于外周沟槽62的底部附近的电场。

[0031] <第五实施方式>

图6是表示本发明的第五实施方式的肖特基势垒二极管5的结构概略截面图。

[0032] 如图6所示,第五实施方式的肖特基势垒二极管5被删除了位于外周沟槽62的外侧的漂移层30,这点与第一实施方式的肖特基势垒二极管1不同。其它的基本结构与第一实施方式的肖特基势垒二极管1相同,因此对相同的要素标注相同的附图标记,省略重复的说明。由于在漂移层30中位于外周沟槽62的外侧的部分几乎不流动导通电流,所以也可以如

本实施方式例示的那样,将位于该部分的漂移层30除去。

[0033] <第六实施方式>

图7是表示本发明的第六实施方式的肖特基势垒二极管6的结构概略截面图。

[0034] 如图7所示,第六实施方式的肖特基势垒二极管6在位于外周沟槽62的外侧的漂移层30的上表面31与阳极电极40之间设置有绝缘膜71,这点与第一实施方式的肖特基势垒二极管1不同。其它的基本结构与第一实施方式的肖特基势垒二极管1相同,因此对相同的要素标注相同的附图标记,省略重复的说明。根据本实施方式,因为利用绝缘膜71获得所谓的场板(field plate)结构,所以能够进一步缓和施加于外周沟槽62的底部的电场。作为绝缘膜71的材料,优选使用 SiO_2 、 Al_2O_3 等绝缘耐压高的材料。由此,耐压效果高。

[0035] <第七实施方式>

图8是表示本发明的第七实施方式的肖特基势垒二极管7的结构概略截面图。

[0036] 如图8所示,第七实施方式的肖特基势垒二极管7的覆盖漂移层30的上表面的阳极电极41与被埋入中心沟槽61和外周沟槽62的阳极电极42由相互不同的金属材料构成,这点与第一实施方式的肖特基势垒二极管1不同。其它的基本结构与第一实施方式的肖特基势垒二极管1相同,因此对相同的要素标注相同的附图标记,省略重复的说明。这样的构造,例如通过利用电解电镀形成阳极电极42,利用蒸镀形成阳极电极41而得到。采用这样的制法,在被埋入中心沟槽61和外周沟槽62的阳极电极42不易产生空隙。

[0037] <第八实施方式>

图9的(a)是表示本发明的第八实施方式的肖特基势垒二极管8的结构示意的俯视图。此外,图9的(b)是沿着图9的(a)所示的A-A线的概略截面图。

[0038] 如图9所示,第八实施方式的肖特基势垒二极管8的外周沟槽62的整个内壁被绝缘膜70覆盖,这点与第一实施方式的肖特基势垒二极管1不同。其它的基本结构与第一实施方式的肖特基势垒二极管1相同,因此对相同的要素标注相同的附图标记,省略重复的说明。在图9的(a)中,以虚线表示台面区域M的表面中与漂移层30肖特基接触的面,以实线表示台面区域M的表面中被绝缘膜70覆盖的面。由此,能够进一步提高反向耐压。

[0039] <第九实施方式>

图10是表示本发明的第九实施方式的肖特基势垒二极管9的结构概略截面图。

[0040] 如图10所示,第九实施方式的肖特基势垒二极管9的覆盖外周沟槽62的侧面33的绝缘膜70的高度位置低于第八实施方式的肖特基势垒二极管8,由此外周沟槽62的侧面33的一部分与阳极电极40肖特基接触,这点与第八实施方式的肖特基势垒二极管8不同。其它的基本结构与第八实施方式的肖特基势垒二极管8相同,因此对相同的要素标注相同的附图标记,省略重复的说明。采用本实施方式,能够提高反向耐压,并且比第八实施方式的肖特基势垒二极管8更降低导通电阻。

[0041] <第十实施方式>

图11是表示本发明的第十实施方式的肖特基势垒二极管10的结构概略截面图。

[0042] 如图11所示,第十实施方式的肖特基势垒二极管10被除去外周沟槽62的侧面33中,内侧侧面33a的绝缘膜70,这点与第八实施方式的肖特基势垒二极管8不同。外周沟槽62的侧面33中,外侧侧面33b整个面被绝缘膜70覆盖。其它的基本结构与第八实施方式的肖特基势垒二极管8相同,因此对相同的要素标注相同的附图标记,省略重复的说明。在本实施

方式中,也能够提高反向耐压并且比第八实施方式的肖特基势垒二极管8更降低导通电阻。

[0043] <第十一实施方式>

图12是表示本发明的第十一实施方式的肖特基势垒二极管11的结构的概念截面图。

[0044] 如图12所示,第十一实施方式的肖特基势垒二极管11的覆盖漂移层30的上表面的阳极电极41与被埋入中心沟槽61和外周沟槽62的阳极电极42由相互不同的金属材料构成,这点与第八实施方式的肖特基势垒二极管8不同。其它的基本结构与第八实施方式的肖特基势垒二极管8相同,因此对相同的要素标注相同的附图标记,省略重复的说明。这样的构造,例如通过利用电解电镀形成阳极电极42,利用蒸镀形成阳极电极41而得到。采用这样的制法,在被埋入中心沟槽61和外周沟槽62的阳极电极42不易产生空隙。

[0045] <第十二实施方式>

图13的(a)是表示本发明的第十二实施方式的肖特基势垒二极管12的结构的概念的俯视图。此外,图13的(b)是沿着图13的(a)所示的A-A线的概念截面图。

[0046] 如图13所示,第十二实施方式的肖特基势垒二极管12在漂移层30设置有包围外周沟槽62的另外的外周沟槽63,该外周沟槽63的整个内壁被绝缘膜70覆盖,这点与第二实施方式的肖特基势垒二极管2不同。外周沟槽63与外周沟槽62独立地设置。其它的基本结构与第二实施方式的肖特基势垒二极管2相同,因此对相同的要素标注相同的附图标记,省略重复的说明。在图13的(a)中,以虚线表示台面区域M的表面中与漂移层30肖特基接触的面,以实线表示台面区域M的表面中被绝缘膜70覆盖的面。这样,只要在漂移层30设置另外的外周沟槽63,并且以绝缘膜70覆盖其整个内壁,就能够缓和在施加了反向电压的情况下集中于中心沟槽61和外周沟槽62的底部附近的电场。

[0047] <第十三实施方式>

图14的(a)是表示本发明的第十三实施方式的肖特基势垒二极管13的结构的概念的俯视图。此外,图14的(b)是沿着图14的(a)所示的A-A线的概念截面图。

[0048] 如图14所示,第十三实施方式的肖特基势垒二极管13的外周沟槽63的宽度相比中心沟槽61和外周沟槽62的宽度扩大,这点与第十二实施方式的肖特基势垒二极管12不同。其它的基本结构与第十二实施方式的肖特基势垒二极管12相同,因此对相同的要素标注相同的附图标记,省略重复的说明。这样,只要将外周沟槽62的宽度扩大,就能够缓和在施加反向电压时集中于外周沟槽62的底部附近的电场。

[0049] <第十四实施方式>

图15的(a)是表示本发明的第十四实施方式的肖特基势垒二极管14的结构的概念的俯视图。此外,图15的(b)是沿着图15的(a)所示的A-A线的概念截面图。

[0050] 如图15所示,第十四实施方式的肖特基势垒二极管14的外周沟槽63以p型的半导体材料80填埋,这点与第十二实施方式的肖特基势垒二极管12不同。p型的半导体材料80与阳极电极40接触。其它的基本结构与第十二实施方式的肖特基势垒二极管12相同,因此对相同的要素标注相同的附图标记,省略重复的说明。作为p型的半导体材料80,能够使用Si、GaAs、GaN、SiC、Ge、ZnSe、CdS、InP、SiGe、AlN、BN、AlGaN、NiO、Cu₂O、Ir₂O₃、Ag₂O,其中尤其NiO等的p型氧化物由于没有氧化的问题而优选。这样,只要利用p型的半导体材料80填埋外周沟槽63,就能够在施加了反向电压的情况下,在外周沟槽63的周围扩展耗尽层。由此缓和施

加了反向电压的情况下在外周沟槽63的外周底部产生的电场。

[0051] <第十五实施方式>

图16的(a)是表示本发明的第十五实施方式的肖特基势垒二极管15的结构的事意的俯视图。此外,图16的(b)是沿着图16的(a)所示的A-A线的概略截面图。

[0052] 如图16所示,第十五实施方式的肖特基势垒二极管15以绝缘膜71覆盖位于外周沟槽63的外侧的漂移层30的上表面31、外周沟槽63的外侧侧面33b以及外周沟槽63的外侧底面32b,这点与第十三实施方式的肖特基势垒二极管1不同。外周沟槽63的内侧底面32a隔着绝缘膜70被阳极电极40覆盖。此外,外周沟槽63的内侧侧面33a,靠近底面32的下部被绝缘膜70,上部与阳极电极40相接。其它的基本结构与第十三实施方式的肖特基势垒二极管13相同,因此对相同的要素标注相同的附图标记,省略重复的说明。绝缘膜70与绝缘膜71既可以由相同的绝缘材料构成,也可以由不同的绝缘材料构成。采用这样的结构,能够比第十三实施方式的肖特基势垒二极管13更降低导通电阻,并且提高反向耐压。

[0053] <第十六实施方式>

图17的(a)是表示本发明的第十六实施方式的肖特基势垒二极管16的结构的事意的俯视图。此外,图17的(b)是沿着图17的(a)所示的A-A线的概略截面图。

[0054] 如图17所示,第十六实施方式的肖特基势垒二极管16被删除了位于外周沟槽63的外侧的漂移层30,这点与第十五实施方式的肖特基势垒二极管15不同。其它的基本结构与第十五实施方式的肖特基势垒二极管15相同,因此对相同的要素标注相同的附图标记,省略重复的说明。由于在漂移层30中位于外周沟槽63的外侧的部分几乎不流动导通电流,所以也可以像本实施方式例示的那样,将位于该部分的漂移层30除去。

[0055] 以上,对本发明的优选实施方式进行了说明,但本发明并不限定于上述的实施方式,而能够在不脱离本发明的主旨的范围进行各种变更,这些变更当然也包含于本发明的范围内。

实施例

[0056] <实施例1>

设想具有与图3所示的肖特基势垒二极管2同样的相同构造的实施例的模拟模型,模拟对阳极电极40与阴极电极50之间施加了正向电压的情况下的电阻值。半导体基板20的掺杂物浓度为 $1 \times 10^{18} \text{ cm}^{-3}$,漂移层30的掺杂物浓度为 $3 \times 10^{16} \text{ cm}^{-3}$ 。漂移层30的厚度为 $7 \mu\text{m}$ 。此外,中心沟槽61和外周沟槽62的深度均为 $3 \mu\text{m}$ 。图3所示的截面的中心沟槽61和外周沟槽62的宽度以及漂移层30的上表面31的宽度(台面区域M的宽度)均为 $1.5 \mu\text{m}$ 。位于中心沟槽61和外周沟槽62的平坦的底面32与侧面33之间的弯曲面34的曲率半径为 $0.05 \mu\text{m}$ 。绝缘膜70为厚度50nm的 HfO_2 膜。阳极电极40的材料为Ni,阴极电极50的材料为Ti与Au的层叠膜。而且,以与中心沟槽61和外周沟槽62的侧面33相接的阳极电极40的深度T为变量,进行模拟。

[0057] 在图18表示结果。由图18所示可知,与中心沟槽61和外周沟槽62的侧面33相接的阳极电极40的深度T越大,导通电阻越低。此外,反向耐压不依赖于深度T,为 7.5 MV/cm 。

附图标记的说明

[0058] 1~16肖特基势垒二极管

20半导体基板

21半导体基板的上表面

22 半导体基板的背面
30 漂移层
31 漂移层的上表面
32 沟槽的底面
32a 沟槽的内侧底面
32b 沟槽的外侧底面
33 沟槽的侧面
33a 沟槽的内侧侧面
33b 沟槽的外侧侧面
34 沟槽的弯曲面
35 沟槽的角部
40 ~ 42 阳极电极
50 阴极电极
61 中心沟槽
62、63 外周沟槽
70、71 绝缘膜
80 半导体材料
M 台面区域。

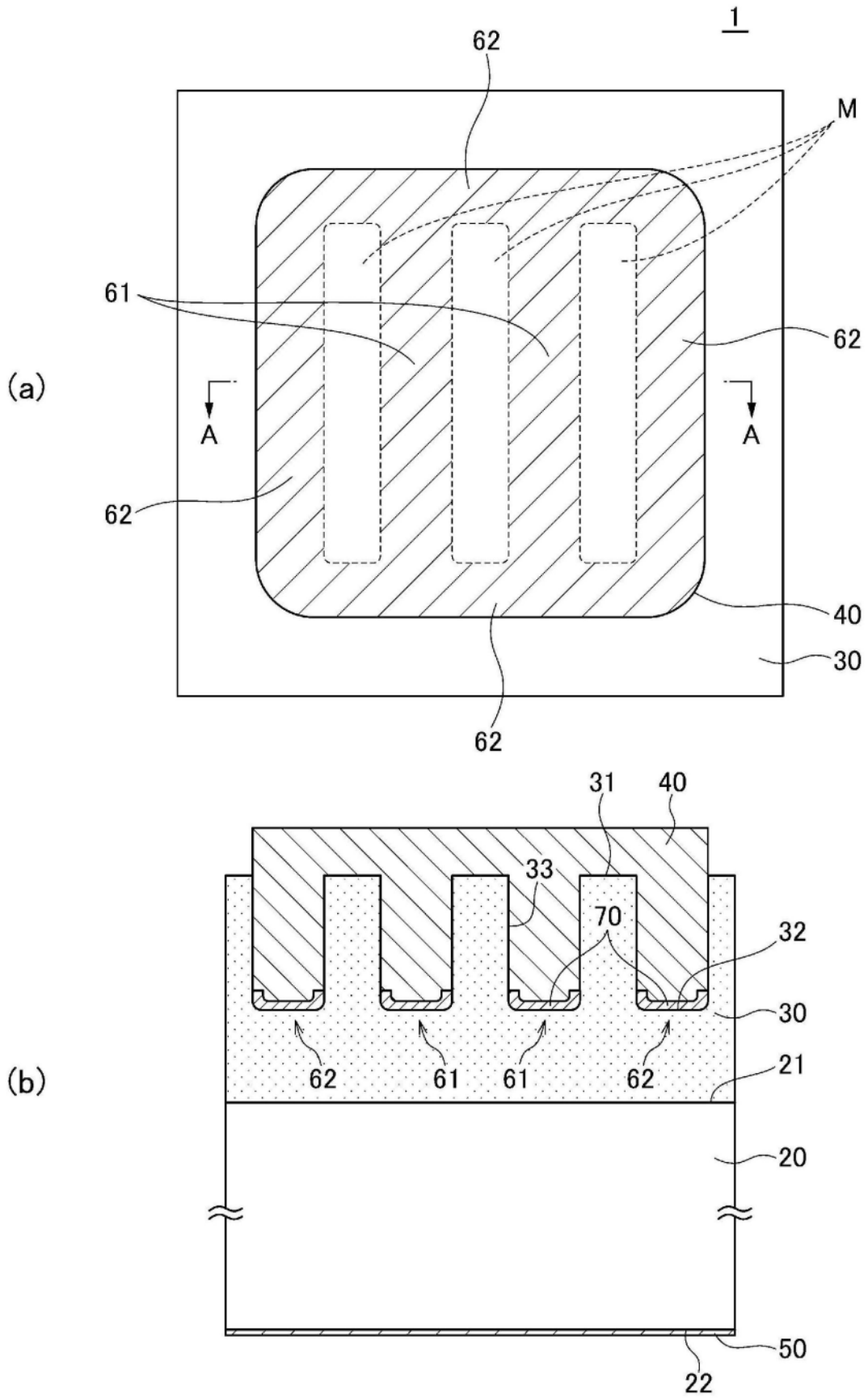


图1

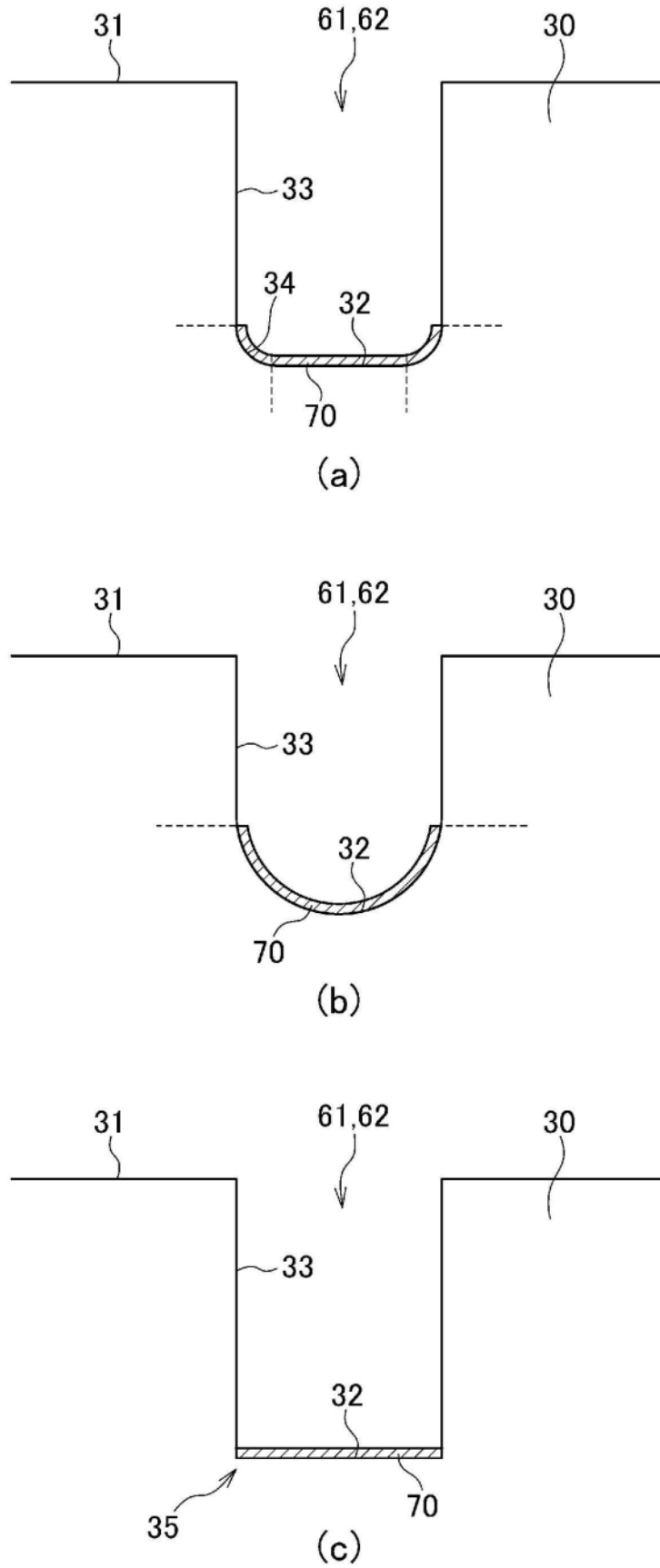


图2

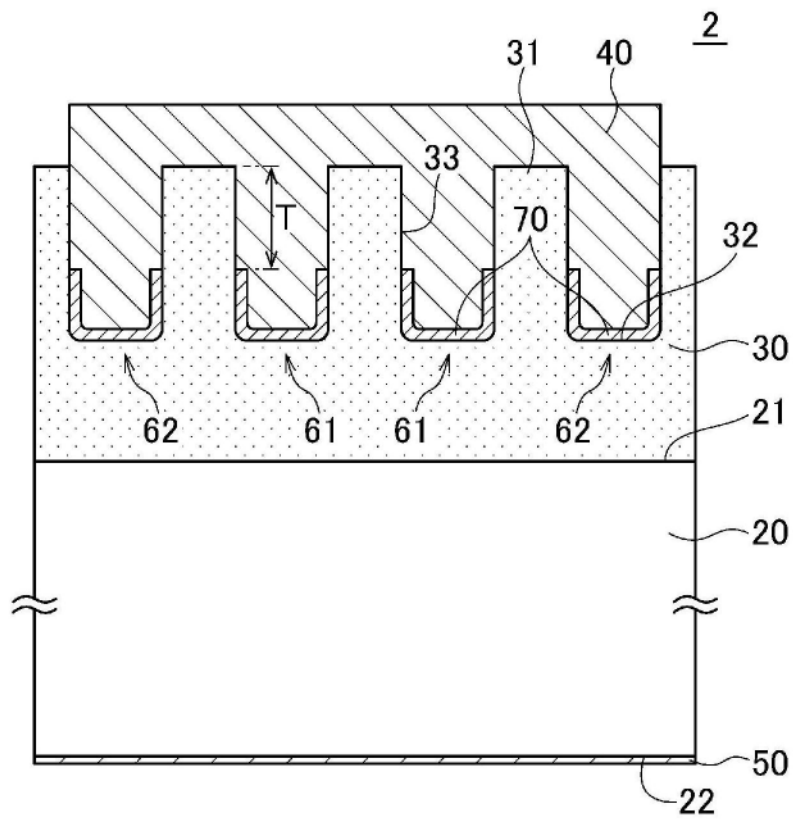


图3

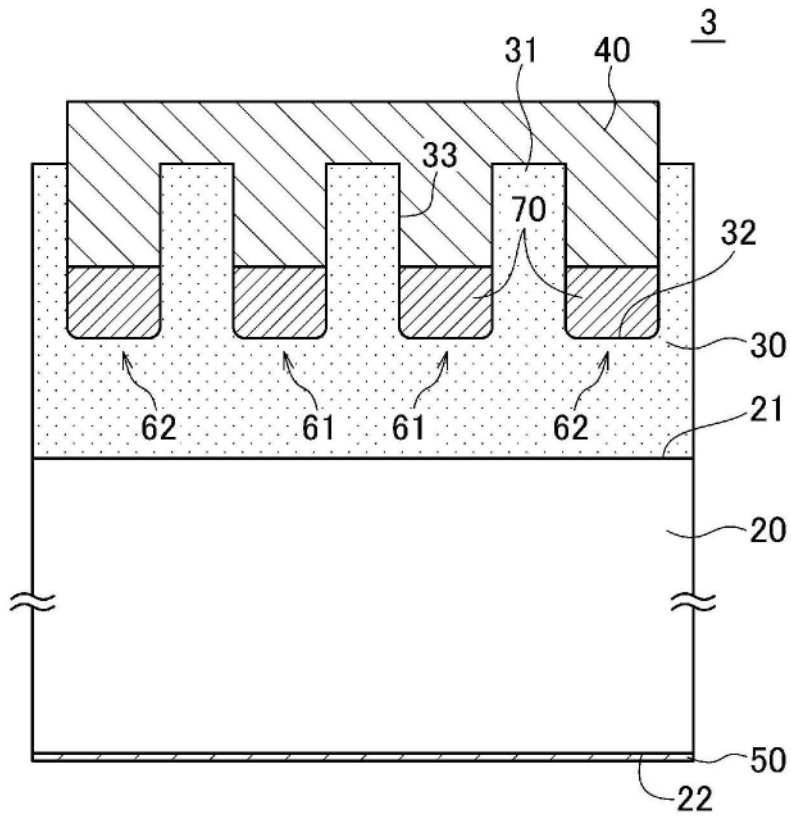


图4

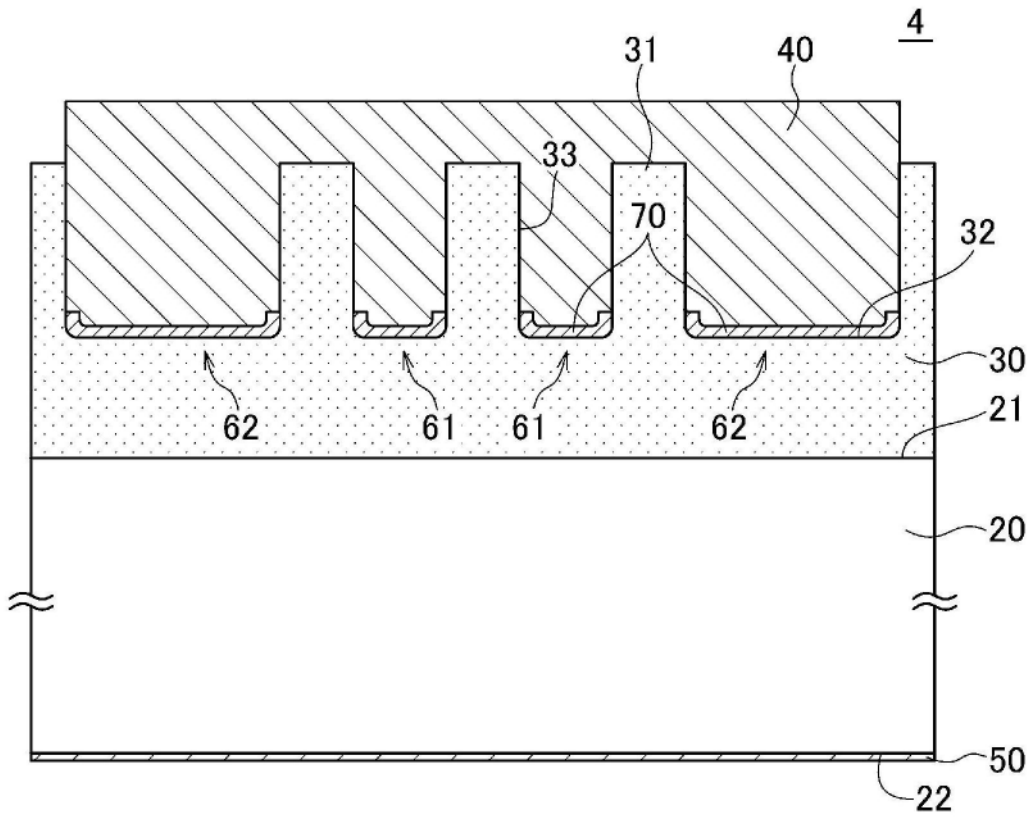


图5

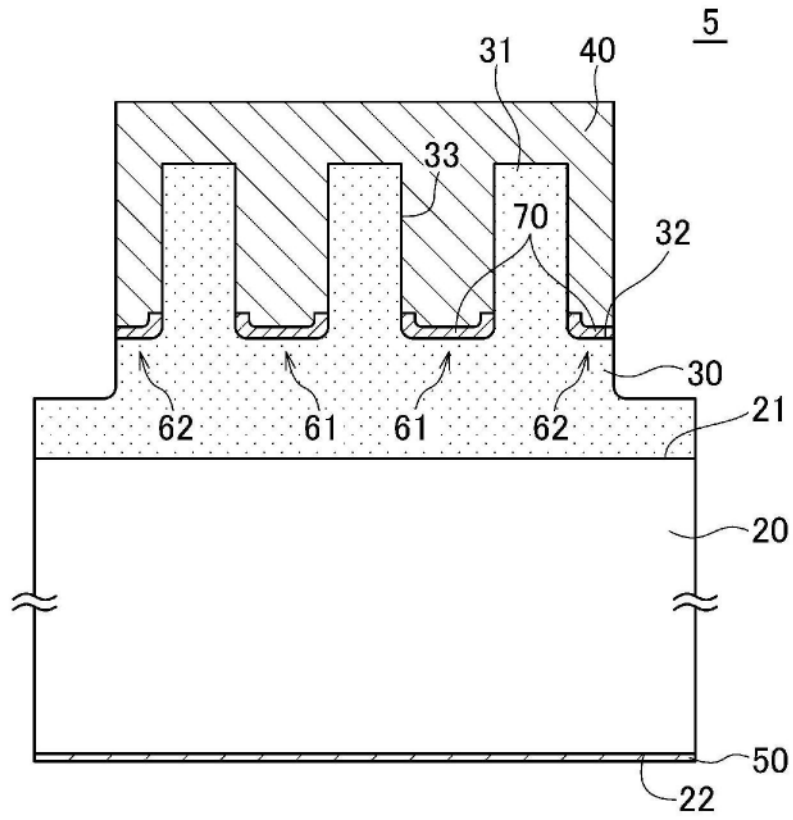


图6

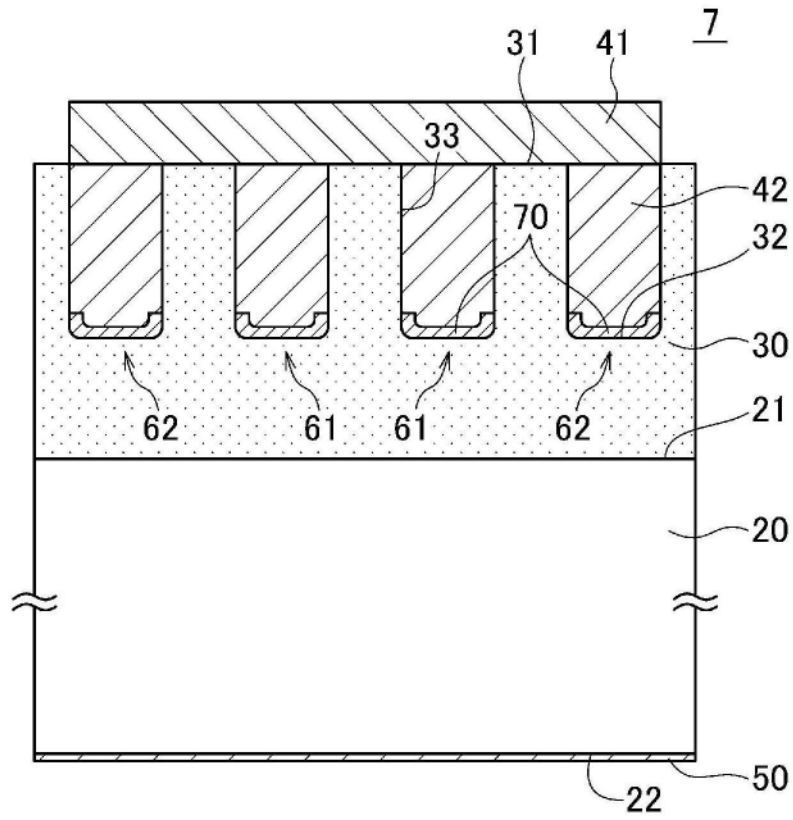


图8

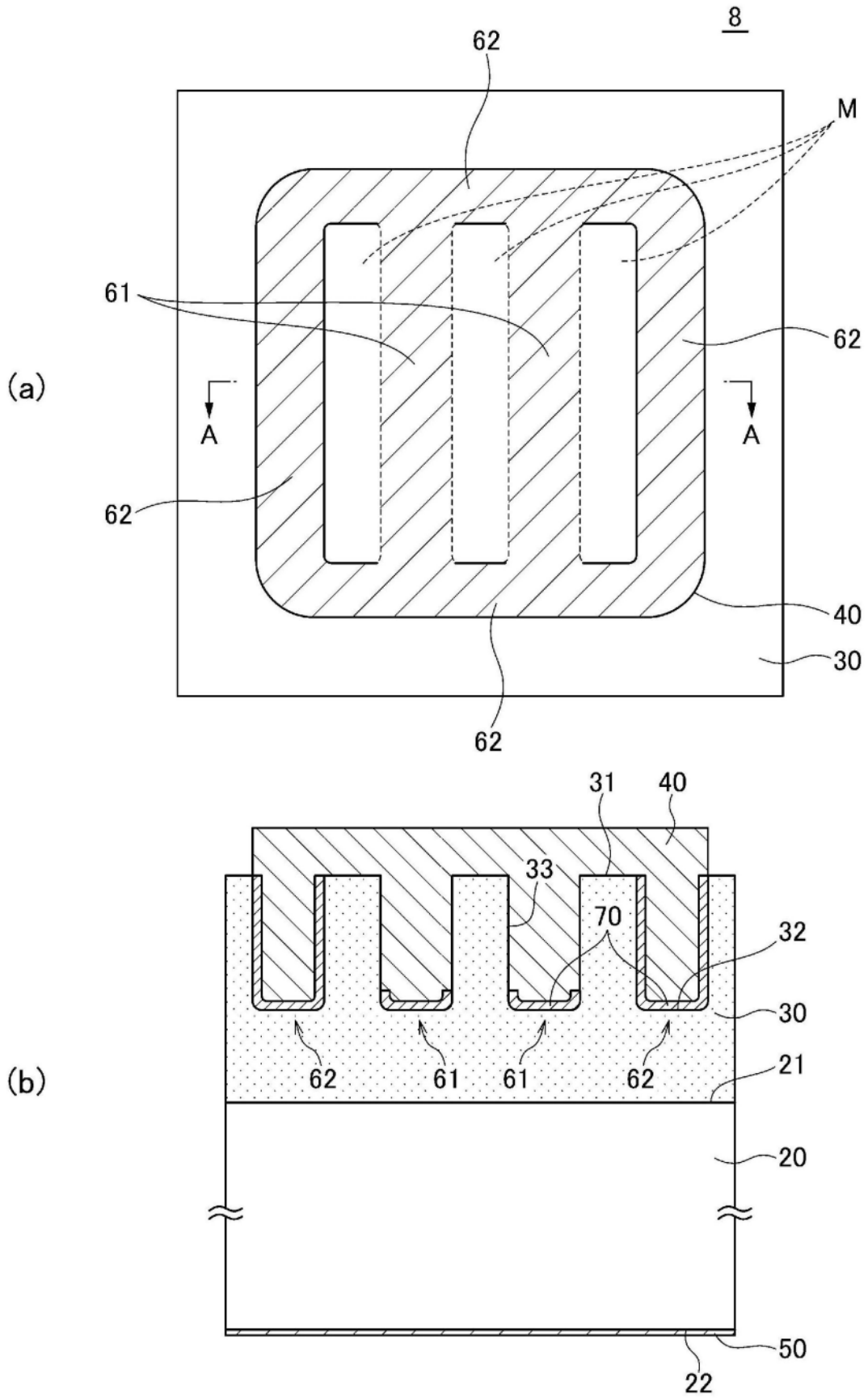


图9

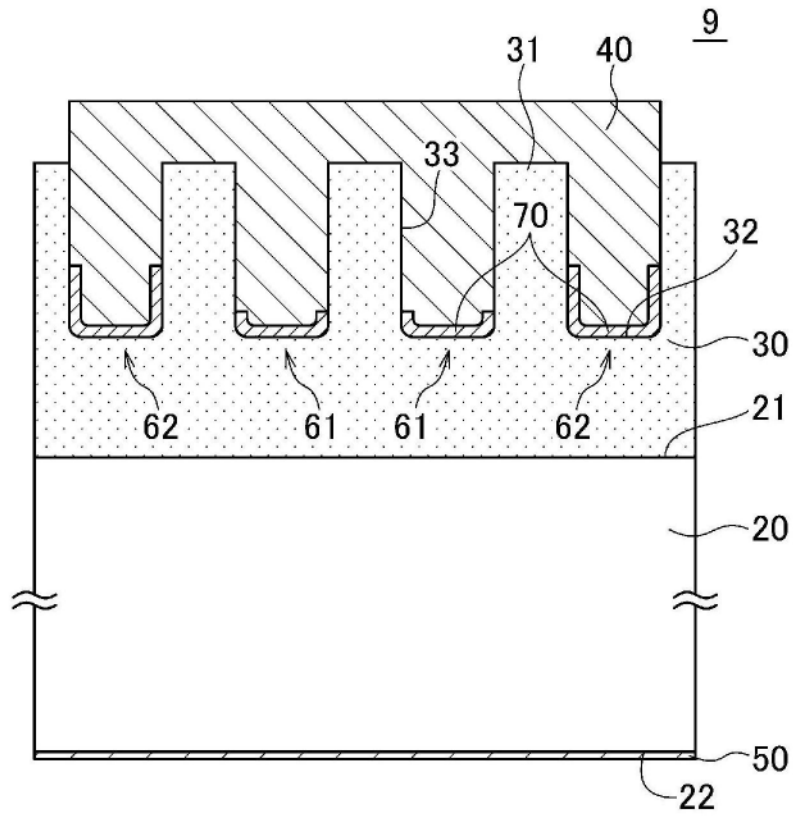


图10

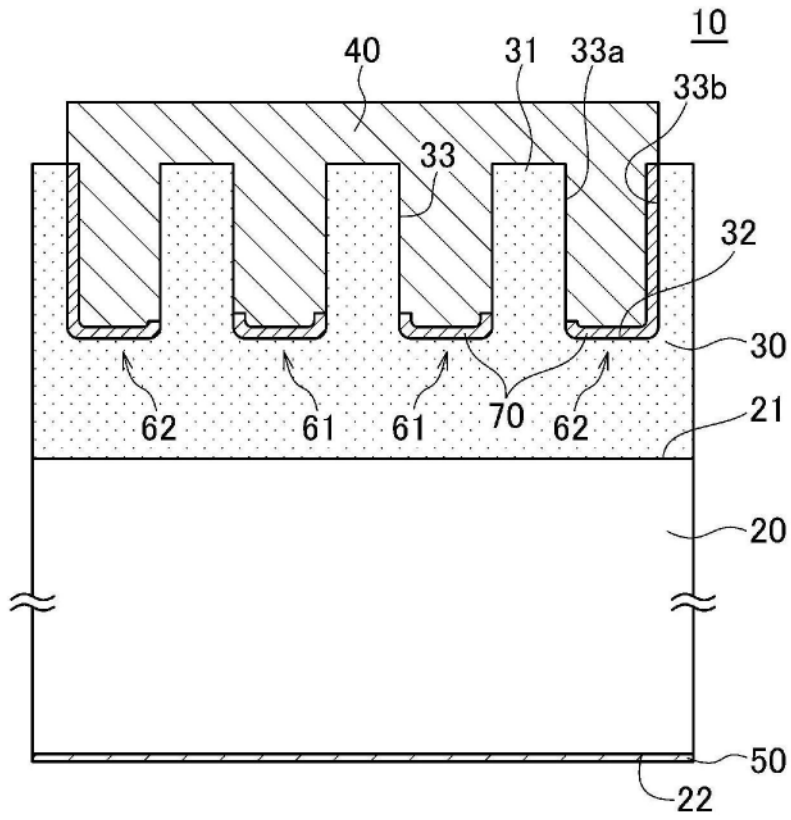


图11

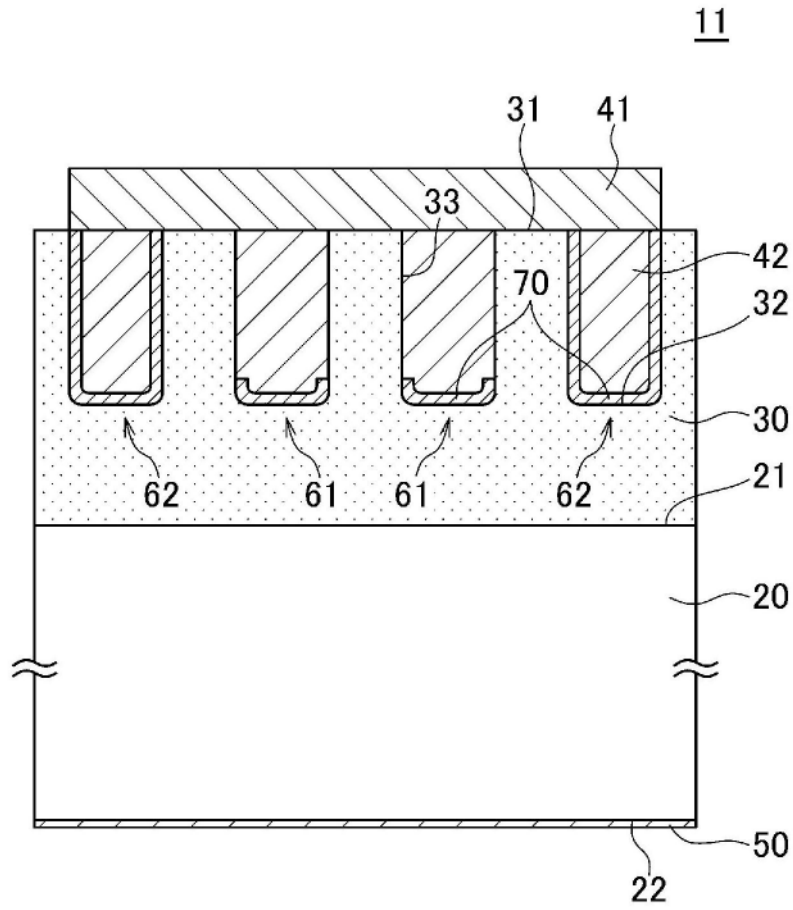


图12

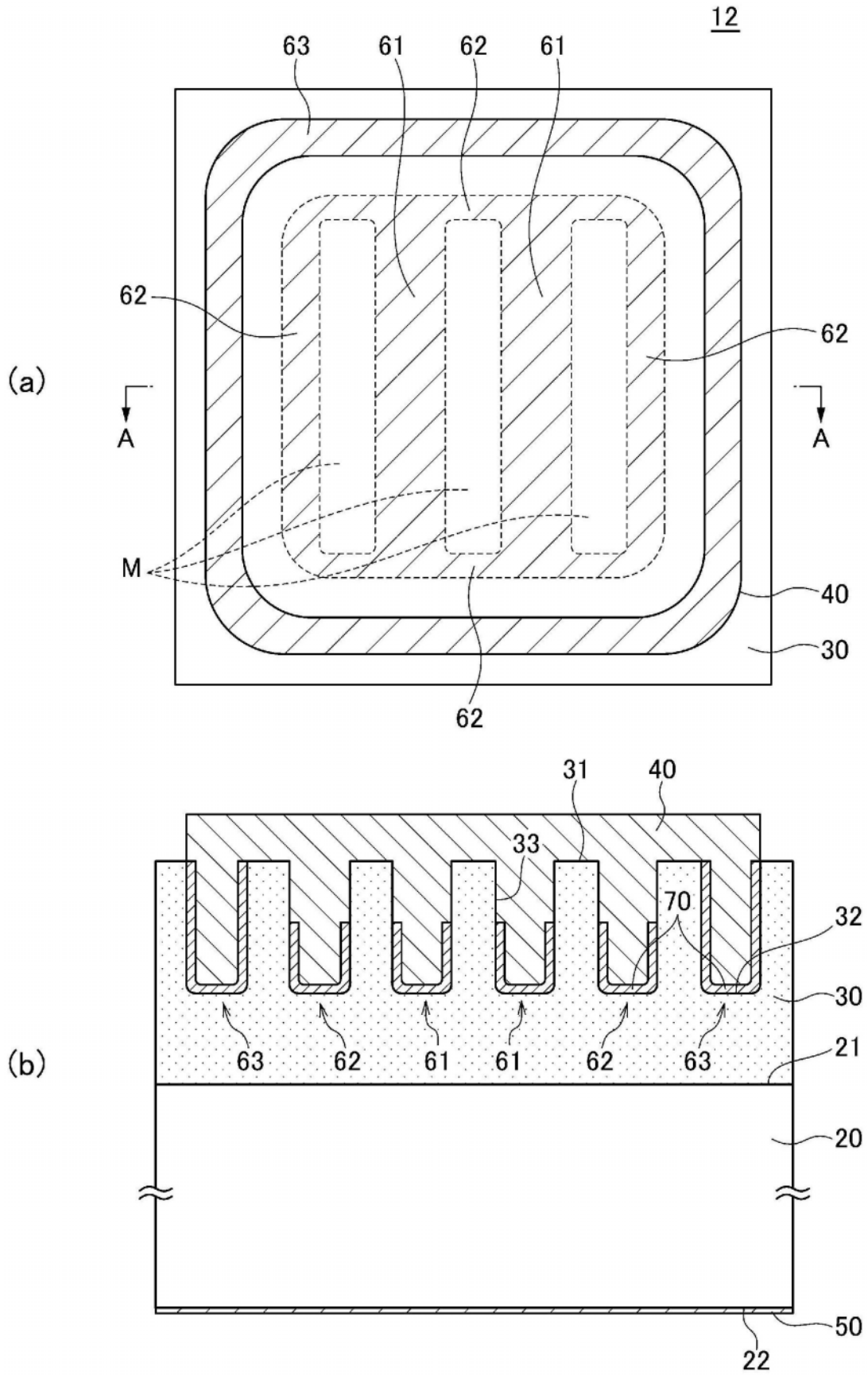


图13

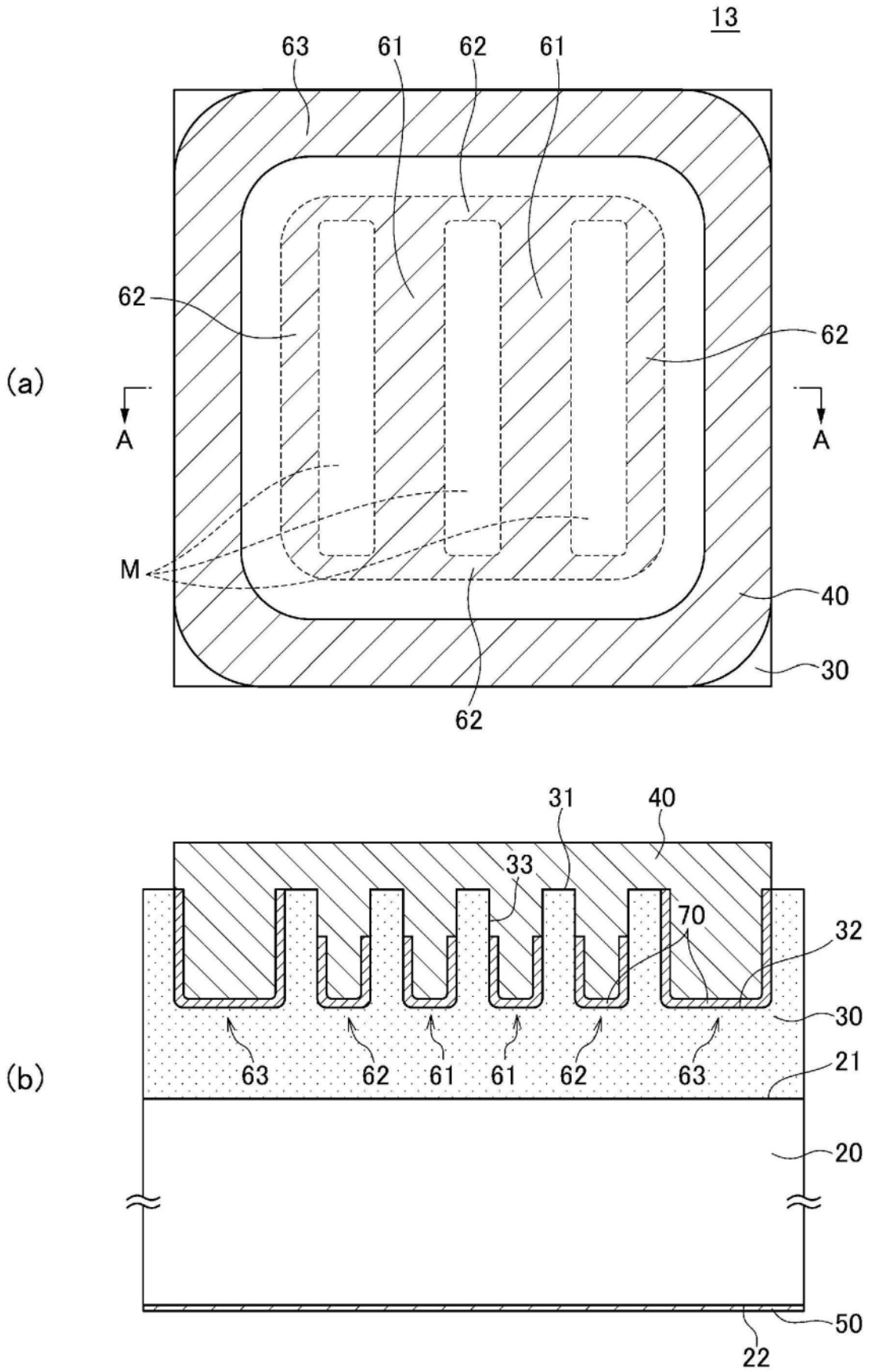


图14

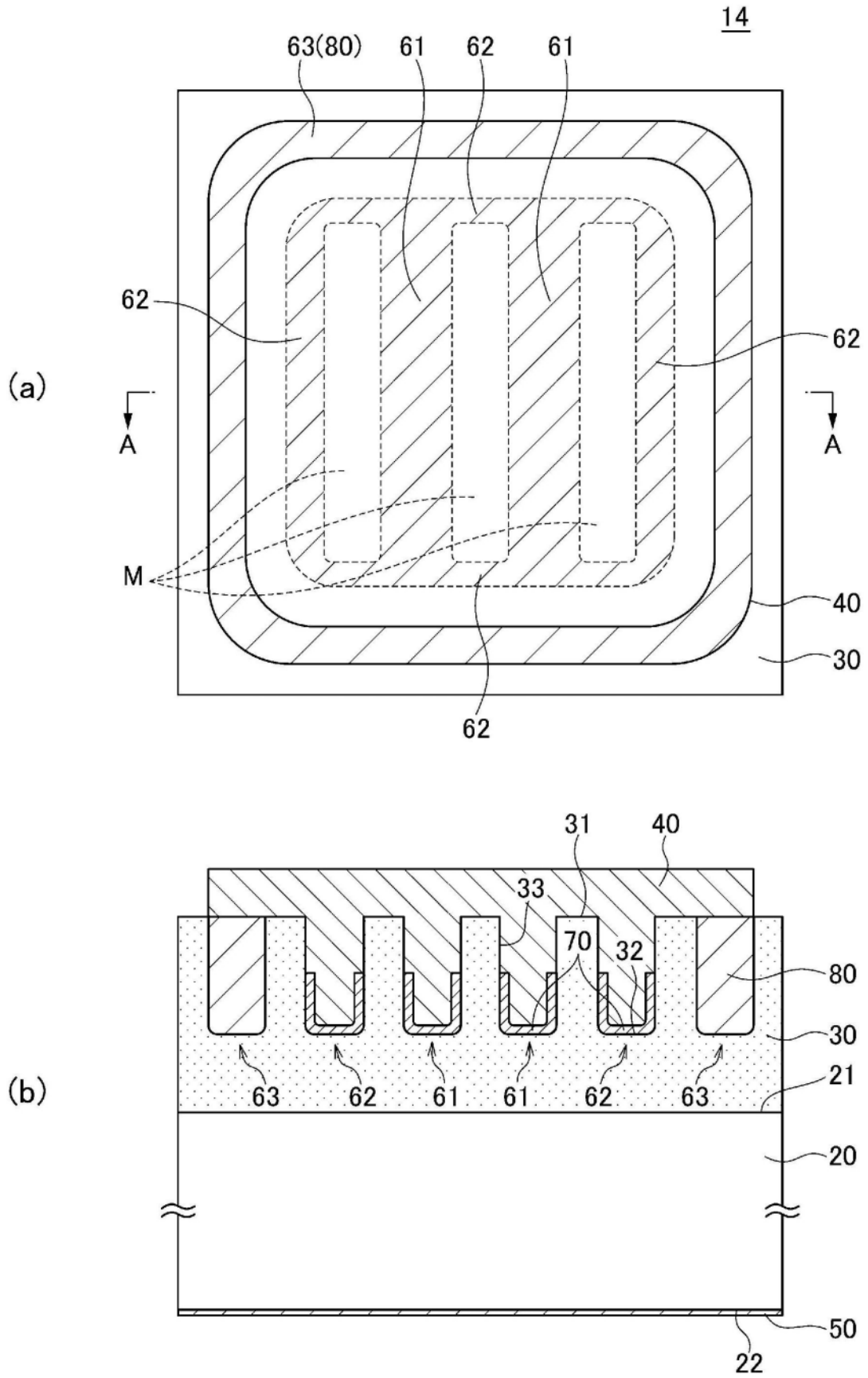


图15

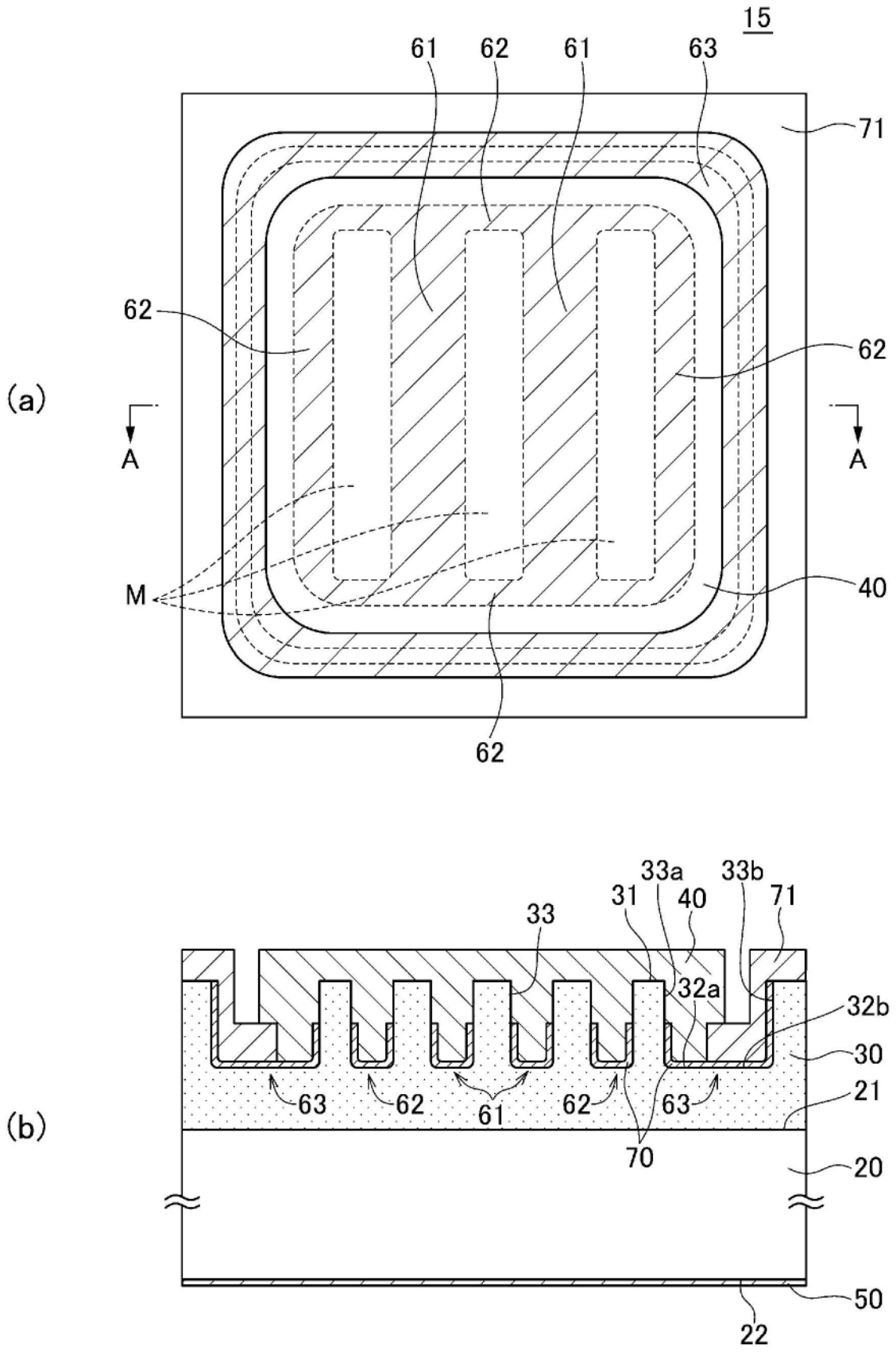


图16

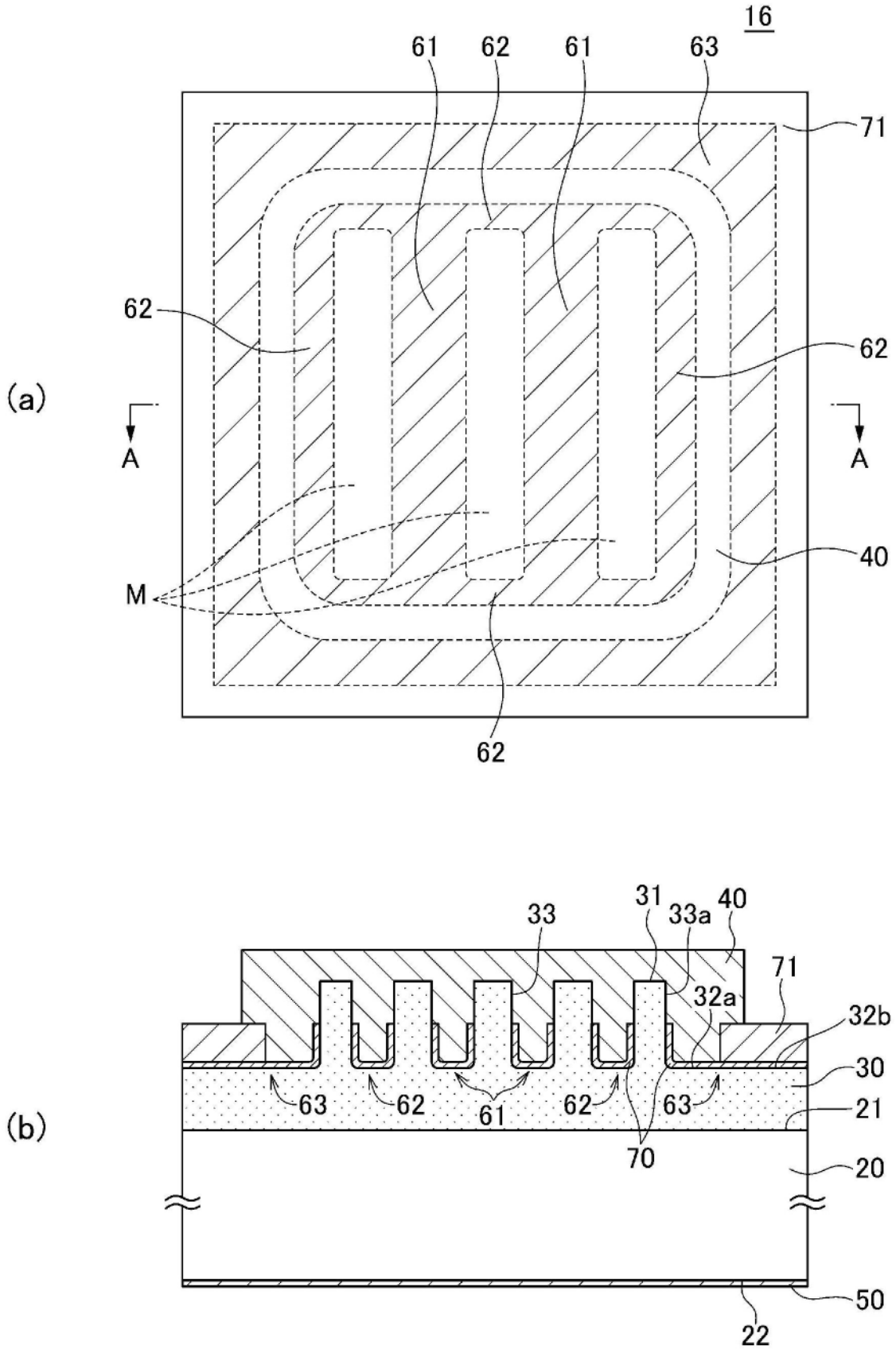


图17

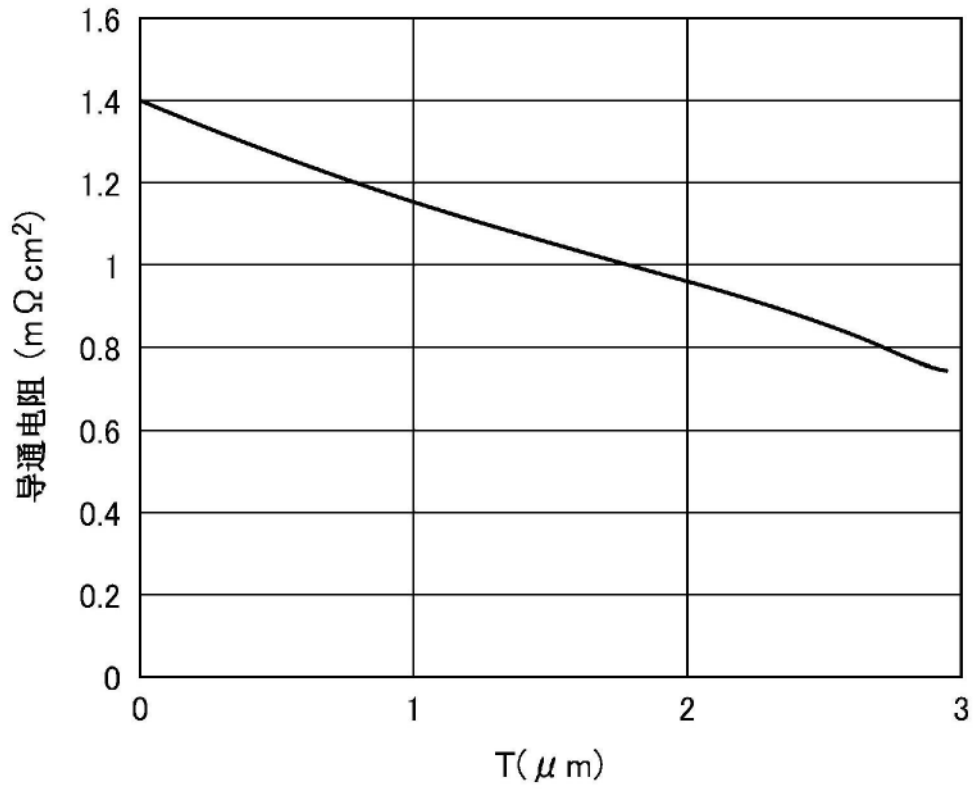


图18