

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7571663号
(P7571663)

(45)発行日 令和6年10月23日(2024.10.23)

(24)登録日 令和6年10月15日(2024.10.15)

(51)国際特許分類	F I				
H 0 2 M	1/08	(2006.01)	H 0 2 M	1/08	A
H 0 2 M	1/00	(2007.01)	H 0 2 M	1/00	H
H 0 3 K	17/08	(2006.01)	H 0 3 K	17/08	Z

請求項の数 9 (全21頁)

(21)出願番号	特願2021-91316(P2021-91316)	(73)特許権者	000004260
(22)出願日	令和3年5月31日(2021.5.31)		株式会社デンソー
(65)公開番号	特開2022-183823(P2022-183823		愛知県刈谷市昭和町1丁目1番地
	A)	(74)代理人	110000567
(43)公開日	令和4年12月13日(2022.12.13)		弁理士法人サトー
審査請求日	令和5年6月16日(2023.6.16)	(72)発明者	小林 敦
			愛知県刈谷市昭和町1丁目1番地 株式
			会社デンソー内
		(72)発明者	山内 一輝
			愛知県刈谷市昭和町1丁目1番地 株式
			会社デンソー内
		審査官	安食 泰秀

最終頁に続く

(54)【発明の名称】 ゲート駆動装置

(57)【特許請求の範囲】

【請求項1】

電流センス端子を備えたゲート駆動形の半導体スイッチング素子の駆動制御を行うゲート駆動装置であって、

前記電流センス端子からのセンス電流の検出信号を取り込み、前記検出信号に基づいて、前記センス電流が、前記半導体スイッチング素子が線形領域で動作する定常期の電流よりも上昇した後に前記定常期の電流まで低下する現象である過渡センス電流の有無を検出する波形検出回路(40)と、

前記波形検出回路による検出結果を所定タイミングで判定して短絡の有無を判定する判定回路(30)と、

前記半導体スイッチング素子のオンオフ駆動を制御し、前記半導体スイッチング素子をオン駆動した後、前記判定回路により短絡有りが判定されたことに基づいて遮断する制御回路(20)とを備えたゲート駆動装置。

【請求項2】

前記波形検出回路は、

前記センス電流の検出信号のピーク値を保持するピークホールド回路(50)と、

前記センス電流の検出信号のレベルと前記ピークホールド回路の出力を所定量だけ低下させたレベルとを比較して前記短絡の有無を判定する比較回路(60)とを有する請求項1に記載のゲート駆動装置。

【請求項3】

前記ピークホールド回路は、前記半導体スイッチング素子がオフすると前記ピーク値の保持をリセットするリセットスイッチを備える請求項 2 に記載のゲート駆動装置。

【請求項 4】

前記比較回路は、前記ピークホールド回路の出力を小さく設定する所定量を調整可能に構成される請求項 2 または 3 に記載のゲート駆動装置。

【請求項 5】

前記判定回路は、前記短絡の有無の判定を、前記半導体スイッチング素子のオン駆動の時点から所定時間が経過したタイミングで実施する請求項 1 から 4 のいずれか一項に記載のゲート駆動装置。

【請求項 6】

前記判定回路は、前記半導体スイッチング素子のゲート電圧をモニタし、所定の電圧に達したことを検出するゲートモニタ回路（81）を備え、

前記短絡の有無の判定を、前記ゲートモニタ回路の検出タイミングで実施する請求項 1 から 4 のいずれか一項に記載のゲート駆動装置。

【請求項 7】

前記判定回路は、前記センス電流の検出信号が短絡レベルに相当するセンスしきい値に達したことを検出する機能をさらに備え、

前記判定回路は、前記判定を、前記波形検出回路および前記センスしきい値検出回路の双方から短絡が検出されたときに前記短絡の有無を判定する請求項 1 から 6 のいずれか一項に記載のゲート駆動装置。

【請求項 8】

前記ゲートしきい値および前記センス電流しきい値の少なくとも一方が調整可能に設けられる請求項 6 または 7 に記載のゲート駆動装置。

【請求項 9】

前記判定回路は、前記半導体スイッチング素子のオン期間中の前記センス電流の変化から過電流の有無を判定する請求項 1 から 8 のいずれか一項に記載のゲート駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート駆動装置に関する。

【背景技術】

【0002】

I G B T や M O S トランジスタなどのゲート駆動型の半導体スイッチング素子は、上下アームに配置してオンオフ駆動制御を行う構成では、一方が短絡故障をしている状態で、他方がオン駆動されると、短絡電流が流れてスイッチング素子が破損してしまう。このため、オン時に対向アームの半導体スイッチング素子が短絡しているか否かを判定して、短絡状態である場合にはオン駆動を停止することが必要である。

【0003】

この場合、半導体スイッチング素子のオン時には、原理的に、過渡的に電流センスの電圧がオン状態よりも持ち上がり、ゲート電圧が十分に上がってオン状態に移行すると、電流センスの電圧は定常値まで低下する特性を有している。このため、過渡期に判定をすると短絡状態と誤判定をしてしまう可能性があるため、ゲート電圧が上がった定常時に電流センスの電圧を判定することで誤判定を回避するようにしている。

【0004】

しかしながら、半導体スイッチング素子は、小型化が進むことで短絡時の飽和電流が低下する傾向にあるため、ゲート電圧が上がった定常時の電流センスの電圧を判定する場合でも、短絡時の飽和電流の値と正常時の電流センスの値との差が小さくなり、これらの値のばらつきを考慮すると両者がオーバーラップする場合が発生し、しきい値の設定が不能となり正しい判定ができなくなる不具合があった。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0005】

【文献】特許06525141号公報

【文献】特開2017-212870号公報

【文献】国際公開番号WO2017/141545A1

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上記事情を考慮してなされたもので、その目的は、半導体スイッチング素子の小型化が進み短絡飽和電流が低下した場合でも、対向アームの短絡状態を確実に判定することができるようにしたゲート駆動装置を提供することにある。

10

【課題を解決するための手段】

【0007】

請求項1に記載のゲート駆動装置は、電流センス端子を備えたゲート駆動形の半導体スイッチング素子の駆動制御を行うゲート駆動装置であって、前記電流センス端子からのセンス電流の検出信号を取り込み、前記検出信号に基づいて、前記センス電流が、前記半導体スイッチング素子が線形領域で動作する定常期の電流よりも上昇した後に前記定常期の電流まで低下する現象である過渡センス電流の有無を検出する波形検出回路(40)と、前記波形検出回路による検出結果を所定タイミングで判定して短絡の有無を判定する判定回路(30)と、前記半導体スイッチング素子のオンオフ駆動を制御し、前記半導体スイッチング素子をオン駆動した後、前記判定回路により短絡有りが判定されることに基づいて遮断する制御回路(20)とを備える。

20

【0008】

上記構成を採用することにより、波形検出回路により、半導体スイッチング素子の電流センス端子からセンス電流の検出信号を取り込み、センス電流の波形の変化から過渡センス電流の有無を検出して短絡の有無を検出し、判定回路により所定タイミングで短絡状態を判定することができる。これにより、センス電流の値そのものから短絡を判定するのではなく、過渡期のセンス電流を基準として定常期のセンス電流への変化から検出することで、飽和電流が下がるなどしてセンス電流のレベルにばらつきがある場合でも、短絡の有無を正しく判定することができる。この結果、パワー素子として用いる半導体スイッチング素子の小型化に貢献できる。また、IC/素子仕様で短絡設計が完結するため、基板での短絡保護設計が不要になる。

30

【図面の簡単な説明】

【0009】

【図1】第1実施形態を示す電氣的構成図

【図2】第1実施形態を示す作用説明図その1

【図3】第1実施形態を示すタイミングチャート

【図4】第1実施形態を示す作用説明図その2

【図5】第1実施形態を示す作用説明図その3

【図6】第1実施形態を示す作用説明図その4

40

【図7】第1実施形態を示す作用説明図その5

【図8】第2実施形態を示す電氣的構成図

【図9】第2実施形態を示すタイミングチャート

【図10】第3実施形態を示す電氣的構成図

【図11】第3実施形態を示すタイミングチャート

【図12】第4実施形態を示す電氣的構成図

【図13】第4実施形態を示す作用説明図その1

【図14】第4実施形態を示す作用説明図その2

【図15】第4実施形態を示す作用説明図その3

【図16】第5実施形態を示す電氣的構成図

50

【図 17】第 5 実施形態を示すタイミングチャート
【図 18】第 6 実施形態を示す電氣的構成図
【図 19】第 6 実施形態を示す作用説明図
【図 20】第 7 実施形態を示す電氣的構成図
【図 21】第 7 実施形態を示す作用説明図
【図 22】第 8 実施形態を示す電氣的構成図
【図 23】第 8 実施形態を示すタイミングチャート
【図 24】第 9 実施形態を示すタイミングチャート
【発明を実施するための形態】

【0010】

10

(第 1 実施形態)

以下、本発明の第 1 実施形態について、図 1 ~ 図 7 を参照して説明する。

電氣的構成を示す図 1 において、ゲート駆動形の半導体スイッチング素子としての IGBT (Insulated Gate Bipolar Transistor) 1 を上下アームにそれぞれ配置して負荷への通電経路を形成する回路に対して、ゲート駆動装置 10 は、一方の IGBT 1 をオン駆動制御する際に、他方の IGBT が短絡状態にあるかどうかを判定することができるようにした機能を備える。

【0011】

IGBT 1 は、内部にコレクタ・エミッタ間の電流を検知するためのセンス素子が設けられセンス電流の出力端子であるセンス端子 SE を備えている。センス端子 SE は、電流検出用の抵抗 2 を介してエミッタと共通に接続されており、ゲート駆動装置 10 は、電流検出抵抗 2 に流れるセンス電流 I_{se} を、センス電圧 V_{se} として取り込むように設けられている。

20

【0012】

ゲート駆動装置 10 は、制御回路 20、判定回路 30 および波形検出回路 40 を備えている。制御回路 20 は、外部から与えられるオン/オフ指令信号に基づいてゲート駆動信号 S_{on} を生成し、駆動回路 21 を介して IGBT 1 のゲートにゲート駆動電圧 V_{on} を与える。制御回路 20 は、後述するように、IGBT 1 のオフ駆動機能も備えており、オン駆動中に短絡が検出された場合には IGBT 1 を遮断する。

【0013】

30

判定回路 30 は、コンパレータ 31、しきい値電源 32、遅延回路 33 およびアンド回路 34 を備える。判定回路 30 は、IGBT 1 のゲート電圧 V_{ge} がしきい値電圧 V_{th1} に達してオンした時点から、所定の遅延時間 T_{d1} が経過した時点で IGBT 1 の状態を判定する。

【0014】

コンパレータ 31 は、非反転入力端子に IGBT 1 のゲート電圧 V_{ge} が入力され、反転入力端子にしきい値電源 32 により設定されるしきい値電圧 V_{th1} が入力される。遅延回路 33 は、コンパレータ 31 から出力されるオンタイミングの信号によりトリガがかかり、所定の遅延時間 T_{d1} 後にアンド回路 34 にハイレベルの信号を出力する。アンド回路 34 は、遅延回路 33 からのハイレベルの信号の入力タイミングで、波形検出回路 40 からの出力信号を判定して短絡状態の場合には判定信号 S_x を出力する。

40

【0015】

波形検出回路 40 は、ピークホールド回路 50 およびヒステリシス付きのコンパレータからなる比較回路 60 を備えている。波形検出回路 40 は、センス電圧 V_{se} を取り込み、この波形の変化状態から通常状態でない状態を検出して出力する。

【0016】

ピークホールド回路 50 は、オペアンプ 51、トランジスタ 52 およびコンデンサ 53 を備える。オペアンプ 51 は、非反転入力端子にセンス電圧 V_{se} が入力され、反転入力端子にはコンデンサ 53 の端子電圧 V_{ph} が入力される。オペアンプ 51 の出力端子はトランジスタ 52 のベースに接続される。

50

【 0 0 1 7 】

トランジスタ 5 2 のコレクタは直流電源 V_D に接続され、エミッタはコンデンサ 5 3 を介してグラウンドに接続される。コンデンサ 5 3 の端子電圧であるピークホールド電圧 V_{ph} は、トランジスタ 5 2 のエミッタとコンデンサ 5 3 の共通接続点の電圧である。オペアンプ 5 1 は、センス電圧 V_{se} がコンデンサ 5 3 の端子電圧であるピークホールド電圧 V_{ph} よりも大きい期間中はトランジスタ 5 2 を駆動してコンデンサ 5 3 に直流電源 V_D から充電を行う。

【 0 0 1 8 】

これにより、センス電圧 V_{se} がピーク値 V_P に達した後低下すると、オペアンプ 5 1 の出力信号によりトランジスタ 5 2 がオフしてコンデンサ 5 3 への充電が停止する。この結果、ピークホールド電圧 V_{ph} はセンス電圧 V_{se} のピーク値 V_P となり、この電圧が保持される。

10

【 0 0 1 9 】

比較回路 6 0 は、コンパレータ 6 1 およびヒステリシス電圧 V_h を与えるヒステリシス電源 6 2 を備える。コンパレータ 6 1 は非反転入力端子にセンス電圧 V_{se} が入力され、反転入力端子にピークホールド回路 5 0 から出力されるピークホールド電圧 V_{ph} を、ヒステリシス電源 6 2 を通じてヒステリシス電圧 V_h だけ低下させた参照電圧 V_{hys} として入力される。

【 0 0 2 0 】

コンパレータ 6 1 は、センス電圧 V_{se} が参照電圧 V_{hys} よりも大きいときにはハイレベル、小さくなるとローレベルとなる検出信号 S_d を出力する。この検出信号 S_d は、判定回路 3 0 のアンド回路 3 4 に入力される。

20

【 0 0 2 1 】

次に、上記構成の作用について、図 2 から図 7 も参照して説明する。

まず、通常時および短絡時におけるセンス電圧 V_{se} の変化について説明する。図 6 は 2 つの IGBT__A、IGBT__B を上下アームに配置した構成で、上アームの IGBT__A をオフ駆動してから下アームの IGBT__B をオン駆動するまでに流れる電流について矢印をつけた破線で示している。上側に上アームの IGBT__A が正常である通常時の電流を示し、下側に IGBT__A が短絡状態である場合の電流を示している。

【 0 0 2 2 】

30

通常時においては、上アームの IGBT__A をオン状態として負荷に給電している状態でオフに切り替えると、負荷側から IGBT__A のボディダイオードを介して電源側に戻る電流 I_{1f} が流れる。ボディダイオードに流れる電流を側路させるために、同期整流動作として下アームの IGBT__B をオン駆動する。

【 0 0 2 3 】

このとき、IGBT__B に流れる電流 I_2 は、負荷側からボディダイオードに流れていた電流 I_{1f} にボディダイオードのリカバリ電流 I_{1r} が加算された電流として流れる。このため、IGBT__B がオン駆動されるときには、過渡期においてリカバリ電流によるピークが加算された電流が発生し、定常期になると負荷電流のレベルになる。

【 0 0 2 4 】

40

一方、下側に示す IGBT__A の短絡時には、上アームの IGBT__A をオン状態として負荷に給電している状態でオフに切り替えても、短絡状態であるから、負荷側から IGBT__A の本体を介して電源側に戻る電流 I_{1s} が流れる。ボディダイオードには順方向電圧がかかるため電流 I_{1f} はほとんど流れない。

【 0 0 2 5 】

このため、IGBT__B をオン駆動して同期整流を実施しようとする、IGBT__A に流れていた短絡電流 I_{1s} が IGBT__B に電流 I_2 として流れるようになる。また、IGBT__A のボディダイオードに電流がほとんど流れないため、リカバリ電流の発生もなく、電流 I_2 にはリカバリ電流に起因したピーク値が発生しない。

【 0 0 2 6 】

50

図 7 は、上記の動作を各部の信号変化として示したタイミングチャートである。通常時と短絡時との状態におけるゲート電圧 V_{ge} 、コレクタ電流 I_c 、センス電圧 V_{se} およびコレクタ電圧 V_{ce} を示している。

【 0 0 2 7 】

通常時においては、 $IGBT$ のゲート電圧は過渡期にミラー電圧 V_m で保持された後にゲート電圧 V_{GE} まで引き上げられる。このとき、コレクタ電流 I_c は、ゲート電圧 V_{ge} が時刻 t_0 でしきい値電圧 V_{th} に達すると、負荷に応じた電流が流れるようになる。

【 0 0 2 8 】

センス電流 I_{se} の変化を示すセンス電圧 V_{se} は、オン駆動に伴って $0V$ から増加し、リカバリ電流によるピーク値を過ぎると過渡期では飽和領域で動作するため、定常期よりも高い電圧 V_2 を保持する。この後、定常期に移行するとセンス電圧 V_{se} は、線形領域となるので負荷電流に比例した電圧 V_1 に下がり、オン期間中はこの状態が保持される。また、コレクタ電圧 V_{ce} は、過渡期では電源電圧 V_{CE} から徐々に低下し始め、定常期になるとほぼ $0V$ になる。

10

【 0 0 2 9 】

これに対して、短絡時においては、 $IGBT$ のゲート電圧はミラー期間に関係なく上昇してゲート電圧 V_{GE} まで引き上げられる。このとき、コレクタ電流 I_c は、ゲート電圧 V_{ge} が時刻 t_0 でしきい値電圧 V_{th} に達すると、電源短絡状態となるため短絡電流レベルまで上昇する。

【 0 0 3 0 】

20

センス電圧 V_{se} は、オン駆動に伴って $0V$ から増加し、リカバリ電流もなく飽和領域のままで動作し短絡電流に対応する高い電圧 V_3 のレベルとなる。また、コレクタ電圧 V_{ce} は、電源電圧 V_{CE} が印加された状態のままとなる。

【 0 0 3 1 】

以上の基本的な動作の性質を前提として、本実施形態の動作について説明する。図 2 は、通常時および短絡時におけるセンス電圧 V_{se} と検出信号 S_d の状態を示している。

【 0 0 3 2 】

通常時では、センス電圧 V_{se} は、前述のように、 $IGBT_1$ がオンすると過渡期においてはリカバリ電流に起因した電圧上昇でピーク値 V_P に達した後に過渡期の飽和状態の電圧 V_1 のレベルとなる。この後、定常期に移行するとセンス電圧 V_{se} は電圧 V_1 よりも下がって負荷電流に対応する電圧 V_2 となる。この結果、センス電圧 V_{se} は、ピーク値 V_P から電圧 V_2 まで下がり、動作点差 $V_{se} (= V_P - V_2)$ だけ下がったこととなる。

30

【 0 0 3 3 】

一方、短絡時には、センス電圧 V_{se} は、 $IGBT_1$ は飽和状態のままとなり、 $IGBT_1$ に流れる短絡電流に相当するレベルまで上昇し、このレベルが保持される。このため、センス電圧 V_{se} がピーク値 V_P そのもので保持され、これよりも低下することがない。

【 0 0 3 4 】

この結果、通常時にはセンス電圧 V_{se} が過渡期から定常期に移行するタイミングで、上記した V_{se} の変化により電圧 V_2 に低下するので、波形検出回路 40 は、この変化をピークホールド電圧 V_{ph} からヒステリシス電圧 V_h だけ小さく設定する電圧 V_{py_s} と比較することにより検出することができる。

40

【 0 0 3 5 】

図 3 は、ゲート駆動装置 10 が外部からオン/オフ指令の信号を受けて $IGBT_1$ のゲートにゲート駆動電圧 V_{on} を与えたときのタイミングチャートを示している。制御回路 20 は、駆動回路 21 を介して $IGBT_1$ にゲート駆動電圧 V_{on} を与えると、対向アームの $IGBT$ が通常時である場合には、 $IGBT_1$ は、ゲート電圧 V_{ge} が上昇してゆき、時刻 t_0 でしきい値電圧 V_{th1} に達すると電流が流れ始め、過渡期に移行する。

【 0 0 3 6 】

このとき、判定回路 30 においては、コンパレータ 31 に入力されるゲート電圧 V_{ge}

50

がしきい値電圧 V_{th1} に達したことでハイレベルの信号を遅延回路 33 に出力する。遅延回路 33 は、ハイレベルの信号が入力された時刻 t_0 から所定の遅延時間 t_{d1} が経過する時刻 t_3 でアンド回路 34 にハイレベルのタイミング信号を出力する。

【0037】

波形検出回路 40 においては、IGBT1 がオン駆動し始める時刻 t_0 から IGBT1 に流れる電流に比例するセンス電流 I_{se} が電流検出抵抗 2 に流れ始め、この電流に相当するセンス電圧 V_{se} がオペアンプ 51 に入力される。

【0038】

IGBT1 がオン駆動される過渡期においては、飽和状態となりゲート電圧 V_{ge} は時刻 t_m からミラー電圧 V_m で保持され、センス電圧 V_{se} はリカバリ電流を含んだ電流が流れることで、時刻 t_1 でピーク電圧 V_P に達し、以後通常期よりも高い電圧 V_1 の状態が保持される。

【0039】

波形検出回路 40 においては、ピークホールド回路 50 から出力されるピーク電圧 V_P に対応したピークホールド電圧 V_{ph} が比較回路 60 に入力される。比較回路 60 では、ピークホールド電圧 V_{ph} からヒステリシス電圧 V_h だけ低く設定される参照電圧 V_{hy} がコンパレータ 61 に入力される。参照電圧 V_{hy} は、過渡期のセンス電圧 V_{se} が電圧 V_2 となるのに対してこれよりも低くなるようにヒステリシス電圧 V_h が設定されている。

【0040】

コンパレータ 61 は、センス電圧 V_{se} が定常期に入って電圧 V_1 からさらに低下した電圧 V_2 になるタイミングで参照電圧 V_{hy} よりも低くなるので、この時点 t_2 で検出信号 S_d はローレベルに変化する。

【0041】

判定回路 30 においては、遅延回路 33 により設定される遅延時間 T_{d1} が、IGBT1 が定常期に入った時刻 t_2 よりも後となるように設定されているので、アンド回路 34 にハイレベルのタイミング信号 S_t が入力された時点 t_3 で、検出信号 S_d がハイレベルかローレベルかに応じた判定信号 S_x が出力される。したがって、通常時においては、判定信号 S_x はローレベルとなり、この時点で通常時であることが判定される。

【0042】

一方、対向アームの IGBT が短絡状態となっている場合には、ゲート電圧 V_{ge} はミラー電圧 V_m で保持されることなく V_{GE} まで上昇し、センス電圧 V_{se} もリカバリ電流のピーク値を発生することなく短絡電流 I_s に相当する電圧 V_x に達するまで上昇して保持された状態となる。

【0043】

このため、センス電圧 V_{se} が、以後低下することがなくなり、波形検出回路 40 では短絡状態を示すハイレベルの検出信号 S_d が出力された状態が保持される。判定回路 30 では、タイミング信号 S_t が出力される時刻 t_3 で、アンド回路 34 は、波形検出回路 40 からハイレベルの検出信号 S_d が入力されているので、ハイレベルの判定信号 S_x を出力する。したがって、短絡時では、判定信号 S_x はハイレベルとなり、短絡時であることが判定される。

【0044】

次に、図 4 および図 5 によりセンス電圧 V_{se} の波形が図 3 で示したような変化とは異なる変化をする場合の検出動作について説明する。

図 4 の場合では、下段に示すセンス電圧 V_{se} の形状を特徴づけるリカバリ電流が大きいときに発生する例を示している。図 4 の上段に示すように、リカバリ電流が通常レベルもしくは小さい場合には、前述したように、過渡期から定常期に変わる時点 t_2 でセンス電圧 V_{se} が参照電圧 V_{hy} よりも低下することで通常時を検出していた。

【0045】

これに対して、図 4 の中段に示すように、リカバリ電流が大きいレベルの場合には、過

10

20

30

40

50

渡期のセンス電圧 V_{se} のレベルが前述した電圧 V_1 よりも低くなり、リカバリ電流によるピーク値 V_P から過渡期の電圧に変化する時点 t_{2x} で参照電圧 $V_{hy s}$ よりも低下してしまうことがある。

【 0 0 4 6 】

しかし、この場合には、通常時を判定する検出信号 S_d が時刻 t_{2x} の早い時点で検出されることとなり、遅延時間 t_{d1} が経過した時刻 t_3 での判定に支障をきたすことはない。また、短絡時の波形は前述と同様にセンス電圧 V_{se} が参照電圧 $V_{hy s}$ よりも低下することはないから、短絡の判定においても支障をきたすことはない。

【 0 0 4 7 】

次に、図 5 の場合では、下段に示すセンス電圧 V_{se} の形状を特徴づける過渡期の電圧 V_1 と定常期の電圧 V_2 との差がほとんど無いときに発生する例を示している。図 5 の上段に示すように、過渡期の電圧 V_1 と定常期の電圧 V_2 との差がある程度有る場合には、前述したように、過渡期から定常期に変わる時点 t_2 でセンス電圧 V_{se} が参照電圧 $V_{hy s}$ よりも低下することで通常時を検出していた。

【 0 0 4 8 】

これに対して、図 5 の中段に示すように、過渡期の電圧 V_1 と定常期の電圧 V_2 との差がほぼゼロの場合には、リカバリ電流の大きさによる差分だけがセンス電圧 V_{se} のピーク電圧 V_P からの低下分となる。このため、センス電圧 V_{se} によって通常時の状態を検出可能とするための条件は、リカバリ電流によるピークを過ぎた後のセンス電圧 V_{se} が参照電圧 $V_{hy s}$ よりも低くなるように参照電圧 $V_{hy s}$ を設定することである。

【 0 0 4 9 】

したがって、この場合には、ヒステリシス電圧 V_h の大きさを調整して、リカバリ電流によるピーク値 V_P から過渡期および定常期におけるセンス電圧 V_{se} に変化するとき参照電圧 $V_{hy s}$ を通過するように設定することで検出可能となる。なお、このようにセンス電圧 V_{se} の過渡期の電圧 V_1 と定常期の電圧 V_2 との差が無くなる場合とは、例えば、IGBT の製造上において、センス素子とメイン素子の V_t を調整することで形成されることがある。

【 0 0 5 0 】

このような第 1 実施形態によれば、IGBT 1 の通常時におけるオン駆動時のセンス電圧 V_{se} の変化を検出する波形検出回路 40 を設け、適切なタイミングで判定する判定回路 30 により判定するように構成したので、半導体スイッチング素子である IGBT 1 の小型化が進み短絡飽和電流が低下した場合でも、対向アームの短絡時を確実に判定することができるようになる。

【 0 0 5 1 】

(第 2 実施形態)

図 8 および図 9 は第 2 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置 110 は、判定回路 30 に代えて判定回路 70 を備えている。

【 0 0 5 2 】

判定回路 70 は、遅延回路 71 およびアンド回路 34 を備えている。遅延回路 71 は、制御回路 20 から出力されるオン駆動信号 S_{on} が入力され、ハイレベルのオン駆動信号が入力された時点から所定の遅延時間 T_{d2} が経過するとハイレベルのタイミング信号を出力する。この遅延時間 T_{d2} は、第 1 実施形態における遅延時間 T_{d1} に相当する時間として設定されるもので、判定タイミングを設定するものである。

【 0 0 5 3 】

図 9 は、ゲート駆動装置 110 が外部からオン / オフ指令の信号を受けて IGBT 1 のゲートにゲート駆動信号 S_{on} を与えたときのタイミングチャートを示している。この実施形態では、ゲート駆動信号 S_{on} をトリガとして遅延回路 71 により遅延時間 T_{d2} が経過すると、判定タイミングを与える信号をアンド回路 34 に入力する。

【 0 0 5 4 】

10

20

30

40

50

判定回路 70 においては、遅延回路 71 により設定される遅延時間 T_{d2} が、IGBT 1 が定常期に入った時刻 t_2 よりも後となるように設定されているので、アンド回路 34 にハイレベルのタイミング信号 S_t が入力された時点 t_{3a} で、検出信号 S_d がハイレベルかローレベルかに応じた判定信号 S_x が出力される。したがって、通常時においては、判定信号 S_x はローレベルとなり、この時点で通常時であることが判定され、短絡時では、判定信号 S_x はハイレベルとなり、この時点で短絡時であることが判定される。

したがって、このような第 2 実施形態によっても第 1 実施形態と同様の作用効果を得ることができる。

【0055】

なお、上記実施形態に示した制御回路 20 から出力されるオン駆動信号 S_{on} を用いることに代えて、外部から与えられるオンオフ指令がオン駆動を示すハイレベルの信号を遅延回路 71 に入力する構成とすることもできる。

【0056】

(第 3 実施形態)

図 10 および図 11 は第 3 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置 120 は、判定回路 30 に代えて判定回路 80 を備えている。

【0057】

判定回路 80 は、コンパレータ 81、モニタしきい値電源 82 およびアンド回路 34 を備えている。コンパレータ 81 は、ゲートモニタ回路として機能するもので、IGBT 1 のゲート電圧 V_{ge} が非反転入力端子に入力され、モニタしきい値電源 82 により設定されるモニタしきい値電圧 V_{th2} が反転入力端子に入力される。モニタしきい値電圧 V_{th2} は、IGBT 1 が過渡期から定常期に入ってゲート電圧が電圧 V_{GE} に達したことを検出するように設定される。

【0058】

コンパレータ 81 は、IGBT 1 のゲート電圧 V_{ge} がモニタしきい値電圧 V_{th2} を超えると、ハイレベルのモニタ検出信号 S_m を出力する。モニタ検出信号 S_m はアンド回路 34 に判定タイミング信号として入力される。

【0059】

これにより、判定回路 80 においては、コンパレータ 81 からハイレベルのモニタ検出信号 S_m が入力された時点 t_{3b} で、検出信号 S_d がハイレベルかローレベルかに応じた判定信号 S_x が出力される。したがって、通常時においては、判定信号 S_x はローレベルとなり、この時点で通常時であることが判定され、短絡時においては、判定信号 S_x はハイレベルとなり、この時点で短絡時であることが判定される。

したがって、このような第 3 実施形態によっても第 1 実施形態と同様の作用効果を得ることができる。

【0060】

(第 4 実施形態)

図 12 から図 15 は第 4 実施形態を示すもので、以下、第 3 実施形態と異なる部分について説明する。この実施形態では、第 3 実施形態において、負荷電流が小さい領域で用いるケースにおいてセンス電圧 V_{se} の過渡期の電圧 V_1 と定常期の電圧 V_2 との差が小さく、センス電圧 V_{se} が参照電圧 V_{hy} よりも高くなることがあり、これによって短絡状態と誤判定するのを解消できるようにしたものである。

【0061】

すなわち、第 4 実施形態では、ゲート駆動装置 130 は、図 12 に示すように、判定回路 80 の構成に新たにコンパレータ 91 およびセンスしきい値電源 92 を加えた構成とし、アンド回路 34 に代えて 3 入力のアンド回路 93 とした判定回路 90 を設けている。

【0062】

コンパレータ 91 は、IGBT 1 のセンス電圧 V_{se} が非反転入力端子に入力され、センスしきい値電源 92 により設定されるセンスしきい値電圧 V_{th3} が反転入力端子に入

10

20

30

40

50

力される。センスしきい値電圧 V_{th3} は、 $IGBT1$ の電流が過電流レベルに達していることを検出するように設定される。

【0063】

アンド回路93は、波形検出回路40の検出信号 S_d およびコンパレータ81の出力信号であるモニタ検出信号 S_m に加えて、コンパレータ91の出力信号であるセンスモニタ信号 S_s が入力される。アンド回路93は、3入力がすべてハイレベルになると短絡時を示すハイレベルの判定信号 S_x を出力する。

【0064】

次に、上記構成の作用について説明する。図13は負荷電流大の場合および負荷電流小の場合でのセンス電圧 V_{se} の波形と検出信号 S_d の関係を示している。下段に示すセンス電圧 V_{se} の一般的な波形に対して、上段に示す負荷電流大の場合には、通常時の検出動作では、過渡期から定常期に移行する時点で参照電圧 V_{hy} よりも低下するので通常時であることが検出される。

10

【0065】

一方、中段に示す負荷電流小の場合には、センス電圧 V_{se} は、過渡期の V_1 から定常期の V_2 に変化する際に、電圧 V_1 V_2 の差が小さくなるため、センス電圧 V_{se} が参照電圧 V_{hy} よりも小さくならないことがある。このため、検出信号 S_d はローレベルに変化することなく、これによって短絡時であるとして誤検出されてしまうことがある。

【0066】

本実施形態では、このような誤検出が発生することがないように、コンパレータ91により、センス電圧 V_{se} が短絡時の電流レベルに達しているか否かを判定するセンスしきい値 V_{th3} により判定している。センスしきい値 V_{th3} は、図14に示すように、短絡電流によるセンス電圧 V_{se} のばらつきを考慮して短絡電流が最も小さいレベルでも短絡電流レベルとして判定することができるように設定されている。

20

【0067】

このため、通常時であるが負荷電流大の場合にはこの電圧を超えてしまう場合がある。しかし、この場合には、センス波形の検出結果が通常状態を示すローレベルの検出信号 S_d を出力するので、アンド回路93は、短絡時の判定を示すハイレベルの判定信号 S_x を出力することはない。

【0068】

30

図15は、通常時における負荷電流のレベルを小、中、大とし、短絡時との検出結果の比較を示している。通常時、負荷電流小の場合には波形検出回路40の検出信号 S_d は前述のケースとなって短絡時を示すハイレベルのままとなる。

【0069】

この場合、センス電圧 V_{se} は、過渡期においてセンスしきい値電圧 V_{th3} を超える場合でも、定常期に入ると負荷電流が短絡電流レベルよりも小さいので、ローレベルの検出信号 S_s が出力される。この結果、ゲートモニタ出力 S_m がハイレベルになる判定タイミングでは、判定回路90から通常時であるローレベルの判定信号 S_x が出力される。

【0070】

次に、負荷電流中の場合には、波形検出回路40の検出信号 S_d は過渡期から定常期に移行するタイミングでローレベルとなる。また、センス電圧 V_{se} は、過渡期においてセンスしきい値電圧 V_{th3} を超える場合でも、定常期に入ると負荷電流が短絡電流レベルよりも小さいので、ローレベルの検出信号 S_s が出力される。この結果、ゲートモニタ出力 S_m がハイレベルになる判定タイミングでは、判定回路90から通常時であるローレベルの判定信号 S_x が出力される。

40

【0071】

また、負荷電流大の場合には、波形検出回路40の検出信号 S_d は過渡期から定常期に移行するタイミングでローレベルとなる。しかし、センス電圧 V_{se} は、定常期に入っても負荷電流が大のため短絡電流レベルよりも大きくなる場合があり、これによってハイレベルの検出信号 S_s が出力される。したがって、ゲートモニタ出力 S_m がハイレベルにな

50

る判定タイミングでは、やはり判定回路 90 から通常時であるローレベルの判定信号 S_x が出力される。

【0072】

一方、短絡時の場合には、波形検出回路 40 の検出信号 S_d は定常期に入っても低下しないためハイレベルとなる。また、センス電圧 V_{se} は、短絡電流が流れている状態では定常期に入ってもセンスしきい値電圧 V_{th3} よりも大のためハイレベルの検出信号 S_s が出力される。したがって、この場合には、ゲートモニタ出力 S_m がハイレベルになる判定タイミングで、判定回路 90 から短絡時であるハイレベルの判定信号 S_x が出力される。

【0073】

このような第 4 実施形態によれば、第 3 実施形態の構成にセンスしきい値電圧 V_{th3} によってセンス電圧 V_{se} を判定するコンパレータ 91 を設けたので、負荷電流小のケースでも誤判定を発生させることを回避できるようになる。

【0074】

(第 5 実施形態)

図 16 および図 17 は第 5 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、第 1 実施形態におけるような波形検出の処理をスイッチング毎に実施する場合に、センス電圧 V_{se} の波形が異なる場合に対応してピークホールド電圧 V_{ph} をスイッチング毎にリセットできるようにしたものである。

【0075】

図 16 において、ゲート駆動装置 140 は、波形検出回路 40 に代えて波形検出回路 40a を備えている。波形検出回路 40a は、比較回路 60 および、ピークホールド回路 50 に代わるピークホールド回路 50a を備える。ピークホールド回路 50a は、リセットスイッチ 54 が追加された構成である。リセットスイッチ 54 は、コンデンサ 53 の両端子間を短絡可能に接続されている。また、リセットスイッチ 54 は、制御回路 20 からリセット信号 S_w が与えられるとオンしてコンデンサ 53 の端子間を短絡状態として電荷の放電を実施する。

【0076】

次に、上記構成の作用について説明する。図 17 は各部の信号の変化状態を示している。この実施形態では、制御回路 20 は、リセット信号 S_w により、オンオフ指令によりオン指令の信号が与えられている期間中はリセットスイッチ 54 をリセット解除すなわちオフ状態に保持し、オフ指令が与えられている期間中はリセットスイッチ 54 をリセット状態すなわちオン状態に保持する。

【0077】

これにより、時刻 t_0 のタイミングでオン指令が与えられると、リセットスイッチ 54 は、リセット解除となり、ピークホールド回路 50a では、センス電圧 V_{se} のピークホールドを行い、コンデンサ 53 にピークホールド電圧 V_P が出力される。これにより、前述した波形検出の動作が行われる。

【0078】

この後、時刻 t_1 でオン指令からオフ指令に切り替わると、制御回路 20 は、リセットスイッチ 54 にハイレベルのリセット信号 S_w を出力してリセット動作させ、コンデンサ 53 の電荷を放電させ、ピークホールド電圧 V_{ph} を 0V にする。オフ指令が与えられている期間中は、ピークホールド電圧 V_{ph} が 0V に保持される。

【0079】

時刻 t_2 で再びオン指令が当たられると、時刻 t_3 のオフ指令が与えられるまでの間、制御回路 20 はローレベルのリセット信号 S_w によりリセット状態を解除する。以下、上述と同様にして、制御回路 20 は、リセット信号 S_w により、スイッチング毎にリセット解除を実施してセンス電圧 V_{se} が変動し、例えばピークホールド電圧が V_{P1} から V_P だけ小さくなって V_{P2} に低下する場合でも、これに対応して波形検出回路 40a による検出動作が確実に実施できるようにしている。

【0080】

10

20

30

40

50

このような第5実施形態によれば、ピークホールド回路50aにリセットスイッチ54を設けて、スイッチング毎にピークホールド電圧 V_{ph} をリセットさせるようにしたので、センス電圧 V_{se} のレベルがスイッチング毎に変動した場合でも、波形検出の動作を確実に実施できるようになる。

【0081】

なお、上記実施形態では、リセットスイッチ54のリセット動作は、制御回路20にオフ指令が与えられている期間中行うようにしたが、上記実施形態の場合に加えて、ノイズなどによる悪影響が無い場合には、オフ指令が与えられた直後に短時間だけリセット動作させるようにしても良い。

【0082】

(第6実施形態)

図18および図19は第6実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、図18に示すように、ゲート駆動装置150は、波形検出回路40bにおいて、比較回路60aとして、ヒステリシス電源62に代えてヒステリシス電圧 V_h を変更設定することができる可変ヒステリシス電源63を設ける構成としている。

【0083】

これにより、図19に示しているように、可変ヒステリシス電源63によりヒステリシス電圧 V_h を変更設定することで、ピーク電圧 V_P から減じるヒステリシス電圧 V_h に応じて例えば電圧 V_{py1} あるいは電圧 V_{py2} のように異なるレベルに設定することができる。

【0084】

このようにヒステリシス幅を変更設定することで、システムで発生するノイズなどによる誤動作を回避でき、波形検出の動作において誤検出を無くすることができる。ヒステリシス電圧 V_h の調整は、人為的あるいは制御により行う構成とすることができる。

【0085】

このような第6実施形態によれば、可変ヒステリシス電源63を設けて、ヒステリシス電圧 V_h を調整可能な構成としたことで、システムで発生するノイズなどによる誤動作を回避して波形検出回路40aによる波形検出を確実に実施できるようになる。

【0086】

(第7実施形態)

図20および図21は第7実施形態を示すもので、以下、第4実施形態と異なる部分について説明する。この実施形態では、図20に示すゲート駆動装置160のように、第4実施形態で示した構成の2つの参照電源82、92を、参照電圧を変更設定できる可変参照電源83、93を設ける構成としている。

【0087】

この実施形態では、使用するIGBT1のようなパワー素子によって短絡時の飽和電流が異なることを想定し、システムによって負荷電流が異なることから通常のセンス電圧 V_{se} も異なることに対応するものである。すなわち、このように条件や状況によって異なる場合にも対応できるようにしきい値電圧 V_{th2} や V_{th3} を可変参照電源83、93によって変更設定可能な構成としている。

【0088】

これにより、図21に示すように、モニタしきい値電圧 V_{th3} を設定変更できるので、IGBT1の特性や使用形態に応じて適切なレベルに設定することができ、短絡検出を確実に実施することができるようになる。

【0089】

(第8実施形態)

図22および図23は第8実施形態を示すもので、以下、第4実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置170として、図22に示すように、波形検出回路40の出力段にフィルタ41を設け、判定回路90bのコンパレータ81

10

20

30

40

50

および 91 のそれぞれの出力段にもフィルタ 84 および 95 を設けている。

【0090】

各フィルタ 41、84、95 は、ノイズを除去するためのローパスフィルタの機能を持つもので、センス電圧 V_{se} やゲート電圧 V_{ge} に重畳されるノイズを除去するものである。

【0091】

これにより、例えば図 23 に示すように、波形検出回路 40 において、センス電圧 V_{se} が時刻 t_2 で定常期に移行し通常時であることを示すローレベルの検出信号 S_d が出力された後に、センス電圧 V_{se} にノイズが重畳した場合には、短絡時であると誤検出してしまう恐れがあった。

10

【0092】

これに対して、この実施形態においては、時刻 t_3 でフィルタ前の検出信号 S_d にノイズに起因したハイレベルの信号が出力されていた場合でも、フィルタ 41 を介して出力される検出信号 S_d ではノイズによるハイレベルの信号部分が除去されるので、誤検出することなく検出動作が行われる。

【0093】

(第 9 実施形態)

図 24 は第 9 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、第 1 実施形態においては、通常時か短絡時かの判定をするものとして示しているが、この他に、IGBT 1 の動作としてオン駆動後に過電流が流れる状態があり、判定回路 30 により過電流時を判定するようにしたものである。

20

【0094】

図 24 では、時刻 t_3 以後の通常時を判定した後の、時刻 t_x に IGBT 1 に過電流が流れ、センス電圧 V_{se} が上昇していく状態を示している。この場合においても、判定回路 30 により、センス電圧 V_{se} が参照電圧 V_{hy} を超える時刻 t_4 でハイレベルの判定信号 S_x を出力させる。これにより、IGBT 1 の過電流時であることを判定することができるようになる。

【0095】

(他の実施形態)

なお、本発明は、上述した実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

30

【0096】

上記各実施形態では、パワー素子として IGBT を用いた場合で説明したが、このようにセンス電圧 V_{se} が持ち上がる現象は、線形領域と飽和領域との動作の違いにより発生するものであるので、IGBT 以外に一般的な MOS トランジスタや SiC MOS トランジスタなどのパワー系のゲート駆動型の半導体スイッチング素子のいずれにおいても適用することができる。

上記各実施形態は、第 1 実施形態および第 4 実施形態を基本とし、その応用として示しているが、その他の実施形態において組み合わせた構成とした複合的な構成を採用することもできる。

40

【0097】

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

【符号の説明】

【0098】

図面中、1 は IGBT (ゲート駆動型の半導体スイッチング素子)、10、110、120、130、140、150、160、170 はゲート駆動装置、20 は制御回路、3

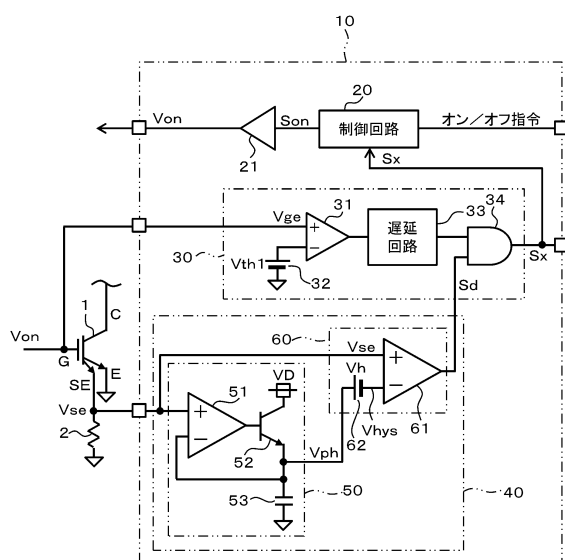
50

０は判定回路、３１はコンパレータ、３３は遅延回路、３４はアンド回路、４０、４０a、４０bは波形検出回路、４１はフィルタ、５０、５０aはピークホールド回路、５１はオペアンプ、５３はコンデンサ、６０、６０aは比較回路、６１はコンパレータ、６２はヒステリシス電源、６３は可変ヒステリシス電源、７０は判定回路、７１は遅延回路、８０は判定回路、８１はコンパレータ（ゲートモニタ回路）、９０は判定回路、９１はコンパレータ、９３はアンド回路である。

【圖面】

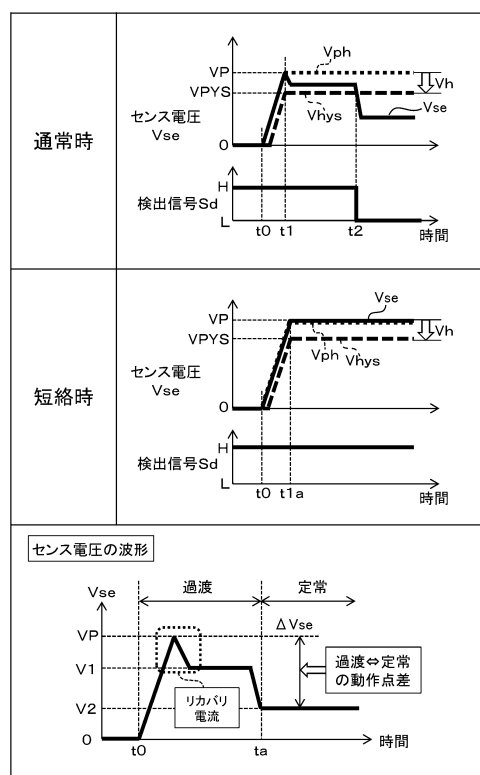
【圖 1】

Fig.1



【圖 2】

Fig.2



10

20

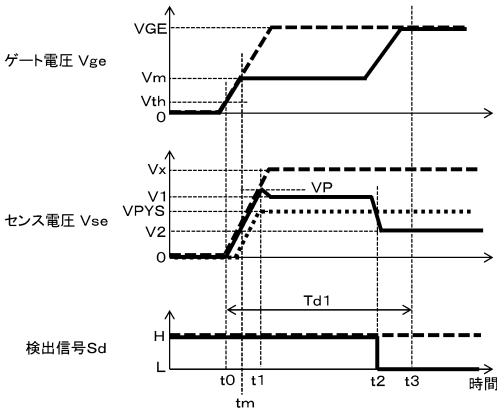
30

40

50

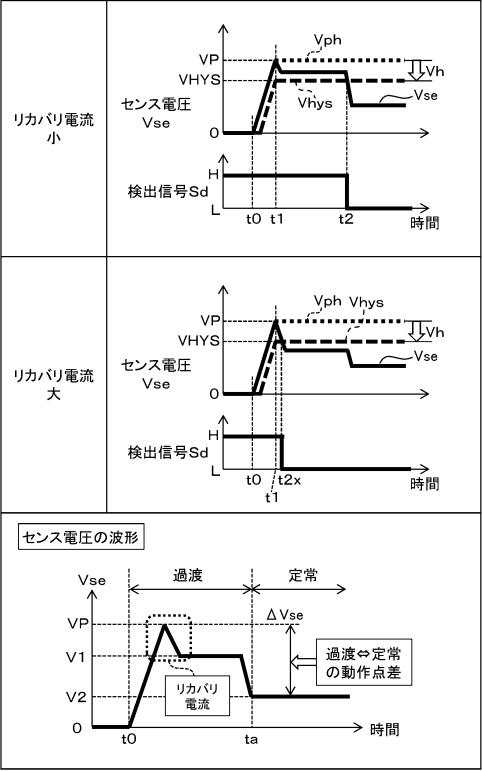
【図 3】

Fig.3



【図 4】

Fig.4

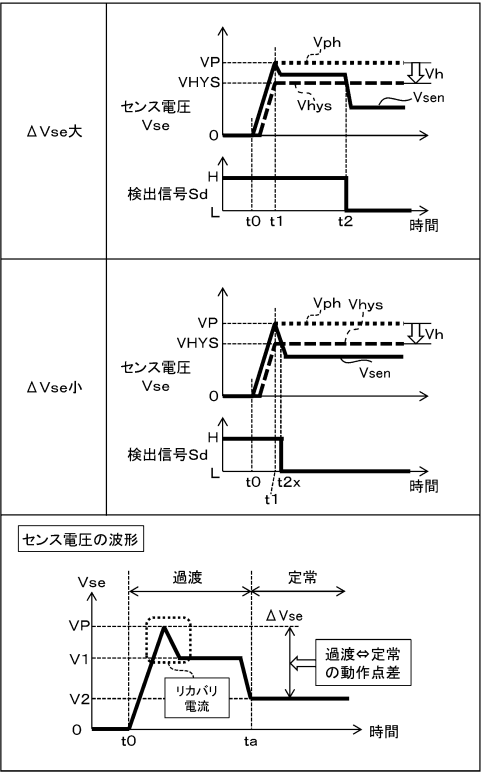


10

20

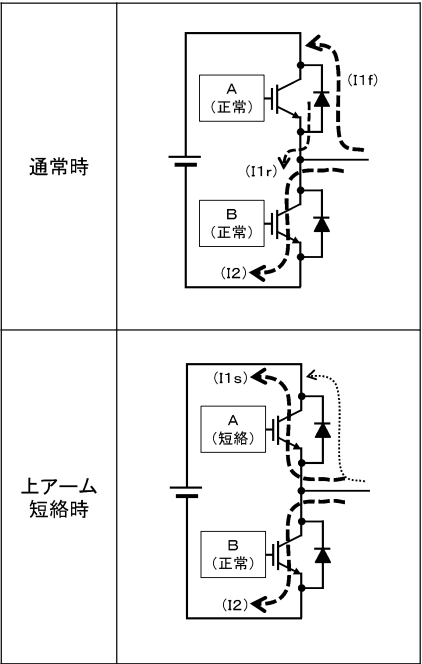
【図 5】

Fig.5



【図 6】

Fig.6



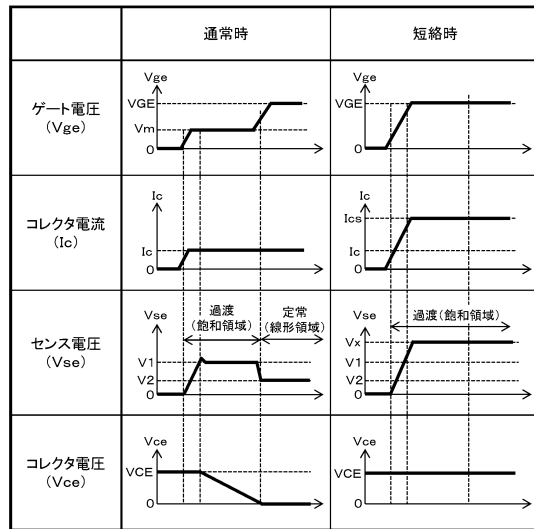
30

40

50

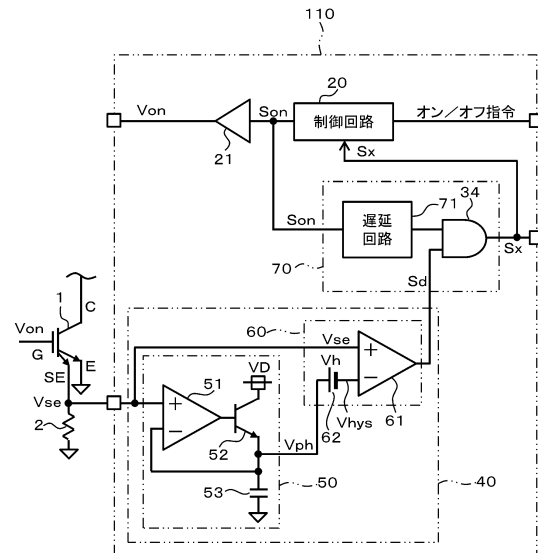
【圖 7】

Fig.7



【 図 8 】

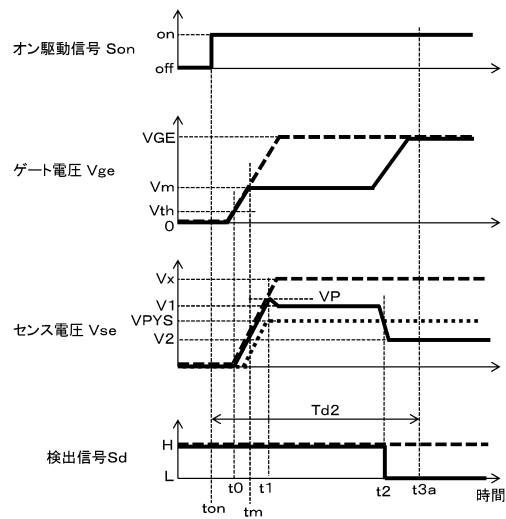
Fig.8



10

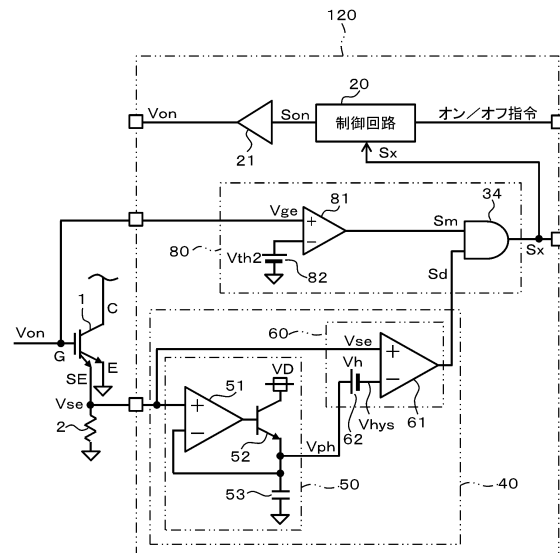
【圖 9】

Fig.9



【 図 1 0 】

Fig.10



20

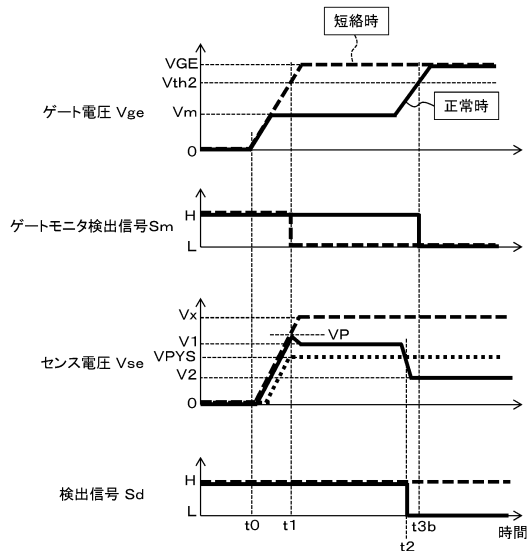
30

40

50

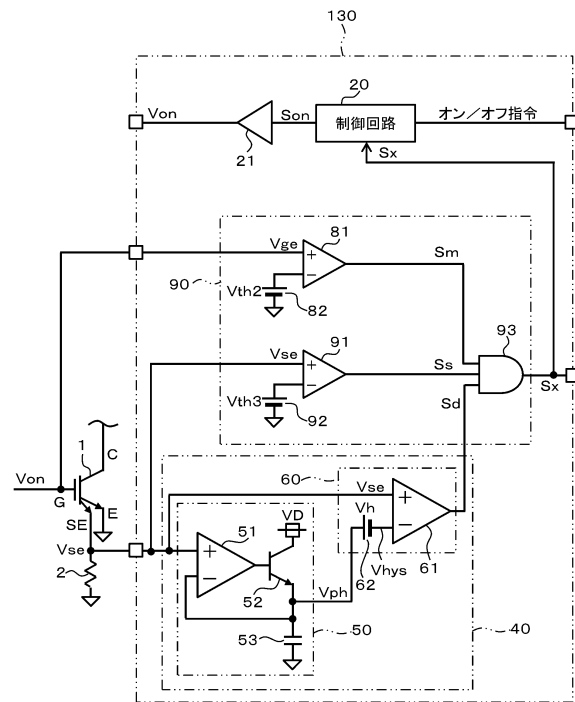
【 図 1 1 】

Fig.11



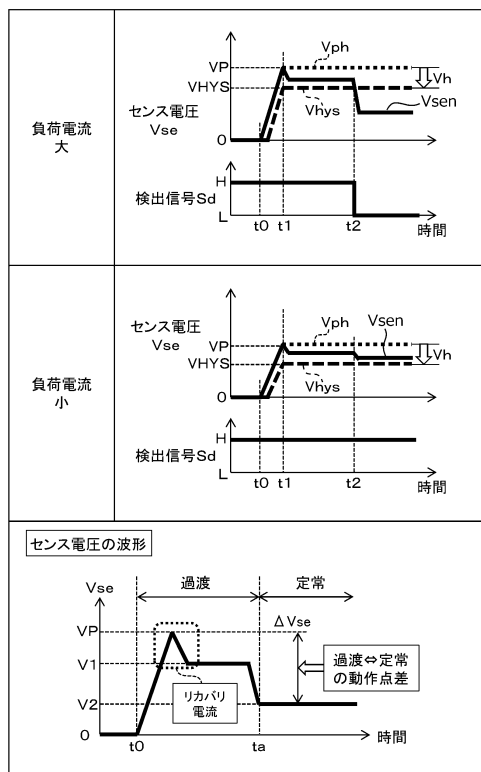
【 図 1 2 】

Fig.12



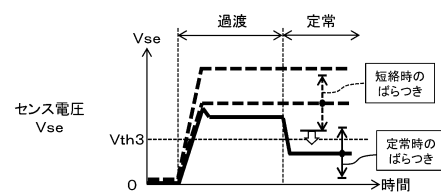
【 図 1 3 】

Fig.13



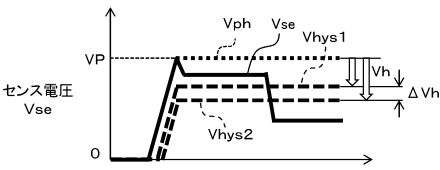
【 図 1 4 】

Fig.14



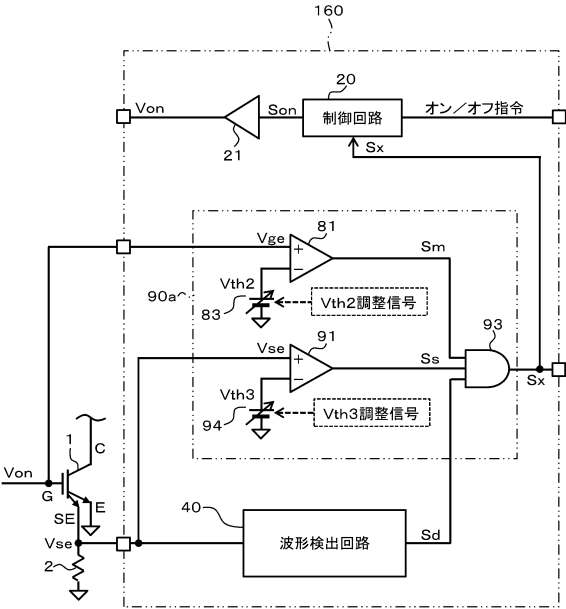
【図 1 9】

Fig.19



【図 2 0】

Fig.20

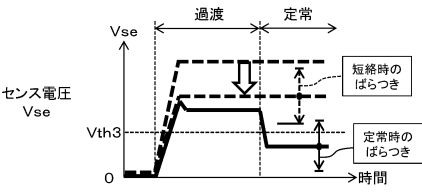


10

20

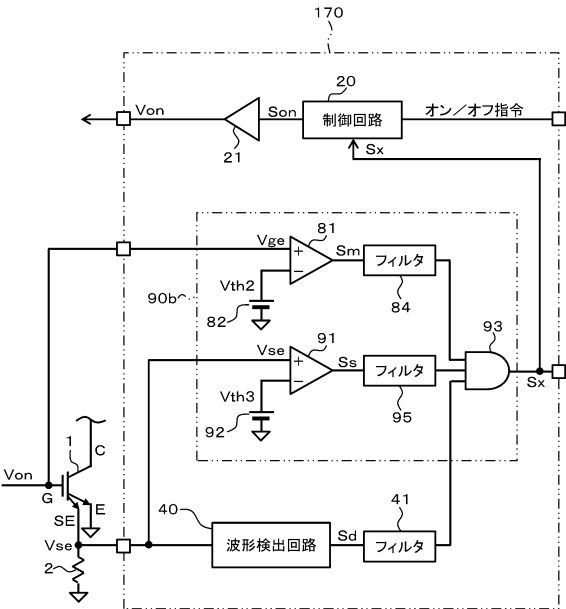
【図 2 1】

Fig.21



【図 2 2】

Fig.22

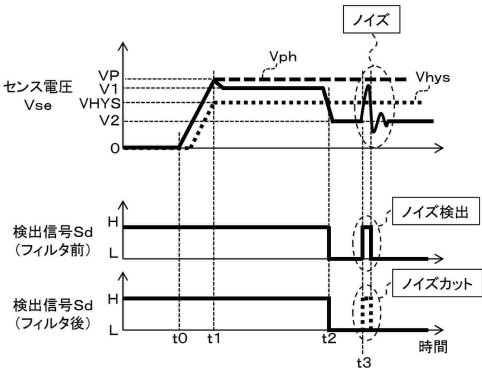


30

40

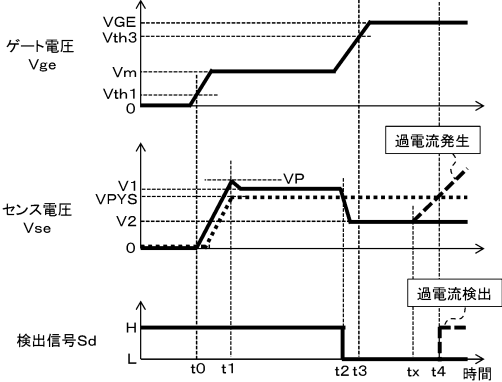
【図 2 3】

Fig.23



【図 2 4】

Fig.24



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 9 - 2 1 3 4 3 0 (J P , A)
特開 2 0 1 7 - 2 1 2 8 7 0 (J P , A)
特開 2 0 1 3 - 0 7 7 9 7 6 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- | | |
|---------|-----------|
| H 0 2 M | 1 / 0 8 |
| H 0 2 M | 1 / 0 0 |
| H 0 3 K | 1 7 / 0 8 |