

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年6月16日(16.06.2016)



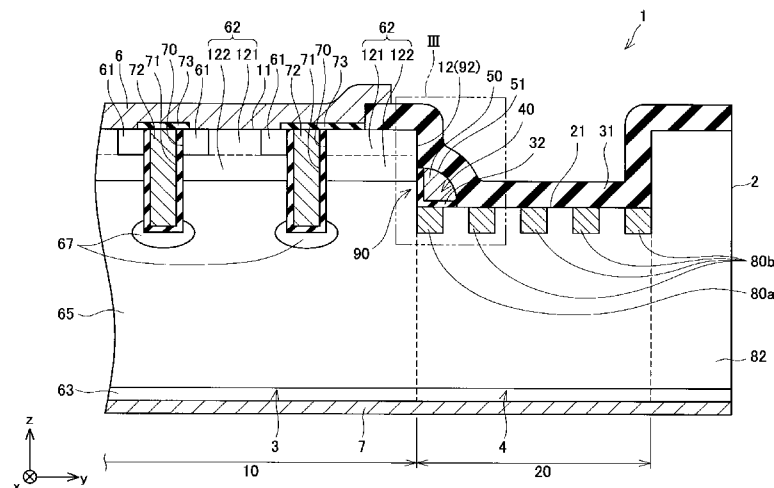
(10) 国際公開番号
WO 2016/092895 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2015/070890
- (22) 国際出願日: 2015年7月22日(22.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-249818 2014年12月10日(10.12.2014) JP
- (71) 出願人: トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者: 斎藤 順(SAITO Jun); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 小野木 淳士(ONOGI Atsushi); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 青井 佐智子(AOI Sachiko); 〒4801192 愛知県長久手市横道4-1番地の1 株式会社豊田中央研究所内 Aichi (JP). 宮原 真一郎(MIYAHARA Shinichiro); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町6番1号 名古屋ルーセントタワー9階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device 1 is provided with a semiconductor substrate 2 having a semiconductor element formed thereon and a coating/insulating film 31 formed on the semiconductor substrate 2. The semiconductor substrate 2 is provided with a first part 10 and a second part 20 having a thinner thickness than the first part 10. A stepped section 90 is formed in a part at which the first part 10 and the second part 20 are adjacent to each other. A corner member 50 is formed on a corner section 40 between a side surface of the stepped section 90 and the upper surface of the second part 20. The upper surface 51 of the corner member 50 descends from the side surface 92 of the stepped section 90 toward the second part 20 side. The coating/insulating film 31 extends from the first part 10 across the second part 20 and covers the corner member 50.

(57) 要約:

[続葉有]

WO 2016/092895 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

半導体装置 1 は、半導体素子が形成された半導体基板 2 と、半導体基板 2 の上に形成された被覆絶縁膜 3 1 とを備えている。半導体基板 2 は、第 1 部分 1 0 と、第 1 部分 1 0 より厚みが薄い第 2 部分 2 0 とを備えている。第 1 部分 1 0 と第 2 部分 2 0 が隣り合う部分に段差部 9 0 が形成されている。段差部 9 0 の側面と第 2 部分 2 0 の上面の間の角部 4 0 に角部材 5 0 が形成されている。角部材 5 0 の上面 5 1 は、段差部 9 0 の側面 9 2 より第 2 部分 2 0 側に向かうにしたがって下方に下がってゆく。被覆絶縁膜 3 1 が、第 1 部分 1 0 から第 2 部分 2 0 に亘って延びており、角部材 5 0 を覆っている。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本明細書に開示する技術は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 特許文献 1（特開 2012-009502 号公報）に、半導体装置が開示されている。特許文献 1 の半導体装置は、半導体基板と、半導体基板の上に形成された被覆絶縁膜を備えている。半導体基板は、第 1 部分と、第 1 部分より厚みが薄い第 2 部分を備えており、第 1 部分と第 2 部分は隣り合っている。被覆絶縁膜は、第 1 部分から第 2 部分にわたって延びている。

発明の概要

発明が解決しようとする課題

[0003] 特許文献 1 の半導体装置では、被覆絶縁膜にボイドが発生することがあった。例えば、半導体装置に電流が流れたときに半導体基板が発熱し、半導体基板の上の被覆絶縁膜の温度が高くなり、被覆絶縁膜が高温になることによりボイドが発生することがあった。また、半導体装置の作動中だけでなく、半導体基板の上に被覆絶縁膜を形成するときに、被覆絶縁膜の内部に応力が生じてひび割れが発生することがあった。特に、厚みが異なる第 1 部分と第 2 部分が隣り合う部分では、周囲の部分に比べて、半導体基板の上の被覆絶縁膜にボイドやひび割れが発生しやすくなっていた。そのため、ボイドやひび割れにより被覆絶縁膜の耐圧が低下するという問題があった。そこで本明細書は、被覆絶縁膜の耐圧低下を抑制できる技術を提供する。

課題を解決するための手段

[0004] 本明細書に開示する半導体装置は、半導体素子が形成された半導体基板と、半導体基板の上に形成された被覆絶縁膜とを備えている。半導体基板は、第 1 部分と、第 1 部分より厚みが薄い第 2 部分とを備えている。第 1 部分と

第２部分が隣り合う部分に段差部が形成されている。段差部の側面と第２部分の上面の間の角部に角部材が形成されている。角部材の上面は、段差部の側面より第２部分側に向かうにしたがって下方に下がってゆく。被覆絶縁膜は、第１部分から第２部分にわたって延びており、角部材を覆っている。

[0005] この半導体装置では、角部材の存在により、角部材を覆う被覆絶縁膜の曲がりが緩やかになっている。このような構成によれば、半導体基板が発熱することで被覆絶縁膜の温度が高くなっても、角部における被覆絶縁膜にボイドが発生することを抑制できる。また、被覆絶縁膜の曲りが緩やかなので、角部における被覆絶縁膜の内部に発生する応力を低減することができ、被覆絶縁膜にひび割れが発生することを抑制できる。よって、被覆絶縁膜にボイドやひび割れが発生することを抑制でき、被覆絶縁膜の耐圧低下を抑制できる。

[0006] 本明細書に開示する半導体装置の製造方法は、第１部分と、第１部分より厚みが薄い第２部分とを備え、第１部分と第２部分が隣り合う部分に段差部が形成されている半導体基板の段差部の側面と第２部分の上面の間の角部に角部材を形成する工程であって、角部材の上面が段差部の側面より第２部分側に向かうにしたがって下方に下がってゆくように角部材を形成する工程を備えている。半導体基板の上に第１部分から第２部分にわたって延びる被覆絶縁膜を形成し、被覆絶縁膜により角部材を覆う工程を備えている。

図面の簡単な説明

[0007] [図1]半導体装置の上面図である。

[図2]図１のII－II断面図である。

[図3]図２の要部IIIの拡大図である。

[図4]半導体装置の製造方法を説明する図である（１）。

[図5]半導体装置の製造方法を説明する図である（２）。

[図6]半導体装置の製造方法を説明する図である（３）。

[図7]半導体装置の製造方法を説明する図である（４）。

[図8]半導体装置の製造方法を説明する図である（５）。

[図9]半導体装置の製造方法を説明する図である（６）。

[図10]半導体装置の製造方法を説明する図である（７）。

[図11]半導体装置の製造方法を説明する図である（７）。

[図12]他の実施例に係る半導体装置の要部の拡大図である。

[図13]他の実施例に係る半導体装置の製造方法を説明する図である。

[図14]更に他の実施例に係る半導体装置の要部の拡大図である。

[図15]更に他の実施例に係る半導体装置の要部の拡大図である。

[図16]更に他の実施例に係る半導体装置の要部の拡大図である。

発明を実施するための形態

[0008] （第１実施例）

以下、実施例について添付図面を参照して説明する。図１に示すように、第１実施例に係る半導体装置１は、矩形状の半導体基板２を備えている。半導体基板２は、炭化ケイ素（SiC）により形成されている。他の例では、半導体基板２は、シリコン（Si）や窒化ガリウム（GaN）等により形成されていてもよい。半導体基板２の内部には、半導体素子が形成されている。

[0009] 半導体基板２には、素子領域３および周辺領域４が形成されている。素子領域３は、周辺領域４より内側に形成されている。素子領域３には、半導体素子が形成されている。本実施例では、素子領域３に縦型のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）が形成されている。周辺領域４は、素子領域３より外側に形成されている。周辺領域４には、耐圧構造が形成されている。図１では、図の見易さを考慮して、素子領域３内にトレンチ７０のみを示し、周辺領域４内にフィールドリミティングリング８０のみを示している。

[0010] 図２に示すように、半導体装置１は、半導体基板２、表面電極６および裏面電極７を備えている。また、半導体装置１は、分離絶縁膜３２、角部材５０および被覆絶縁膜３１を備えている。

[0011] 半導体基板２は、第１部分１０および第２部分２０を備えている。第１部

分 1 0 に素子領域 3 が形成されている。第 2 部分 2 0 に周辺領域 4 が形成されている。第 1 部分 1 0 の厚みは、第 2 部分 2 0 の厚みより厚い（第 2 部分 2 0 の厚みは、第 1 部分 1 0 の厚みより薄い。）。第 1 部分 1 0 と第 2 部分 2 0 は、隣り合って形成されている。第 1 部分 1 0 と第 2 部分 2 0 が隣り合う部分に段差部 9 0 が形成されている。

[0012] 段差部 9 0 は、第 1 部分 1 0 と第 2 部分 2 0 の厚みの違いにより形成されている。第 1 部分 1 0 の上面 1 1 の位置が第 2 部分 2 0 の上面 2 1 の位置より上にあり、両者の上面の位置の違いにより段差部 9 0 が形成されている。段差部 9 0 は、第 1 部分 1 0 の上面 1 1 の一部、第 1 部分 1 0 の側面 1 2、および、第 2 部分 2 0 の上面 2 1 の一部を含んでいる。以下では、第 1 部分 1 0 の側面 1 2 を、段差部 9 0 の側面 9 2 という場合がある。段差部 9 0 の側面 9 2 と第 2 部分 2 0 の上面 2 1 の間には、角部 4 0 が形成されている。

[0013] 半導体基板 2 の第 1 部分 1 0 には複数のトレンチ 7 0 が形成されている。また、第 1 部分 1 0 には、ソース領域 6 1、ベース領域 6 2、ドリフト領域 6 5、ドレイン領域 6 3、および、フローティング領域 6 7 が形成されている。

[0014] トレンチ 7 0 は、第 1 部分 1 0 の上面 1 1 に形成された凹部である。トレンチ 7 0 は、半導体基板 2 の深さ方向（z 方向）に延びている。トレンチ 7 0 は、第 1 部分 1 0 の上面 1 1 からソース領域 6 1 およびベース領域 6 2 を貫通してドリフト領域 6 5 に達する深さまで延びている。

[0015] トレンチ 7 0 の内面にはゲート絶縁膜 7 1 が形成されている。トレンチ 7 0 の内部にはゲート電極 7 2 が配置されている。ゲート絶縁膜 7 1 は、トレンチ 7 0 の内面に酸化膜が堆積することにより形成されている。ゲート絶縁膜 7 1 としては、例えばシリコン酸化膜（ SiO_2 ）を用いることができる。ゲート電極 7 2 は、ゲート絶縁膜 7 1 より内側に充填されている。ゲート電極 7 2 は、ゲート絶縁膜 7 1 により、半導体基板 2 から絶縁されている。ゲート電極 7 2 は、例えばアルミニウムやポリシリコンから形成されている。ゲート電極 7 2 の上には層間絶縁膜 7 3 が配置されている。

- [0016] ソース領域 6 1 は、 n 型の領域である。ソース領域 6 1 は、不純物濃度が高い。ソース領域 6 1 は、半導体基板 2 の表層部に形成されている。ソース領域 6 1 は、第 1 部分 1 0 の上面 1 1 に露出する範囲に島状に形成されている。ソース領域 6 1 は、ゲート絶縁膜 7 1 に接している。ソース領域 6 1 は、表面電極 6 に接している。ソース領域 6 1 は、表面電極 6 に対してオーミック接続され、表面電極 6 に導通している。
- [0017] ベース領域 6 2 は、 p 型の領域である。ベース領域 6 2 は、ソース領域 6 1 の周囲に形成されている。ベース領域 6 2 は、ソース領域 6 1 の横および下に形成されている。ベース領域 6 2 は、ゲート絶縁膜 7 1 に接している。また、ベース領域 6 2 は、段差部 9 0 の側面 9 2 に露出する範囲に形成されている。ベース領域 6 2 は、ベースコンタクト領域 1 2 1 および低濃度ベース領域 1 2 2 を備えている。ベースコンタクト領域 1 2 1 は、不純物濃度が高い。低濃度ベース領域 1 2 2 の不純物濃度は、ベースコンタクト領域 1 2 1 の不純物濃度より低い。
- [0018] ベースコンタクト領域 1 2 1 は、半導体基板 2 の表層部に形成されている。ベースコンタクト領域 1 2 1 は、第 1 部分 1 0 の上面 1 1 に露出する範囲に島状に形成されている。ベースコンタクト領域 1 2 1 は、表面電極 6 に接している。ベースコンタクト領域 1 2 1 は、表面電極 6 に対してオーミック接続され、表面電極 6 に導通している。
- [0019] 低濃度ベース領域 1 2 2 は、ソース領域 6 1 およびベースコンタクト領域 1 2 1 の下に形成されている。低濃度ベース領域 1 2 2 によってソース領域 6 1 がドリフト領域 6 5 から分離されている。
- [0020] ドリフト領域 6 5 は、 n 型の領域である。ドリフト領域 6 5 は、不純物濃度が低い。ドリフト領域 6 5 は、ベース領域 6 2 の下に形成されている。ドリフト領域 6 5 は、ゲート絶縁膜 7 1 に接している。
- [0021] ドレイン領域 6 3 は、 n 型の領域である。ドレイン領域 6 3 は、不純物濃度が高い。ドレイン領域 6 3 は、ドリフト領域 6 5 の下に形成されている。ドレイン領域 6 3 は、半導体基板 2 の裏面に露出する範囲に形成されている。

。ドレイン領域63は、裏面電極7に接している。ドレイン領域63は、裏面電極7に対してオーミック接続され、裏面電極7に導通している。

[0022] フローティング領域67は、p型の領域である。フローティング領域67は、トレンチ70の底部の周囲に形成されている。フローティング領域67は、トレンチ70の底部に接している。フローティング領域67の周囲には、ドリフト領域65が形成されている。フローティング領域67は、ドリフト領域65に囲まれている。フローティング領域67は、ドリフト領域65によってベース領域62から分離されている。複数のフローティング領域67は、ドリフト領域65によって互いに分離されている。

[0023] 半導体基板2の第2部分20には、複数のフィールドリミテイングリング80、および、周辺ドリフト領域82が形成されている。

[0024] 複数のフィールドリミテイングリング80（以下、「フィールドリミテイングリング」を「FLR」（Field Limiting Ring）と称する。）は、間隔をあけて形成されている。FLR80は、p型の領域である。FLR80は、不純物濃度が高い。FLR80は、第2部分20の上面21に露出する範囲に形成されている。

[0025] 複数のFLR80のうち、第1部分10に最も近いFLR80を符号「80a」で示し、それ以外のFLR80を符号「80b」で示す。第1部分10に最も近いFLR80aは、角部40の下に形成されている。FLR80aとベース領域62の間にはドリフト領域65が形成されている。FLR80aは、ドリフト領域65によりベース領域62から分離されている。

[0026] 周辺ドリフト領域82は、FLR80の周囲に形成されている。周辺ドリフト領域82は、複数のFLR80の間とその下方に形成されており、複数のFLR80を分離している。

[0027] 表面電極6は、半導体基板2の第1部分10の上面11に形成されている。表面電極6は、層間絶縁膜73によりゲート電極72から絶縁されている。裏面電極7は、半導体基板2の第1部分10および第2部分20の裏面に形成されている。表面電極6および裏面電極7は、例えばアルミニウム（A

l) や銅 (Cu) 等の金属から形成されている。

[0028] 分離絶縁膜 32 は、角部 40 において、段差部 90 の側面 92 と第 2 部分 20 の上面 21 を覆っている。分離絶縁膜 32 は、角部材 50 と半導体基板 2 の間に形成されており、角部材 50 を半導体基板 2 から分離している。分離絶縁膜 32 としては、シリコン酸化膜 (SiO₂) を用いることができる。分離絶縁膜 32 は、ゲート絶縁膜 71 と同じ材料により形成されている。分離絶縁膜 32 は、酸化膜を堆積させることにより形成できる。

[0029] 角部材 50 は、分離絶縁膜 32 の上に形成されている。角部材 50 は、角部 40 に配置されている。角部材 50 は、導電性を有している。角部材 50 の材料としては、例えばポリシリコンを用いることができる。角部材 50 は、ゲート電極 72 と同じ材料により形成されている。他の例では、角部材 50 は金属により形成されていてもよい。

[0030] 角部材 50 は、上面 51 を備えている。本実施例では、角部材 50 の上面 51 は凸状の湾曲面として形成されている。角部材 50 の上面 51 は、段差部 90 側から第 2 部分 20 側に向かって下方に傾斜している。よって、角部材 50 の上面 51 は、段差部 90 の側面 92 より第 2 部分 20 側に向かうにしたがって連続的に下方に下がってゆく。角部材 50 の高さは、第 1 部分 10 の上面 11 と第 2 部分 20 の上面 21 の高さの差 (段差) より低い。角部材 50 の上面 51 は、第 1 部分 10 の上面 11 よりも下方に位置している。湾曲した上面 51 は、被覆絶縁膜 31 に覆われている。

[0031] 角部材 50 は、分離絶縁膜 32 を介して段差部 90 の側面 92 に対向している。すなわち、角部材 50 は、分離絶縁膜 32 を介してベース領域 62 に対向している。また、角部材 50 は、分離絶縁膜 32 を介して第 2 部分 20 の上面 21 に対向している。角部材 50 は、分離絶縁膜 32 を介して第 1 部分 10 に最も近い FLR80a に対向している。

[0032] 被覆絶縁膜 31 は、第 2 部分 20 の上面 21 を覆っている。また、被覆絶縁膜 31 の一部は、近傍の第 1 部分 10 の上面 11 を覆っている。すなわち、被覆絶縁膜 31 は、半導体基板 2 の第 1 部分 10 から第 2 部分 20 に亘っ

て延びている。被覆絶縁膜 31 は、段差部 90 の側面 92 を覆っている。また、被覆絶縁膜 31 は、角部材 50 の湾曲した上面 51 を覆っている。被覆絶縁膜 31 と分離絶縁膜 32 により角部材 50 の全体が覆われている。被覆絶縁膜 31 の厚みは、分離絶縁膜 32 の厚みより厚い。被覆絶縁膜 31 としては、シリコン酸化膜 (SiO_2) を用いることができる。被覆絶縁膜 31 は、酸化膜を堆積させることにより形成できる。

[0033] 上記の構成を備える半導体装置 1 を使用するときは、表面電極 6 と裏面電極 7 の間に裏面電極 7 がプラスとなる電圧を印加する。また、ゲート電極 72 にオン電位（チャネルが形成されるのに必要な電位以上の電位）を印加する。ゲート電極 72 にオン電位を印加すると、ゲート絶縁膜 71 に接する範囲の低濃度ベース領域 122 にチャネルが形成される。これにより、MOSFET がオンになる。そうすると、電子が、表面電極 6 から、ソース領域 61、低濃度ベース領域 122 に形成されたチャネル、ドリフト領域 65、及び、ドレイン領域 63 を介して、裏面電極 7 に流れる。また、ホールが、裏面電極 7 から、ドレイン領域 63、ドリフト領域 65、低濃度ベース領域 122、及び、ベースコンタクト領域 121 を介して、表面電極 6 に流れる。よって、裏面電極 7 から表面電極 6 に電流が流れる。

[0034] 半導体装置 1 に電流が流れると、半導体基板 2 が発熱し、半導体基板 2 の上に形成された分離絶縁膜 32 および被覆絶縁膜 31 が高温になる。上記の半導体装置 1 によれば、半導体基板 2 の段差部 90 の側面 92 と第 2 部分 20 の上面 21 の間に角部 40 が形成されており、角部 40 に配置された角部材 50 を被覆絶縁膜 31 が覆っている。これにより、被覆絶縁膜 31 が角部 40 に直接接触する場合に比べて、被覆絶縁膜 31 の曲りが緩やかになっている。特に、半導体装置 1 では、角部材 50 が凸状に湾曲した上面 51 を有しているので、角部材 50 を覆う被覆絶縁膜 31 の曲がりの方がより緩やかである。このように被覆絶縁膜 31 の曲りが緩やかだと、角部 40 近傍の被覆絶縁膜 31 が高温になっても、その被覆絶縁膜中に気泡が成長しにくい。したがって、角部 40 において被覆絶縁膜 31 にボイドが発生することを抑制で

きる。また、角部40における被覆絶縁膜31の曲がりが緩やかなので、半導体基板2の発熱時に被覆絶縁膜31の内部に発生する応力が緩和される。これにより、被覆絶縁膜31にひび割れが発生することを抑制できる。よって、被覆絶縁膜31の耐圧低下を抑制できる。なお、分離絶縁膜32は急峻に屈曲しているが、その厚みが薄いことから過大応力が発生することがない。

[0035] また、上記の半導体装置1では、導電性の角部材50が分離絶縁膜32を介してベース領域62およびFLR80にそれぞれ対向している。MOSFETをオフさせると、角部材50がベース領域62とFLR80の中間の電位になり、角部40における電界が緩和される。その結果、角部40における分離絶縁膜32の耐圧を高めることができる。また、上記の半導体装置1では、角部材50とゲート電極72が同じ材料により形成されている。このため、後に詳述するように、角部材50とゲート電極72を併せて形成できる。

[0036] 次に、上記の構成を備える半導体装置1の製造方法について説明する。半導体装置1は、ドリフト領域65及び周辺ドリフト領域82と略同じn型不純物を有するn型の半導体基板2から製造される。まず、図4に示すように半導体基板2を加工する。すなわち、半導体基板2が厚い第1部分10と薄い第2部分20を有するように加工する。また、半導体基板2に、トレンチ70、ソース領域61、ベース領域62、フローティング領域67、FLR80を形成する。これらの加工は、公知の技術を用いることができるので、詳細な説明を省略する。

[0037] 次に、図5に示すように、半導体基板2の上面に分離絶縁膜材料301を堆積させる工程を行う。半導体基板2は、上記のように、第1部分10と、第1部分10より厚みが薄い第2部分20とを備え、第1部分10と第2部分20が隣り合う部分に段差部90が形成されている。分離絶縁膜材料301は、半導体基板2の第1部分10の上面11および第2部分20の上面21に堆積する。また、分離絶縁膜材料301は、段差部90の側面92にも

堆積する。また、分離絶縁膜材料301は、段差部90の側面92と第2部分20の上面21の間の角部40にも堆積する。また、分離絶縁膜材料301は、トレンチ70の内面にも堆積する。分離絶縁膜材料301としては、例えばSiO₂を用いることができる。

[0038] 次に、図6に示すように、半導体基板2の上面に堆積した分離絶縁膜材料301をエッチングする工程を行う。分離絶縁膜材料301をエッチングするときは、半導体基板2の上面に分離絶縁膜材料301の一部が残存するようにエッチングする。また、トレンチ70の内面に分離絶縁膜材料301の一部が残存するようにエッチングする。トレンチ70の内面に残存した分離絶縁膜材料301によりゲート絶縁膜71が形成される。

[0039] 次に、図7に示すように、分離絶縁膜材料301の上面に角部材材料302を堆積させる工程を行う。角部材材料302は、半導体基板2の第1部分10および第2部分20において、分離絶縁膜材料301の上に堆積する。角部材材料302は、段差部90の側面92と第2部分20の上面21の間の角部40にも堆積する。また、角部材材料302は、トレンチ70の内部にも堆積する。角部材材料302は、ゲート絶縁膜71の表面に堆積する。このようにして、半導体基板2の上に角部材材料302を堆積させる。角部材材料302としては、ポリシリコンを用いることができる。

[0040] 次に、図8に示すように、角部材材料302をエッチングする工程を行う。角部材材料302をエッチングするときは、角部40に角部材材料302の一部が残存するようにエッチングする。また、トレンチ70の内部に角部材材料302の一部が残存するようにエッチングする。角部40に角部材材料302が残存することにより、角部40に角部材50が形成される。また、トレンチ70の内部に角部材材料302が残存することにより、トレンチ70の内部にゲート電極72が形成される。このようにして、角部材50およびゲート電極72を形成する。角部材50は、その上面51が段差部90の側面92より第2部分20側に向かうにしたがって下方に下がりゆくように形成される。また、角部材50と半導体基板2の間の分離絶縁膜材料3

01が、分離絶縁膜32となる。

[0041] 次に、図9に示すように、分離絶縁膜材料301および角部材50の上に被覆絶縁膜材料303を堆積させる工程を行う。被覆絶縁膜材料303は、角部材50を覆う。被覆絶縁膜材料303としては、例えばSiO₂を用いることができる。被覆絶縁膜材料303と分離絶縁膜材料301が接触している箇所では、これらの2つの絶縁膜材料が一体化する。このように一体化した絶縁膜材料によって、被覆絶縁膜31が形成される。被覆絶縁膜31は、第1部分10から第2部分20にわたって延び、角部材50を覆う。

[0042] 次に、図10に示すように、被覆絶縁膜31の不要な部分をエッチングする工程を行う。エッチングにより、ゲート電極72の上に形成された被覆絶縁膜31が除去され、ゲート電極72の上面が露出する。また、第1部分10の一部の上に形成された被覆絶縁膜31および分離絶縁膜32が除去され、第1部分10の上面の一部が露出する。

[0043] 次に、図11に示すように、露出したゲート電極72の上に層間絶縁膜73を形成する。また、露出した第1部分10の上面に表面電極6を形成する。次に、半導体基板2の裏面側にドレイン領域63を形成する。また、半導体基板2の裏面に裏面電極7を形成する。このようにして、図1に示す半導体装置1が製造される。

[0044] 上記の製造方法によれば、角部40に角部材50が形成されるので、被覆絶縁膜31を形成するときに、被覆絶縁膜31が角部材50を覆い、角部40における被覆絶縁膜31の曲がりが緩やかになる。これにより、被覆絶縁膜31の内部に発生する応力を低減することができ、被覆絶縁膜31にひび割れが発生することを抑制できる。また、分離絶縁膜32を形成する工程を利用して、ゲート絶縁膜71を形成することができる。また、角部材50を形成する工程を利用して、ゲート電極72を形成することができる。

[0045] (対応関係)

上記の実施例では、ベース領域62が、「第1領域」の一例であり、第1部分10に最も近いフィールドリミティングリング80aが、「第2領域」

の一例であり、ドリフト領域 65 が、「第 3 領域」の一例である。

[0046] 以上、一実施例について説明したが、具体的な態様は上記実施例に限定されるものではない。以下の説明において、上述の説明における構成と同様の構成については、同一の符号を付して説明を省略する。

[0047] (第 2 実施例)

第 2 実施例では、図 12 に示すように、角部 40 に近接する範囲 A における分離絶縁膜 32 の厚みが、角部 40 から離反した範囲 B における分離絶縁膜 32 の厚みより厚い。この場合、角部材 50 は、角部 40 側に、凹状の湾曲面 54 を備えている。湾曲面 54 は、角部 40 における分離絶縁膜 32 を覆っている。この半導体装置 1 を製造するときは、図 13 に示すように、分離絶縁膜材料 301 をエッチングするときに、角部 40 に近接する範囲 A に残存する分離絶縁膜材料 301 が角部 40 から離反した範囲 B に残存する分離絶縁膜材料 301 より多くなるようにエッチングする。例えば、エッチングレートを調整することにより、分離絶縁膜材料 301 が角部 40 に多く残存する結果を得ることができる。通常のエッチング手法によると、分離絶縁膜材料 301 をエッチングしたときに、自然に角部 40 に近接する範囲 A に分離絶縁膜材料 301 が多く残存する結果となる。

[0048] 第 2 実施例に係る半導体装置 1 によれば、角部 40 における分離絶縁膜 32 の厚みが厚いので、角部 40 における分離絶縁膜 32 の耐圧を高めることができる。

[0049] (第 3 実施例)

第 3 実施例では、図 14 に示すように、角部材 50 の上面 51 が、階段状に形成されている。角部材 50 の上面 51 には、複数の段差がある。これにより、角部材 50 の上面 51 は、段差部 90 の側面 92 より第 2 部分 20 側に向かうにしたがって段階的に下方に下がってゆく。

[0050] (第 4 実施例)

第 4 実施例では、図 15 に示すように、角部材 50 の上面 51 が、斜面として形成されている。これにより、角部材 50 の上面 51 は、段差部 90 の

側面 9 2 より第 2 部分 2 0 側に向かうにしたがって連続的に下方に下がってゆく。

[0051] (第 5 実施例)

第 5 実施例では、図 1 6 に示すように、角部材 5 0 が延在部 5 5 を備えていてもよい。延在部 5 5 は、段差部 9 0 の側面 9 2 および上面 1 1 に沿って延びている。延在部 5 5 を備えることにより、角部材 5 0 の上面 5 1 の一部が、第 1 部分 1 0 の上面 1 1 よりも上方に位置している。したがって、角部材 5 0 の上面 5 1 には、段差部 9 0 の側面 9 2 より第 2 部分 2 0 側に向かうにしたがって段階的に下方に下がってゆく部分と、連続的に下方に下がってゆく部分がある。延在部 5 5 は、被覆絶縁膜 3 1 に覆われている。延在部 5 5 は、分離絶縁膜 3 2 を介して、第 1 部分 1 0 に形成されたベース領域 6 2 に対向している。延在部 5 5 は、は表面電極 6 に接続されていてもよい(図示省略)。

[0052] また、上記の実施例では、周辺領域 4 に形成された耐圧構造は、複数の F L R 8 0 が形成された F L R 構造であったが、この構成に限定されるものではない。他の実施例では、耐圧構造が R E S U R F 構造であってもよい。

[0053] また、上記の実施例では、角部材 5 0 が導電性を有していたが、この構成に限定されるものではない。他の実施例では、角部材 5 0 が絶縁性の材料から形成されていてもよい。

[0054] また、上記の実施例では、半導体素子の一例として M O S F E T について説明したが、この構成に限定されるものではない。他の実施形態では、半導体素子が I G B T (Insulated Gate Bipolar Transistor) であってもよい。

[0055] 以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達

成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

[0056] 以下に本明細書が開示する技術要素の一例について説明する。なお、以下に記載する技術要素は、それぞれ独立した技術要素であって、単独であるいは各種の組合せによって技術的有用性を発揮するものである。

[0057] 半導体装置において、角部材の上面が、第1部分の上面より下方に位置していることが好ましい。また、角部材の上面が、上方に凸状に湾曲していることが好ましい。

[0058] 半導体基板と角部材の間に形成された分離絶縁膜を更に備えていてもよい。角部材が導電性を有していてもよい。

[0059] 角部に近接する範囲における分離絶縁膜の厚みが、角部から離間した範囲における分離絶縁膜の厚みより厚くてもよい。

[0060] 半導体基板は、段差部の側面に露出する第1導電型の第1領域と、第2部分の上面に露出する第1導電型の第2領域と、第1領域と第2領域の間に形成された第2導電型の第3領域と、を備えていてもよい。角部材は、分離絶縁膜を介して、少なくとも第1領域および第2領域の双方に対向していてもよい。

[0061] 第1部分にはトレンチが形成されていてもよい。トレンチの内部にゲート電極が配置されていてもよい。角部材とゲート電極が同じ材料により形成されていることが好ましい。

[0062] 半導体装置の製造方法において、角部材を形成する工程が、半導体基板の上に角部材材料を堆積する工程と、堆積した角部材材料をエッチングする工程とを備えていてもよい。角部材材料をエッチングする工程において、角部に角部材材料を残存させることによって角部材が形成されてもよい。

[0063] 角部材を形成する工程より前に、半導体基板の上面に分離絶縁膜を形成する工程を備えていてもよい。角部材を形成する工程では、分離絶縁膜の上に導電性を有する角部材を形成してもよい。

[0064] 分離絶縁膜を形成する工程が、半導体基板の上面に分離絶縁膜材料を堆積

する工程を備えていてもよい。また、分離絶縁膜を形成する工程は、角部近接した範囲の分離絶縁膜の厚みが、角部から離反した範囲の分離絶縁膜の厚みより厚くなるように分離絶縁膜材料をエッチングする工程を備えていてもよい。

[0065] 第1部分にトレンチが形成されていてもよい。また、分離絶縁膜を形成する工程が、半導体基板の上面に分離絶縁膜材料を堆積する工程と、堆積した分離絶縁膜材料をエッチングする工程とを備えていてもよい。また、角部材を形成する工程が、分離絶縁膜の上面に角部材材料を堆積する工程と、堆積した角部材材料をエッチングする工程とを備えていてもよい。分離絶縁膜材料を堆積する工程で、トレンチの内面に分離絶縁膜材料が堆積し、分離絶縁膜材料をエッチングする工程で、トレンチの内面に分離絶縁膜材料が残存することによりゲート絶縁膜が形成されてもよい。また、角部材材料を堆積する工程で、トレンチの内部に角部材材料が堆積し、角部材材料をエッチングする工程で、トレンチの内部に角部材材料が残存することによりゲート電極が形成されてもよい。

符号の説明

- [0066] 1 : 半導体装置
2 : 半導体基板
3 : 素子領域
4 : 周辺領域
6 : 表面電極
7 : 裏面電極
10 : 第1部分
20 : 第2部分
31 : 被覆絶縁膜
32 : 分離絶縁膜
40 : 角部
50 : 角部材

- 5 1 : 上面
- 5 4 : 湾曲面
- 5 5 : 延在部
- 6 1 : ソース領域
- 6 2 : ベース領域
- 6 3 : ドレイン領域
- 6 5 : ドリフト領域
- 6 7 : フローティング領域
- 7 0 : トレンチ
- 7 1 : ゲート絶縁膜
- 7 2 : ゲート電極
- 7 3 : 層間絶縁膜
- 8 0 : フィールドリミテイングリング
- 8 2 : 周辺ドリフト領域
- 9 0 : 段差部
- 1 2 1 : ベースコンタクト領域
- 1 2 2 : 低濃度ベース領域
- 3 0 1 : 分離絶縁膜材料
- 3 0 2 : 角部材材料
- 3 0 3 : 被覆絶縁膜材料

請求の範囲

- [請求項1] 半導体素子が形成された半導体基板と、
 前記半導体基板の上に形成された被覆絶縁膜とを備え、
 前記半導体基板は、第1部分と、前記第1部分より厚みが薄い第2部分とを備え、前記第1部分と前記第2部分が隣り合う部分に段差部が形成されており、
 前記段差部の側面と前記第2部分の上面との間の角部に角部材が形成されており、
 前記角部材の上面が、前記段差部の側面より前記第2部分側に向かうにしたがって下方に下がっており、
 前記被覆絶縁膜が、前記第1部分から前記第2部分に亘って延びており、前記角部材を覆っている、半導体装置。
- [請求項2] 前記角部材の前記上面が、前記第1部分の上面より下方に位置している、請求項1に記載の半導体装置。
- [請求項3] 前記角部材の前記上面が、上方に凸に湾曲している、請求項1または2に記載の半導体装置。
- [請求項4] 前記半導体基板と前記角部材の間に形成された分離絶縁膜を更に備え、
 前記角部材が導電性を有している、請求項1から3のいずれかの一項に記載の半導体装置。
- [請求項5] 前記角部に近接した範囲の前記分離絶縁膜の厚みが、前記角部から離反した範囲の前記分離絶縁膜の厚みより厚い、請求項4に記載の半導体装置。
- [請求項6] 前記半導体基板は、前記段差部の側面に露出する第1導電型の第1領域と、前記第2部分の上面に露出する第1導電型の第2領域と、前記第1領域と前記第2領域の間に形成された第2導電型の第3領域とを備え、
 前記角部材は、前記分離絶縁膜を介して、少なくとも前記第1領域

および前記第2領域の双方に対向している、請求項4または5に記載の半導体装置。

[請求項7] 前記第1部分にはトレンチが形成されており、
前記トレンチの内部にゲート電極が配置されており、
前記角部材と前記ゲート電極が同じ材料により形成されている、請求項1から6のいずれかの一項に記載の半導体装置。

[請求項8] 第1部分と、前記第1部分より厚みが薄い第2部分と、前記第1部分と前記第2部分が隣り合う部分に形成されている段差部とを備えている半導体基板と、

前記半導体基板の上に形成された被覆絶縁膜とを備えている半導体装置の製造方法であり、

前記段差部の側面と前記第2部分の上面との間の角部に、上面が前記段差部の側面より前記第2部分側に向かうにしたがって下方に下がる角部材を形成する工程と、

前記半導体基板の前記第1部分から前記第2部分に亘って延びる被覆絶縁膜を形成し、前記被覆絶縁膜によって前記角部材を覆う工程とを備える半導体装置の製造方法。

[請求項9] 前記角部材を形成する工程が、
前記半導体基板の上に角部材材料を堆積する工程と、
堆積した前記角部材材料をエッチングする工程とを備え、
前記角部材材料をエッチングする工程で、前記角部に前記角部材材料を残存させることによって前記角部材が形成される、請求項8に記載の半導体装置の製造方法。

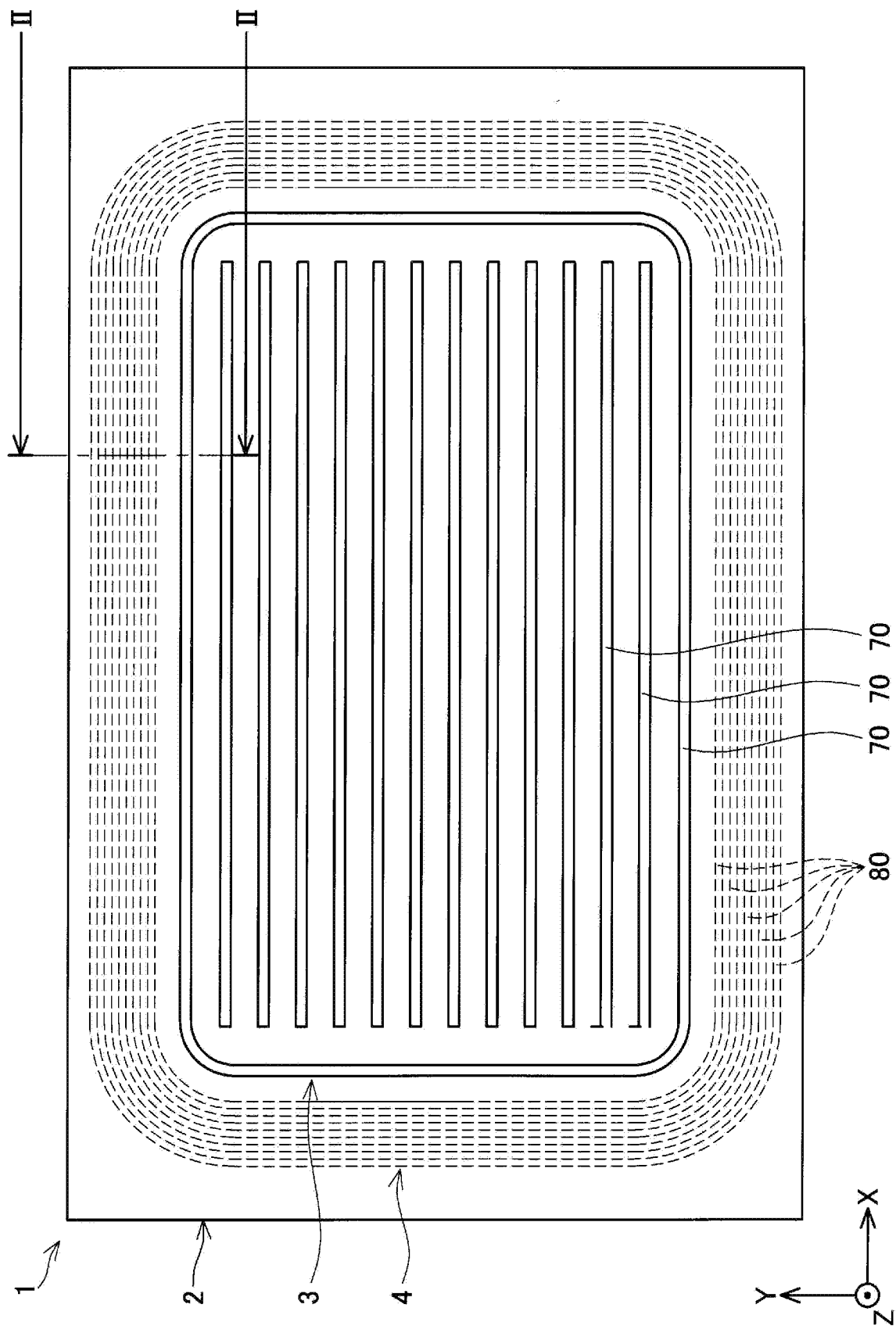
[請求項10] 前記角部材を形成する工程より前に、前記半導体基板の上面に分離絶縁膜を形成する工程を備え、

前記角部材を形成する工程では、前記分離絶縁膜の上に導電性を有する角部材を形成する、請求項8または9に記載の半導体装置の製造方法。

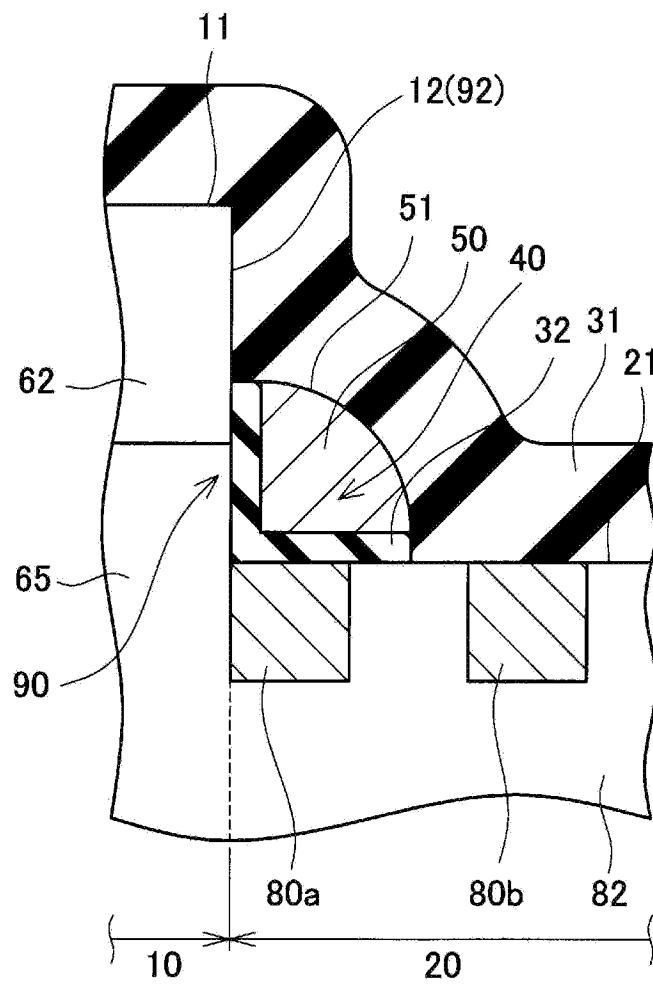
[請求項11] 前記分離絶縁膜を形成する工程が、
前記半導体基板の上面に分離絶縁膜材料を堆積する工程と、
前記角部に近接した範囲の前記分離絶縁膜の厚みが、前記角部から
離反した範囲の前記分離絶縁膜の厚みより厚くなるように前記分離絶
縁膜材料をエッチングする工程とを備える請求項10に記載の半導体
装置の製造方法。

[請求項12] 第1部分にトレンチが形成されている半導体装置の製造方法であり
、
前記分離絶縁膜を形成する工程が、前記半導体基板の上面に分離絶
縁膜材料を堆積する工程と、堆積した前記分離絶縁膜材料をエッチン
グする工程とを備え、
前記角部材を形成する工程が、前記分離絶縁膜の上面に角部材材料
を堆積する工程と、堆積した前記角部材材料をエッチングする工程と
を備え、
前記分離絶縁膜材料を堆積する工程で、前記トレンチの内面に前記
分離絶縁膜材料が堆積し、
前記分離絶縁膜材料をエッチングする工程で、前記トレンチの内面
に前記分離絶縁膜材料が残存することによりゲート絶縁膜が形成され
、
前記角部材材料を堆積する工程で、前記トレンチの内部に前記角部
材材料が堆積し、
前記角部材材料をエッチングする工程で、前記トレンチの内部に前
記角部材材料が残存することによりゲート電極が形成される、請求項
10または11に記載の半導体装置の製造方法。

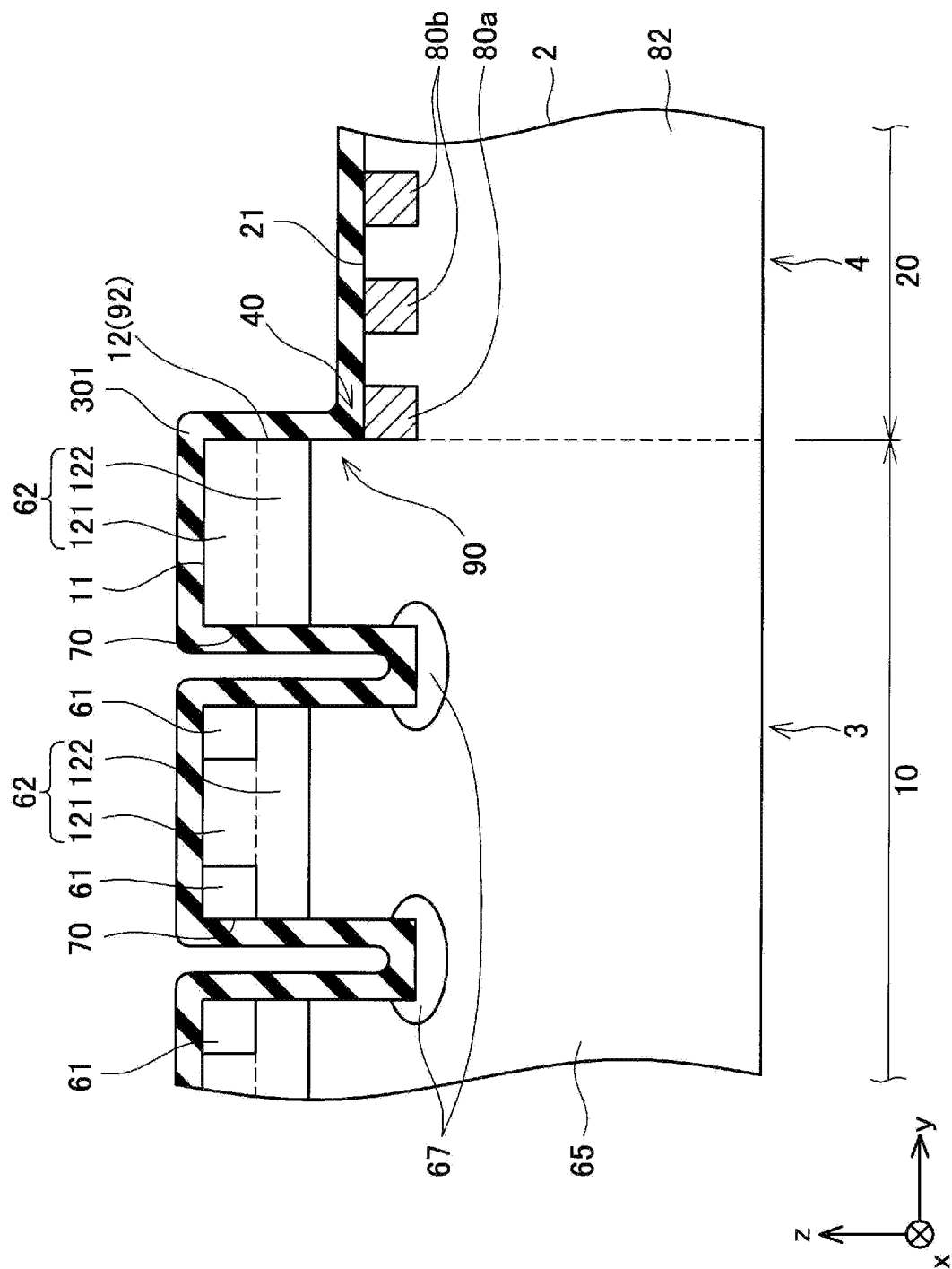
[図1]



[図3]



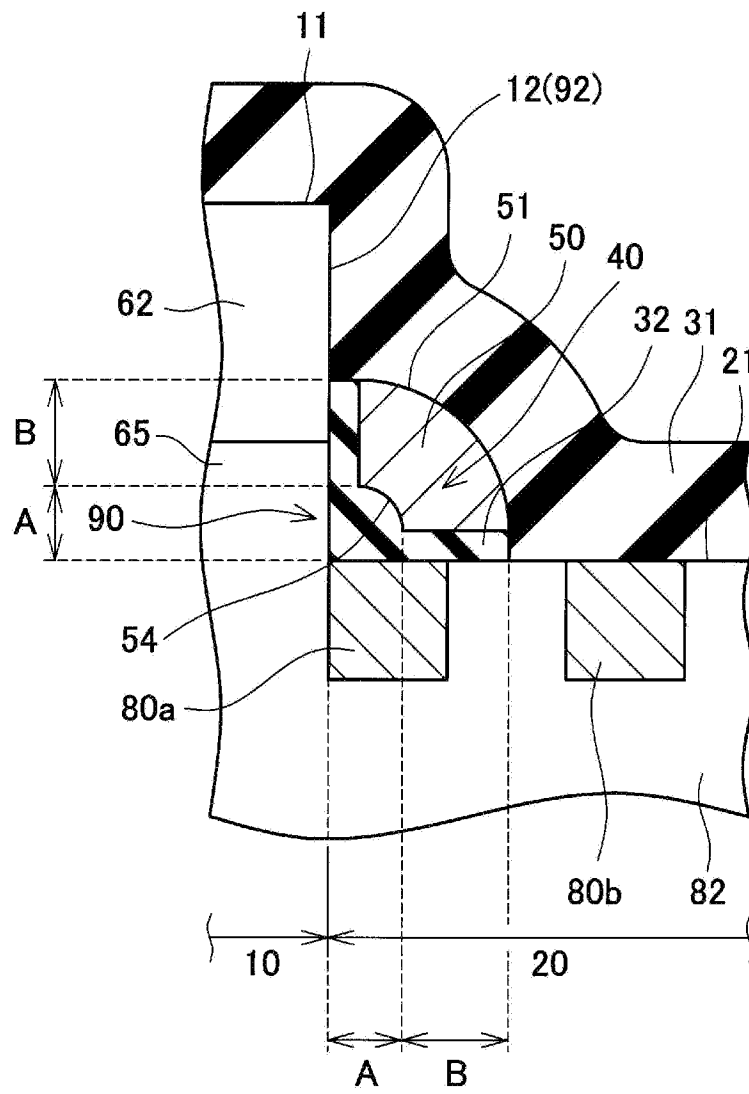
[図5]



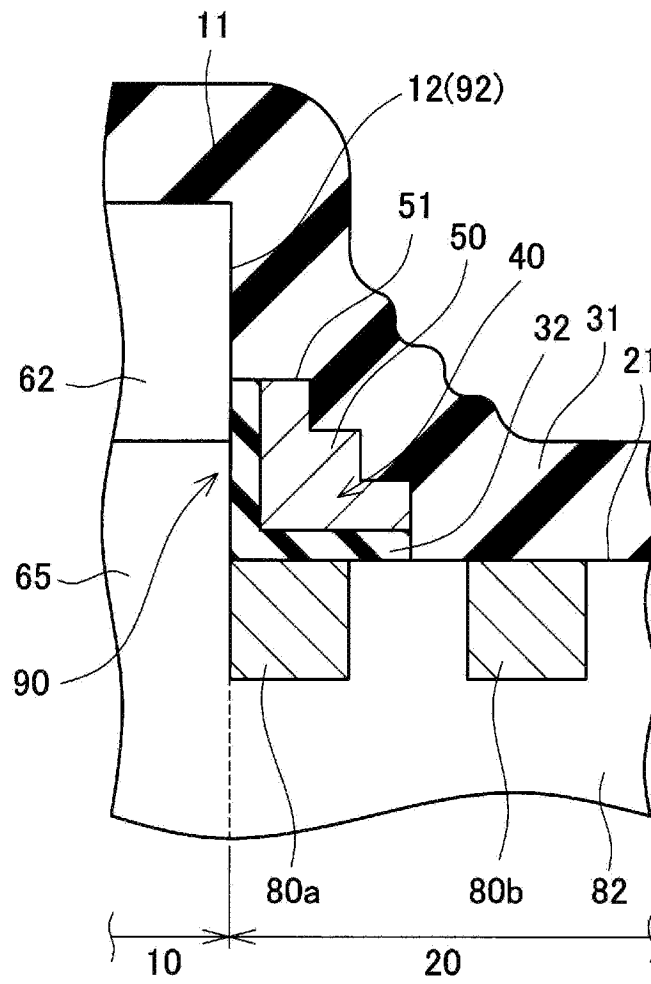
The diagram illustrates a cross-sectional view of a semiconductor device. The structure includes several layers and regions, some of which are patterned or doped. Key components include:

- Substrate (80a):** The base layer at the bottom.
- Layer 80b:** A layer above the substrate, containing rectangular features.
- Regions 67 and 65:** Two large, curved regions on either side of the central stack.
- Central Stack:** A series of layers and regions forming a vertical structure. From top to bottom, it includes:
 - A top layer with a hatched pattern (31).
 - A layer with a wavy pattern (40).
 - A layer with a diagonal hatching pattern (50).
 - A layer with a horizontal hatching pattern (61).
 - A layer with a vertical hatching pattern (70).
 - A layer with a diagonal hatching pattern (71).
 - A layer with a horizontal hatching pattern (72).
 - A layer with a vertical hatching pattern (82).
- Dimensions:** Horizontal dimensions 10 and 20 are indicated at the bottom. Vertical dimension 4 is indicated on the right side.
- Coordinate System:** Located at the bottom left, with x, y, and z axes.

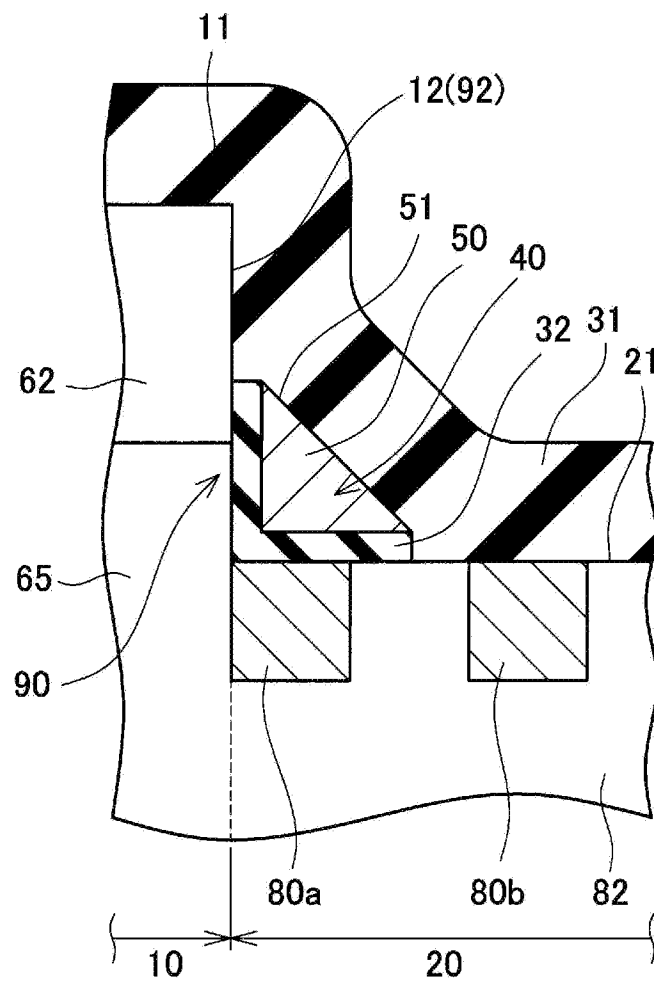
[図12]



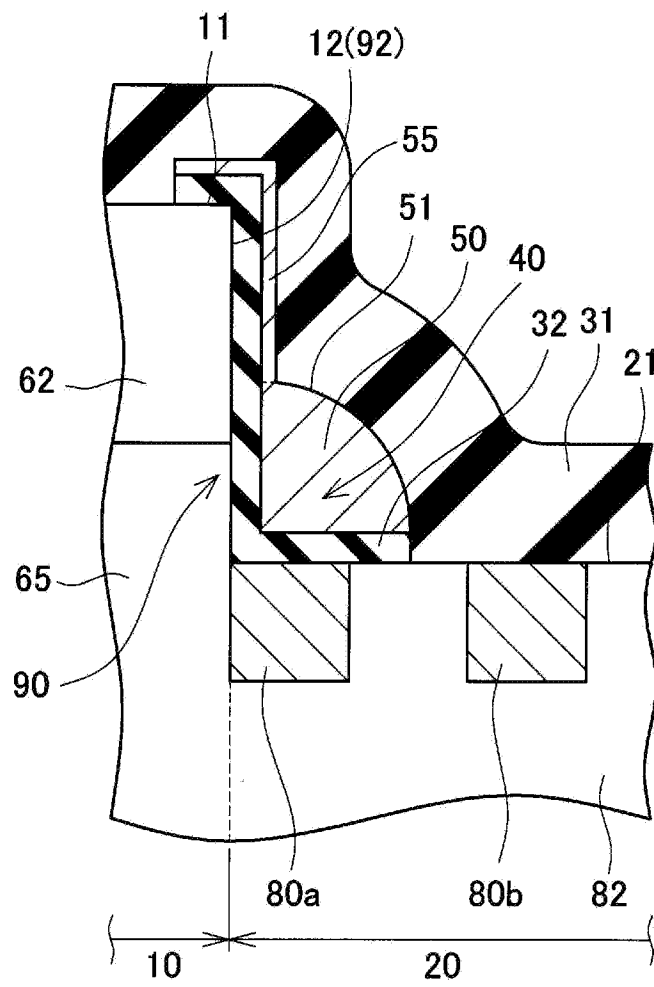
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070890

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-138137 A (Hitachi, Ltd.), 11 July 2013 (11.07.2013), fig. 5 (Family: none)	1-4, 6-10, 12 5, 11
X	JP 2010-161395 A (General Semiconductor, Inc.), 22 July 2010 (22.07.2010), fig. 11 & US 6309929 B1 & EP 1191602 A2	1-4, 6-10, 12
X	JP 2005-217202 A (Fuji Electric Holdings Co., Ltd.), 11 August 2005 (11.08.2005), fig. 1 (Family: none)	1-4, 6-10, 12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
09 September 2015 (09.09.15)

Date of mailing of the international search report
29 September 2015 (29.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2013-138137 A（株式会社日立製作所）2013.07.11, 図5（ファミリーなし）	1-4, 6-10, 12 5, 11
X	JP 2010-161395 A（ゼネラル セミコンダクター, インク.） 2010.07.22, 図11 & US 6309929 B1 & EP 1191602 A2	1-4, 6-10, 12
X	JP 2005-217202 A（富士電機ホールディングス株式会社） 2005.08.11, 図1（ファミリーなし）	1-4, 6-10, 12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 9 . 2 0 1 5

国際調査報告の発送日

2 9 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

5 F

9 0 5 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6