

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7479850号
(P7479850)

(45)発行日 令和6年5月9日(2024.5.9)

(24)登録日 令和6年4月26日(2024.4.26)

(51)国際特許分類	F I		
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/146		D
H 0 4 N 25/70 (2023.01)	H 0 4 N 25/70		
H 0 4 N 25/76 (2023.01)	H 0 4 N 25/76		

請求項の数 11 (全21頁)

(21)出願番号	特願2020-1233(P2020-1233)	(73)特許権者	390019839
(22)出願日	令和2年1月8日(2020.1.8)		三星電子株式会社
(65)公開番号	特開2020-113762(P2020-113762 A)		S a m s u n g E l e c t r o n i c s C o . , L t d .
(43)公開日	令和2年7月27日(2020.7.27)		大韓民国京畿道水原市靈通区三星路 1 2 9
審査請求日	令和4年12月21日(2022.12.21)		1 2 9 , S a m s u n g - r o , Y e o n g t o n g - g u , S u w o n - s i , G y e o n g g i - d o , R e p u b l i c o f K o r e a
(31)優先権主張番号	10-2019-0003842	(74)代理人	110000051
(32)優先日	平成31年1月11日(2019.1.11)		弁理士法人共生国際特許事務所
(33)優先権主張国・地域又は機関	韓国(KR)	(72)発明者	李 允 基
			大韓民国, 1 6 6 7 7 , ギョンギ - ド , スウォン - シ , ヨントン - グ , サムスン
			最終頁に続く

(54)【発明の名称】 イメージセンサー

(57)【特許請求の範囲】

【請求項 1】

第 1 領域及び第 2 領域を含み、互いに対向する第 1 面及び第 2 面を有する半導体層と、
前記半導体層の前記第 1 領域及び前記第 2 領域内に配置されて、前記第 1 領域及び前記第 2 領域内に提供された複数のピクセルを定義する素子分離膜と、
前記半導体層の前記第 1 領域の前記第 1 面上に、前記素子分離膜と重畳するように配置された第 1 グリッドパターンと、
前記半導体層の前記第 2 領域の前記第 1 面上に配置された遮光パターンと、を含み、
前記第 1 グリッドパターンの上面は第 1 レベルに位置し、前記遮光パターンの上面は第 2 レベルに位置し、前記第 1 レベルは前記第 2 レベルよりも低く、前記第 1 レベル及び前記第 2 レベルは前記半導体層の前記第 1 面に対して定義され、
前記第 1 グリッドパターンの厚さは、前記遮光パターンの厚さよりも薄く、
前記第 1 グリッドパターン上の第 2 グリッドパターンをさらに含み、
前記第 1 グリッドパターンは、金属及び金属窒化膜の中の少なくとも 1 つを含み、
前記第 2 グリッドパターンは、低屈折物質を含み、
前記遮光パターンは、金属物質を含む単一層からなり、
前記半導体層は、第 3 領域をさらに含み、
前記半導体層の前記第 3 領域上のパッドをさらに含み、
前記第 1 グリッドパターンは、前記遮光パターンを通じて前記パッドに連結されることを特徴とするイメージセンサー。

【請求項 2】

前記第 1 グリッドパターンは、前記第 2 領域上に延長されて前記遮光パターンの側面を覆い、前記遮光パターンの上面を露出させることを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 3】

前記第 1 グリッドパターンは、前記第 2 領域上に延長されて前記遮光パターンの側面及び上面を覆うことを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 4】

前記第 1 グリッドパターンの側面と前記第 2 グリッドパターンの側面とが整列されたことを特徴とする請求項 1 に記載のイメージセンサー。

10

【請求項 5】

前記複数のピクセルは、前記半導体層の前記第 1 領域内に提供された第 1 ピクセル及び前記半導体層の前記第 2 領域内に提供された第 2 ピクセルを含み、

前記イメージセンサーは、

前記第 1 ピクセル内の第 1 光電変換素子と、

前記第 2 ピクセル内の第 2 光電変換素子と、をさらに含み、

前記第 1 グリッドパターンは、前記第 1 光電変換素子を露出させ、

前記遮光パターンは、前記第 2 光電変換素子を覆うことを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 6】

20

前記複数のピクセルは、前記半導体層の前記第 1 領域内に提供された第 1 ピクセル及び前記半導体層の前記第 2 領域内に提供された第 2 ピクセルを含み、

前記イメージセンサーは、

前記第 1 ピクセル内の一対の第 1 光電変換素子と、

前記第 2 ピクセル内の一対の第 2 光電変換素子と、

前記半導体層の前記第 1 面上に配置され、前記一対の第 1 光電変換素子を覆うマイクロレンズと、をさらに含むことを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 7】

前記素子分離膜は、前記半導体層を貫通して前記半導体層の前記第 1 面及び前記第 2 面に接触することを特徴とする請求項 1 に記載のイメージセンサー。

30

【請求項 8】

前記素子分離膜は、前記半導体層の前記第 1 面に接触し、前記半導体層の前記第 2 面から離隔されたことを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 9】

前記第 1 グリッドパターンの物質は、前記遮光パターンの物質とは異なることを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 10】

前記複数のピクセルは、前記半導体層の前記第 1 領域内の第 1 ピクセル及び前記半導体層の前記第 2 領域内の第 2 ピクセルを含み、

前記イメージセンサーは、

前記第 1 ピクセル上のカラーフィルターと、

前記第 2 領域上のカラーフィルター膜と、

前記カラーフィルター上のマイクロレンズと、を含み、

前記マイクロレンズは、前記カラーフィルター膜を露出させることを特徴とする請求項 1 に記載のイメージセンサー。

40

【請求項 11】

第 1 領域及び第 2 領域を含む半導体層と、

前記半導体層の前記第 1 領域及び前記第 2 領域内に配置されて、前記第 1 領域及び前記第 2 領域内に提供された複数のピクセルを定義する素子分離膜と、

前記半導体層の前記第 1 領域上に、前記素子分離膜と重畳するように配置されたグリッ

50

ドパターンと、

前記半導体層の前記第2領域上の遮光構造体と、を含み、

前記グリッドパターンは、

前記半導体層上に配置されて前記遮光構造体の側面を覆う第1グリッドパターンと、

前記第1グリッドパターンを覆う第2グリッドパターンと、を含み、

前記第1グリッドパターンは、前記遮光構造体の側面と前記第2グリッドパターンとの間に挟まれ、

前記第1グリッドパターンの厚さは、前記遮光構造体の厚さよりも薄く、

前記遮光構造体は、前記半導体層の前記第2領域上に積層された遮光パターン、導電パターン、及び有機パターンを含み、

前記第1グリッドパターンは、前記導電パターンに連結され、

前記第2グリッドパターンは、前記有機パターンに連結され、

前記半導体層は、第3領域をさらに含み、

前記半導体層の前記第3領域上のパッドをさらに含み、

前記第1グリッドパターンは、前記遮光パターンを通じて前記パッドに連結されることを特徴とするイメージセンサー。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサーに関し、より詳しくはイメージ特性がより改善されたイメージセンサーに関する。

【背景技術】

【0002】

イメージセンサーは、光学イメージ(optical image)を電気信号に変換する半導体素子である。イメージセンサーは、CCD(charge coupled device)型及びCMOS(complementary metal oxide semiconductor)型に分類される。CMOS型イメージセンサーはCIS(CMOS image sensor)と略称される。CISは2次的に配列された複数のピクセルを具備する。ピクセルの各々はフォトダイオード(photo diode、PD)を含む。フォトダイオードは入射された光を電気信号に変換する役割を果たす。

【先行技術文献】

【特許文献】

【0003】

【文献】米国特許第9947714号明細書

【文献】米国特許第10074680号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、上記従来技術に鑑みてなされたものであって、本発明の目的は、イメージ特性がより改善されたイメージセンサーを提供することにある。

【課題を解決するための手段】

【0005】

上記目的を達成するためになされた本発明の一態様によるイメージセンサーは、第1領域及び第2領域を含み、互いに対向する第1面及び第2面を有する半導体層と、前記半導体層内に配置されて、ピクセルを定義する素子分離膜と、前記半導体層の前記第1領域の前記第1面上に配置された第1グリッドパターンと、前記半導体層の前記第2領域の前記第1面上に配置された遮光パターンと、を含み、前記半導体層の前記第1面から前記第1グリッドパターンの上面は、前記半導体層の前記第1面から前記遮光パターンの上面よりも低いレベルに位置することを特徴とする。

【0006】

10

20

30

40

50

上記目的を達成するためになされた本発明の他の態様によるイメージセンサーは、第1領域及び前記第1領域周辺の第2領域を含む半導体層と、前記半導体層内に配置されて、ピクセルを定義する素子分離膜と、前記半導体層の前記第1領域上で前記素子分離膜に沿って延長され、第1パターンを含むグリッドパターンと、前記半導体層の前記第2領域上の遮光パターンと、を含み、前記第1パターンの厚さは前記遮光パターンの厚さよりも小さく、前記第1パターンは、前記遮光パターンの側面を覆うことを特徴とする。

【0007】

上記目的を達成するためになされた本発明のさらに他の態様によるイメージセンサーは、第1領域及び第2領域を含む半導体層と、前記半導体層内に配置されて、ピクセルを定義する素子分離膜と、前記半導体層の前記第1領域上のグリッドパターンと、前記半導体層の前記第2領域の上の遮光構造体と、を含み、前記グリッドパターンの厚さは、前記遮光構造体の厚さよりも薄いことを特徴とする。

10

【発明の効果】

【0008】

本発明によれば、グリッドパターンが遮光パターンの積層構造とは異なる積層構造を有するように形成される。グリッドパターンの第1パターンは金属物質を含むが、遮光パターンよりも薄く形成されることによって、静電気を外部へ放出させる通路の役割を果たしながら、光の吸収を最小化させることができる。グリッドパターンの第2パターンは、低屈折物質で形成され、カラーフィルターの縁に隣接して、入射される光を屈折させて該当ピクセルに入射させることができる。したがって、クロストーク(crosstalk)が減少され、光効率が増大されたイメージセンサーを提供することができる。

20

【図面の簡単な説明】

【0009】

【図1】本発明の一実施形態によるイメージセンサーのブロック図である。

【図2】本発明の一実施形態によるイメージセンサーのセンサーアレイの簡略な回路図である。

【図3】本発明の一実施形態によるイメージセンサーのピクセルを示す回路図である。

【図4】本発明の一実施形態によるイメージセンサーを示す平面図である。

【図5】本発明の一実施形態によるイメージセンサーの一例を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

30

【図6】本発明の一実施形態によるイメージセンサーの他の例を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

【図7】本発明の一実施形態によるイメージセンサーのさらに他の例を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

【図8】本発明の一実施形態によるイメージセンサーのその他の例を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

【図9】本発明の他の実施形態によるイメージセンサーを示す断面図である。

【図10】本発明の他の実施形態によるイメージセンサーを示す平面図である。

【図11A】本発明の一実施形態によるイメージセンサーの製造方法を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

40

【図11B】本発明の一実施形態によるイメージセンサーの製造方法を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

【図11C】本発明の一実施形態によるイメージセンサーの製造方法を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

【図11D】本発明の一実施形態によるイメージセンサーの製造方法を示す図であって、図4のI-I'及びII-II'線に沿って切断した断面図である。

【発明を実施するための形態】

【0010】

図1は、本発明の一実施形態によるイメージセンサーのブロック図である。

【0011】

50

図 2 は、本発明の一実施形態によるイメージセンサーのセンサーアレイの簡略な回路図である。

【 0 0 1 2 】

図 1 を参照すると、本発明の一実施形態によるイメージセンサーは、アクティブピクセルセンサーアレイ (Active Pixel Sensor (APS) Array) 10、行デコーダー (row decoder) 20、行ドライバー (row driver) 30、列デコーダー (column decoder) 40、タイミング発生器 (timing generator) 50、相関二重サンプラー (CDS: Correlated Double Sampler) 60、アナログデジタルコンバーター (ADC: Analog to Digital Converter) 70、及び入出力バッファ (I/O buffer) 80 を含む。

10

【 0 0 1 3 】

APS アレイ 10 は、図 2 に示すように、光が入射される第 1 領域 2 及び光が入射されない第 2 領域 4 を含み、ピクセル (PX1、PX2) が 2 次的に配列される。第 1 領域 2 及び第 2 領域 4 の各々は、第 1 ピクセル PX1 及び第 2 ピクセル PX2 を含む。第 1 領域 2 内に提供された第 1 ピクセル PX1 は、入射光を電氣的信号に変換する。第 2 領域 4 内に提供された第 2 ピクセル PX2 は、光が入射されないピクセルで発生される電氣的信号を出力する。また、第 1 領域 2 及び第 2 領域 4 内での第 1 ピクセル PX1 及び第 2 ピクセル PX2 は、行ドライバー 30 から提供された行選択信号 (Row SEL)、リセット信号 Rx、及び電荷伝送信号 Tx のような複数の駆動信号によって駆動される。また、APS アレイ 10 で生成された電氣的信号は相関二重サンプラー 60 に提供される。

20

【 0 0 1 4 】

行ドライバー 30 は、行デコーダー 20 でデコーディングされた結果に応じて複数のピクセルを駆動するための複数の駆動信号を APS アレイ 10 に提供する。ピクセルが行列形状に配列された場合には、駆動信号が各行別に単位ピクセルに提供される。

【 0 0 1 5 】

タイミング発生器 50 は、行デコーダー 20 及び列デコーダー 40 にタイミング (timing) 信号及び制御信号を提供する。

【 0 0 1 6 】

相関二重サンプラー 60 は、APS アレイ 10 で生成された電氣的信号を受信して維持 (hold) 及びサンプリングする。相関二重サンプラー 60 は、特定の雑音レベル (noise level) と電氣的信号による信号レベルを二重にサンプリングして、雑音レベルと信号レベルの差に該当する差レベルを出力する。

30

【 0 0 1 7 】

アナログデジタルコンバーター 70 は、相関二重サンプラー 60 から出力された差レベルに該当するアナログ信号をデジタル信号に変換して出力する。

【 0 0 1 8 】

入出力バッファ 80 は、デジタル信号をラッチ (latch) し、ラッチされた信号は列デコーダー 40 でのデコーディング結果に応じて順次的に映像信号処理部 (未図示) にデジタル信号を出力する。

40

【 0 0 1 9 】

図 3 は、本発明の一実施形態によるイメージセンサーのピクセルを示す回路図である。

【 0 0 2 0 】

図 3 を参照すると、第 1 ピクセル PX1 及び第 2 ピクセル PX2 は、入射光を電氣的信号に変換する光電変換素子 PD 及び光電変換素子 PD で生成された電氣的信号を読み出す読出し素子を各々含む。読出し素子 (トランジスタ) は、トランスファークゲート TG、リセット (reset) 素子 RG、ドライブ (drive) 素子 DG、又は選択 (select) 素子 SG 等を含む。また、トランスファークゲート TG の駆動信号 Tx、リセット素子 RG の駆動信号 Rx、及び選択素子 SG の行選択信号 Row SEL は、同一の行に含まれたピクセルに共通に連結される。以下、単一の光電変換素子 PD に対して説明する。

50

【 0 0 2 1 】

より詳細に説明すると、光電変換素子PDは、入射光に対応する電荷を生成及び蓄積する。例えば、光電変換素子PDは、フォトダイオード(photo diode)、フォト素子(photo transistor)、フォトゲート(photo gate)、ピンドフォトダイオード(PPD: Pinned Photo Diode)、及びこれらの組み合わせを含む。光電変換素子PDは、蓄積された電荷を浮遊拡散領域(FD: Floating Diffusion region)に伝達するトランスファークゲートTGに連結される。

【 0 0 2 2 】

浮遊拡散領域FDは、光電変換素子PDから、蓄積された電荷を受信する。浮遊拡散領域FDは寄生キャパシタンスを有するので、電荷が累積的に格納される。また、浮遊拡散領域FDはドライブ素子DGと電氣的に連結されているので、ドライブ素子DGを制御する。

10

【 0 0 2 3 】

トランスファークゲートTGは、光電変換素子PDから浮遊拡散領域FDに電荷を伝送する。トランスファークゲートTGは一般的に1つの素子からなり、電荷伝送信号Txによって制御される。

【 0 0 2 4 】

リセット素子RGは、浮遊拡散領域FDを定期的のリセットさせ、リセット信号Rxによって制御される。そして、リセット素子RGのソースは浮遊拡散領域FDに連結され、ドレインは電源電圧VDDに連結される。したがって、リセット信号Rxによってリセット素子RGがターンオンされると、リセット素子RGのドレインに連結された電源電圧VDDが浮遊拡散領域FDに伝達される。

20

【 0 0 2 5 】

ドライブ素子DGは、定電流源(図示せず)と組み合わせられてソースフォロワバッファ増幅器(source follower buffer amplifier)の役割を果たし、光電変換素子PDに蓄積された光電荷を受信した浮遊拡散領域FDの電氣的ポテンシャルの変化を増幅し、これを出力ラインVoutに出力する。

【 0 0 2 6 】

選択素子SGは、行単位に読み出すピクセルを選択する役割を果たす。選択素子SGは行選択信号(Row SEL)によって駆動され、選択素子SGがターンオンされると、選択素子SGのドレインに連結された電源電圧VDDがドライブ素子DGのドレインに伝達される。

30

【 0 0 2 7 】

図4は、本発明の一実施形態によるイメージセンサーを示す平面図である。図5は、本発明の一実施形態によるイメージセンサーを示す図であって、図4のI-I'及びII-II'線に沿って切断された断面図である。

【 0 0 2 8 】

図4及び図5を参照すると、半導体層100は、第1領域2、第2領域4、及び第3領域6を含む。第2領域4は半導体層100の第1領域2の周囲に位置し、第3領域6は半導体層100の第2領域4の周囲に位置する。第1領域2は、例えば、受光領域であり、第2領域4は遮光領域であり、第3領域6は入出力領域である。半導体層100は、例えば、シリコン半導体層、ゲルマニウム半導体層、シリコン-ゲルマニウム半導体層、II-V族化合物半導体層、III-V族化合物半導体層、又はSOI(Silicon on insulator)半導体層である。半導体層100は、第1面1a及び第2面1bを含む。第1面1a及び第2面1bは互いに対向する。

40

【 0 0 2 9 】

第1素子分離膜DTI1が、半導体層100の第1領域2及び第2領域4内に配置される。第1素子分離膜DTI1は半導体層100を貫通する。例えば、第1素子分離膜DTI1の第1面は、半導体層100の第1面1aと共面を有し、第1素子分離膜DTI1の

50

第1面に対向する第2面は、半導体層100の第2面1bと共面を有する。第1素子分離膜DTI1は、後述する配線構造体200の層間絶縁膜(201、201a)の中で、最下層の層間絶縁膜201aに接触する。第1素子分離膜DTI1は、半導体層100の第1ピクセルPX1及び第2ピクセルPX2を定義する。第1ピクセルPX1は半導体層100の第1領域2内に提供され、第2ピクセルPX2は半導体層100の第2領域4内に提供される。第1素子分離膜DTI1は、例えば、シリコン酸化膜、シリコン窒化膜、誘電膜(例えば、 AlO_2 、 HfO_2)、半導体物質(例えば、ポリシリコン)、及び金属物質(例えば、タングステン、銅、アルミニウム)の中の少なくとも1つを含む。

【0030】

保護分離膜SLが、半導体層100の第3領域6内に配置される。保護分離膜SLは半導体層100を貫通する。例えば、保護分離膜SLの第1面は、半導体層100の第1面1aと共面を有し、保護分離膜SLの第1面に対向する第2面は、半導体層100の第2面1bと共面を有する。保護分離膜SLは、後述する配線絶縁膜209に接触する。保護分離膜SLは、半導体層100の第3領域6内で貫通ビア領域TVRを定義する。一例として、保護分離膜SLは多角形又は円形のリング形状を有する。他の実施形態として、保護分離膜SLは多角形又は円形を含むグリッド構造を有する。保護分離膜SLは、シリコン窒化膜、タンタル酸化膜、及びハフニウム酸化膜の中の少なくとも1つを含み得る。

【0031】

光電変換素子PDが、半導体層100の第1ピクセルPX1及び第2ピクセルPX2内に配置される。光電変換素子PDは、第1方向X及び第1方向Xと交差する第2方向Yに離隔配置される。半導体層100の第1領域2内に配置された光電変換素子PDは、半導体層100の第2面1bから入射された光を独立的に収集する。光電変換素子PDは、例えば、n型不純物を含み得る。

【0032】

配線構造体200が、半導体層100の第1面1a上に配置される。配線構造体200は、層間絶縁膜(201、201a)、第1配線203、第2配線205、ビア207、トランスファークロッシングTG、及び配線絶縁膜209を含む。層間絶縁膜(201、201a)は、半導体層100の第1面1a上に順に積層される。層間絶縁膜(201、201a)は、例えば、シリコン酸化膜又はシリコン窒化膜を含む。第1配線203及び第2配線205は、層間絶縁膜(201、201a)内に配置される。例えば、第1配線203は、半導体層100の第1領域2及び第2領域4上に配置される。第2配線205は、半導体層100の第3領域6上に配置される。第2配線205の中で半導体層100に最も隣接する配線205は、配線絶縁膜209上に配置される。第1配線203及び第2配線205は、例えば金属物質(例えば、銅、タングステン)を含む。ビア207は、半導体層100の第3領域6上に配置される。ビア207は、層間絶縁膜(201、201a)内に配置される。ビア207は、第2配線205との間を連結する。図5には図示しないが、ビア207は、半導体層100の第1領域2及び第2領域4上にも配置され得る。ビア207は、例えば金属物質(例えば、銅、タングステン)を含む。

【0033】

トランスファークロッシングTGが、半導体層100の第1面1a上に配置される。トランスファークロッシングTGは、半導体層100の第1領域2及び第2領域4上に配置される。トランスファークロッシングTGは、第1ピクセルPX1及び第2ピクセルPX2の光電変換素子PDに対応するように配置される。トランスファークロッシングTGは、半導体層100の第1面1aに最も隣接する最下層の層間絶縁膜201aによって覆われる。配線絶縁膜209は、半導体層100の第3領域6の第1面1aと最下層の層間絶縁膜201aとの間に介在される。配線絶縁膜209は、半導体層100の第3領域6の第1面1aを覆う。配線絶縁膜209は、例えば、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、又は熱酸化膜を含む。他の実施形態において、配線絶縁膜209は省略され得る。この場合、半導体層100の第1面1aに隣接する第2配線205と半導体層100の第1面1aとの間に層間絶縁膜201が提供される。

10

20

30

40

50

【 0 0 3 4 】

反射防止膜 3 0 0 が、半導体層 1 0 0 の第 2 面 1 b 上に配置される。反射防止膜 3 0 0 は、半導体層 1 0 0 の第 1 領域 ~ 第 3 領域 (2 、 4 、 6) 上に配置される。半導体層 1 0 0 の第 3 領域 6 上に配置された反射防止膜 3 0 0 は、後述するパッド 5 2 0 と半導体層 1 0 0 との間を電氣的に絶縁する。反射防止膜 3 0 0 は、例えば、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、又は高誘電膜 (例えば、ハフニウム酸化膜、アルミニウム酸化膜) を含む。

【 0 0 3 5 】

グリッドパターン 4 0 0 が、反射防止膜 3 0 0 上に配置される。例えば、グリッドパターン 4 0 0 は、半導体層 1 0 0 の第 1 領域 2 の第 2 面 1 b 上に配置される。グリッドパターン 4 0 0 は、第 1 素子分離膜 D T I 1 と重畳するように配置され、第 1 素子分離膜 D T I 1 に沿って延長される。例えば、グリッドパターン 4 0 0 は、第 1 部分 P 1 及び第 2 部分 P 2 を含む。第 1 部分 P 1 は第 1 方向 X に延長され、第 2 方向 Y に離隔配置される。第 2 部分 P 2 は第 2 方向 Y に延長され、第 1 方向 X に離隔配置される。第 1 部分 P 1 及び第 2 部分 P 2 は、後述する遮光パターン 4 1 0 に連結される。グリッドパターン 4 0 0 は多角形を含むグリッド構造を有し得る。

10

【 0 0 3 6 】

グリッドパターン 4 0 0 は、半導体層 1 0 0 の第 1 ピクセル P X 1 内に配置された光電変換素子 P D を露出させる。グリッドパターン 4 0 0 は複数の膜からなる。グリッドパターン 4 0 0 は、反射防止膜 3 0 0 上に順に積層された第 1 グリッドパターン 4 0 1 (以下では第 1 パターン 4 0 1 として参照される) 及び第 2 グリッドパターン 4 0 3 (以下では第 2 パターン 4 0 3 として参照される) を含む。第 1 パターン 4 0 1 は導電物質を含み得る。例えば、第 1 パターン 4 0 1 は、金属物質及び金属窒化膜の中の少なくとも 1 つを含む。第 1 パターン 4 0 1 は、チタニウム (T i) 、チタニウム窒化物 (T i N) 、タングステン (W) 、アルミニウム (A l) 、及び銅 (C u) のの中の少なくとも 1 つを含み得る。第 1 パターン 4 0 1 は、約 1 0 0 ~ 約 1 5 0 0 の第 1 厚さ T 1 を有する。第 2 パターン 4 0 3 は、第 1 パターン 4 0 1 上に配置される。第 2 パターン 4 0 3 は、有機物質を含み得る。第 2 パターン 4 0 3 は、後述するカラーフィルタ 5 3 0 の屈折率よりも低い屈折率を有する物質を含む。第 2 パターン 4 0 3 は、約 1 . 4 以下の屈折率を有する低屈折物質を含む。第 2 パターン 4 0 3 の厚さは、第 1 パターン 4 0 1 の第 1 厚さ T 1 よりも大きい。

20

30

【 0 0 3 7 】

遮光パターン 4 1 0 が、反射防止膜 3 0 0 上に配置される。例えば、遮光パターン 4 1 0 は、半導体層 1 0 0 の第 2 領域 4 の第 2 面 1 b 上に配置される。遮光パターン 4 1 0 は、半導体層 1 0 0 の第 2 領域 4 を完全に覆う。例えば、遮光パターン 4 1 0 は、半導体層 1 0 0 の第 2 ピクセル P X 2 内に配置された光電変換素子 P D を覆う。グリッドパターン 4 0 0 は、遮光パターン 4 1 0 の側面 4 1 1 を覆う。より具体的に、グリッドパターン 4 0 0 の第 1 パターン 4 0 1 は、遮光パターン 4 1 0 の側面 4 1 1 を覆い、遮光パターン 4 1 0 に接触する。グリッドパターン 4 0 0 は、遮光パターン 4 1 0 の側面 4 1 1 の一部分及び遮光パターン 4 1 0 の側面 4 1 1 に隣接する上面 4 1 0 a の一部分を覆う。即ち、グリッドパターン 4 0 0 は、半導体層 1 0 0 の第 1 領域 2 から第 2 領域 4 上に延長される。他の実施形態において、グリッドパターン 4 0 0 は、遮光パターン 4 1 0 の側面 4 1 1 の一部分を覆い、遮光パターン 4 1 0 の上面 4 1 0 a を露出させる。

40

【 0 0 3 8 】

遮光パターン 4 1 0 は単一膜からなる。遮光パターン 4 1 0 は、約 1 5 0 0 ~ 約 5 0 0 0 の第 2 厚さ T 2 を有する。遮光パターン 4 1 0 の第 2 厚さ T 2 は、第 1 パターン 4 0 1 の第 1 厚さ T 1 よりも厚い (T 2 > T 1) 。半導体層 1 0 0 の第 2 面 1 b から遮光パターン 4 1 0 の上面 4 1 0 a は、半導体層 1 0 0 の第 2 面 1 b から第 1 パターン 4 0 1 の上面 4 0 1 a よりも高いレベルに位置する。レベルは半導体層 1 0 0 の第 2 面 1 b に対して定義される。例えば、第 1 パターン 4 0 1 の上面と半導体層 1 0 0 の第 2 面 1 b との間

50

の距離は、半導体層 1 0 0 の第 2 面 1 b と遮光パターン 4 0 1 の上面 4 1 0 a との間の距離よりも小さい。遮光パターン 4 1 0 は金属物質（例えば、タングステン（W））を含み得る。

【 0 0 3 9 】

貫通ビア 5 1 0 が、半導体層 1 0 0 の第 3 領域 6 上に配置される。一例として、貫通ビア 5 1 0 の各々は、半導体層 1 0 0 の貫通ビア領域 T V R 内に配置される。他の実施形態として、複数の貫通ビア 5 1 0 は、半導体層 1 0 0 の貫通ビア領域 T V R 内に配置される。貫通ビア 5 1 0 は、半導体層 1 0 0、反射防止膜 3 0 0、及び配線絶縁膜 2 0 9 を貫通して配線構造体 2 0 0 の第 2 配線 2 0 5 に連結される。パッド 5 2 0 が、半導体層 1 0 0 の第 3 領域 6 上に配置される。例えば、パッド 5 2 0 は、半導体層 1 0 0 の第 3 領域 6 の第 2 面 1 b 上に配置された反射防止膜 3 0 0 上に配置される。パッド 5 2 0 は互いに電氣的に絶縁される。パッド 5 2 0 は貫通ビア 5 1 0 上で貫通ビア 5 1 0 に連結される。各貫通ビア 5 1 0 と、各貫通ビア 5 1 0 上の各パッド 5 2 0 とは一体形である。

10

【 0 0 4 0 】

一実施形態において、パッド 5 2 0 の中の少なくとも 1 つは、遮光パターン 4 1 0 に連結され得る。図 4 を参照すると、パッド 5 2 0 の中の少なくとも 1 つは、遮光パターン 4 1 0 に電氣的及び / 又は物理的に連結されるように連結パターン 5 2 1 に第 1 方向 X に沿って連結される。したがって、パッド 5 2 0 の中の少なくとも 1 つは、遮光パターン 4 1 0 を通じてグリッドパターン 4 0 0 と物理的 / 電氣的に連結される。パッド 5 2 0 の中の少なくとも 1 つに連結されたグリッドパターン 4 0 0 は、貫通ビア 5 1 0 を通じて第 2 配線 2 0 5 に連結される。他の実施形態において、パッド 5 2 0 は遮光パターン 4 1 0 及びグリッドパターン 4 0 0 から物理的 / 電氣的に離隔される。この場合、パッド 5 2 0 は遮光パターン 4 1 0 と物理的 / 電氣的に連結されない。グリッドパターン 4 0 0 に連結された遮光パターン 4 1 0 は、半導体層 1 0 0 の第 2 領域 4 内に配置された貫通ビア（図示せず）を通じて配線構造体 2 0 0 の第 2 配線 2 0 5 及び / 又は半導体層 1 0 0 の第 2 領域 4 内に配置された配線構造体 2 0 0 の第 1 配線 2 0 3 に電氣的に連結され得る。

20

【 0 0 4 1 】

グリッドパターン 4 0 0 は、外部から流れ込んだ静電気を外部へ放出する通路の役割を果たす。一実施形態において、静電気は、グリッドパターン 4 0 0、遮光パターン 4 1 0、パッド 5 2 0 の中の少なくとも 1 つ、及びパッド 5 2 0 の中の少なくとも 1 つに連結された貫通ビア 5 1 0 を通じて第 2 配線 2 0 5 に放出される。他の実施形態において、静電気は、グリッドパターン 4 0 0、遮光パターン 4 1 0、及び貫通ビア（図示せず）を通じて第 1 配線 2 0 3 及び / 又は第 2 配線 2 0 5 に放出される。この場合、第 1 配線 2 0 3 及び / 又は第 2 配線 2 0 5 には接地電圧又は負の電圧が印加される。

30

【 0 0 4 2 】

本発明の一実施形態によると、グリッドパターン 4 0 0 は、遮光パターン 4 1 0 の積層構造とは異なる積層構造を有するように形成される。グリッドパターン 4 0 0 の第 1 パターン 4 0 1 は金属物質を含むが、遮光パターン 4 1 0 よりも薄く形成されることによって、静電気を外部へ放出させる通路の役割を果たしながら、光の吸収を最小化させる。グリッドパターン 4 0 0 の第 2 パターン 4 0 3 は低屈折物質で形成され、カラーフィルター 5 3 0 の縁に隣接して入射される光を屈折させて該当ピクセルに入射させる。したがって、クロストーク（cross talk）が減少され、光効率が増大されたイメージセンサーを提供することができる。

40

【 0 0 4 3 】

カラーフィルター 5 3 0 が、半導体層 1 0 0 の第 1 領域 2 上に配置される。例えば、カラーフィルター 5 3 0 は、半導体層 1 0 0 の第 2 面 1 b 上に配置され、第 1 ピクセル P X 1 内に配置された光電変換素子 P D に対応するように配置される。カラーフィルター 5 3 0 は、グリッドパターン 4 0 0 及び反射防止膜 3 0 0 を覆う。例えば、カラーフィルター 5 3 0 は、約 1 . 5 以上の高屈折率を有する物質を含む。

【 0 0 4 4 】

50

カラーフィルター膜 540 が、半導体層 100 の第 2 領域 4 上に配置される。例えば、カラーフィルター膜 540 は、半導体層 100 の第 2 面 1b 上に配置され、第 2 ピクセル PX2 内に配置された光電変換素子 PD を覆う。カラーフィルター膜 540 は反射防止膜 300 を覆う。パッド 520 は、カラーフィルター 530 及びカラーフィルター膜 540 によって露出される。マイクロレンズ MR が、カラーフィルター 530 上に配置される。マイクロレンズ MR は、第 1 ピクセル PX1 内に配置された光電変換素子 PD に対応するように配置される。カラーフィルター膜 540 及びパッド 520 は、マイクロレンズ MR によって露出される。

【0045】

図 6 は、本発明の一実施形態によるイメージセンサーの他の例を示す図であって、図 4 の I - I' 及び II - II' 線に沿って切断した断面図である。

10

【0046】

図 6 を参照すると、遮光構造体 410A が、半導体層 100 の第 2 領域 4 上に配置される。例えば、遮光構造体 410A は、半導体層 100 の第 2 領域 4 の第 2 面 1b 上に提供された反射防止膜 300 上に配置される。遮光構造体 410A は、第 2 ピクセル PX2 内に配置された光電変換素子 PD を覆う。遮光構造体 410A は、反射防止膜 300 上に順に積層された遮光パターン 410、第 1 パターン 401、及び第 2 パターン 403 を含む。半導体層 100 の第 1 領域 2 上に配置された第 1 パターン 401 は、第 2 領域 4 上に延長される。第 1 パターン 401 は、遮光パターン 410 の側面 411 及び上面 410a を覆う。第 1 パターン 401 は、遮光パターン 410 に接触及び連結される。半導体層 100 の第 2 領域 4 上で、第 1 パターン 401 上に配置された第 2 パターン 403 は、第 1 パターン 401 に沿って半導体層 100 の第 2 領域 4 上に延長される。第 2 パターン 403 は、半導体層 100 の第 2 領域 4 上に配置された第 1 パターン 401 の側面及び上面を覆う。一実施形態において、グリッドパターン 400 の第 3 厚さ T3 は、遮光構造体 410A の第 4 厚さ T4 よりも小さい ($T3 < T4$)。半導体層 100 の第 2 面 1b からグリッドパターン 400 の上面は、半導体層 100 の第 2 面 1b から遮光構造体 410A の上面よりも低いレベルに位置する。パッド 520 は、遮光構造体 410A、カラーフィルター膜 540、及びマイクロレンズ MR によって露出される。パッド 520 の各々の第 5 厚さ T5 は、グリッドパターン 400 の第 3 厚さ T3 及び遮光構造体 410A の第 4 厚さ T4 よりも小さい ($T5 < T3, T4$)。パッド 520 の第 5 厚さ T5 は、遮光パターン 410 の第 2 厚さ T2 と実質的に同一である。

20

30

【0047】

図 7 は、本発明の一実施形態によるイメージセンサーのさらに他の例を示す図であって、図 4 の I - I' 及び II - II' 線に沿って切断した断面図である。

【0048】

図 7 を参照すると、第 1 素子分離膜 DTI1 が、半導体層 100 内で半導体層 100 の第 2 面 1b から第 1 面 1a に向かって延長される。第 1 素子分離膜 DTI1 は、配線構造体 200 の最下層の層間絶縁膜 201a から離隔される。例えば、第 1 素子分離膜 DTI1 の第 2 面は、半導体層 100 の第 2 面 1b と共面を有し、第 1 素子分離膜 DTI1 の第 1 面は半導体層 100 の第 1 面 1a と共面を有しない。例えば、第 1 素子分離膜 DTI1 の第 1 面は、半導体層 100 の第 1 面 1a と第 2 面 1b との間のレベルに位置する。

40

【0049】

図 8 は、本発明の一実施形態によるイメージセンサーのその他の例を示す図であって、図 4 の I - I' 及び II - II' 線に沿って切断した断面図である。

【0050】

図 8 を参照すると、第 1 光電変換素子 PD1 及び第 2 光電変換素子 PD2 が、第 1 ピクセル PX1 及び第 2 ピクセル PX2 の各々内に配置される。即ち、1つのピクセル内に一対の第 1 光電変換素子 PD1 及び第 2 光電変換素子 PD2 が配置される。第 2 素子分離膜 DTI2 が、第 1 ピクセル PX1 及び第 2 ピクセル PX2 の各々内に配置される。各第 2 素子分離膜 DTI2 は、1つのピクセル内に配置された一対の第 1 光電変換素子 PD1 と

50

第2光電変換素子PD2との間に配置されて、これらの間を物理的に分離する。一実施形態において、第2素子分離膜DTI2は、第1素子分離膜DTI1に連結される。他の実施形態において、第2素子分離膜DTI2は、第1素子分離膜DTI1から離隔される。第2素子分離膜DTI2は、半導体層100の第2面1bから第1面1aに向かって延長される。第2素子分離膜DTI2は、半導体層100の第2面1bに接触し、第1面1aから離隔される。例えば、第2素子分離膜DTI2の第1面(図8に図示された下面)のレベルは、半導体層100の第1面1aと第2面1bとの間のレベルに位置する。第2素子分離膜DTI2の第2面(図8に図示された上面)は、半導体層100の第2面1bと共面を有する。第2素子分離膜DTI2は、例えば、シリコン酸化膜、シリコン窒化膜、及び誘電膜(AlO_2 、 HfO_2)の中の少なくとも1つを含む。

10

【0051】

図9は、本発明の他の実施形態によるイメージセンサーを示す断面図である。

【0052】

図9を参照すると、一对の第1浮遊拡散領域FD1及び第2浮遊拡散領域FD2が、半導体層100内に配置される。一実施形態において、一对の第1浮遊拡散領域FD1及び第2浮遊拡散領域FD2は、半導体層100の第1ピクセルPX1(図5参照)及び第2ピクセルPX2(図5参照)の各々内に配置される。第1浮遊拡散領域FD1及び第2浮遊拡散領域FD2は、半導体層100の第1面1aに隣接するように配置される。第2浮遊拡散領域FD2は、トランスファークロウT Gの一側の半導体層100内に配置される。一実施形態において、図9に示すトランスファークロウT Gの一部は、図5に示すトランスファークロウT Gとは異なり、半導体層100内に埋め込まれる。貫通電極構造体TESが、第1素子分離膜DTI1を貫通する。貫通電極構造体TESは、半導体層100内に配置される。貫通電極構造体TESの各々は、第1ピクセルPX1及び第2ピクセルPX2の各々に対応するように提供される。貫通電極構造体TESの各々は、貫通電極701及び貫通絶縁パターン703を含む。貫通絶縁パターン703は、貫通電極701の側壁を囲む。貫通絶縁パターン703は、例えば、シリコン酸化物、シリコン窒化物、及び/又はシリコン酸窒化物を含む。貫通電極701は、例えば、n型又はp型不純物でドーピングされたポリシリコンを含む。

20

【0053】

埋め込み絶縁パターン705が、貫通電極構造体TESの各々と半導体層100の第1面1aとの間に配置される。埋め込み絶縁パターン705の一面は、半導体層100の第1面1a(図9に図示された下面)と共面を有する。埋め込み絶縁パターン705は、例えば、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜の中の少なくとも1つを含む。

30

【0054】

配線構造体200が、半導体層100の第1面1a上に配置される。配線構造体200は、複数の層間絶縁膜201、連結配線210、第1連結ビア211、及び第2連結ビア213を含む。第1連結ビア211は、層間絶縁膜201の中の少なくとも1つを貫通して第1浮遊拡散領域FD1に連結される。第2連結ビア213は、層間絶縁膜201の中の少なくとも1つ及び埋め込み絶縁パターン705を貫通して貫通電極構造体TESの貫通電極701に連結される。連結配線210は、層間絶縁膜201の中の少なくとも1つ内に配置され、第1連結ビア211と第2連結ビア213との間を連結する。連結配線210、第1連結ビア211、及び第2連結ビア213は、金属物質(例えば、タンゲステン、銅、アルミニウム)及び金属窒化膜(例えば、タンタル窒化物、チタニウム窒化物、タンゲステン窒化物)の中の少なくとも1つを含み得る。

40

【0055】

グリッドパターン400が、半導体層100の第2面1b上に配置される。グリッドパターン400は、第1素子分離膜DTI1及び貫通電極構造体TES上に配置される。グリッドパターン400は、遮光パターン(図5の410参照)に連結される。絶縁膜709が、カラーフィルター530上に配置される。絶縁膜709は、カラーフィルター53

50

0の上面を覆う。絶縁膜709は、例えば、シリコン酸化膜、シリコン窒化膜、又はシリコン酸化窒化膜を含む。

【0056】

コンタクトプラグ構造体710が、貫通電極構造体TES上に配置される。コンタクトプラグ構造体710は、反射防止膜300、グリッドパターン400、カラーフィルター530、及び絶縁膜709を貫通する。コンタクトプラグ構造体710は、貫通電極構造体TESに連結される。コンタクトプラグ構造体710の各々は、コンタクトプラグ713及びスペーサー711を含む。コンタクトプラグ713は、反射防止膜300、グリッドパターン400、カラーフィルター530、及び絶縁膜709を貫通する。スペーサー711は、コンタクトプラグ713の側壁を囲む。コンタクトプラグ713は、金属物質（例えば、タングステン）を含む。スペーサー711は、絶縁物質（例えば、シリコン酸化膜、シリコン窒化膜）を含む。

10

【0057】

下部電極720が、絶縁膜709上に配置される。下部電極720は、光電変換素子PDと対応するように配置される。下部電極720は、互いに離隔して配置される。コンタクトプラグ構造体710の各々は、下部電極720の各々に対応するように配置され、互いに電氣的に連結される。下部電極720は、透明導電性物質を含む。例えば、下部電極720は、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、ZnO (Zinc Oxide)、及び/又は有機透明導電物質を含む。

【0058】

光電変換層PDLが、下部電極720上に配置される。一実施形態において、光電変換層PDLは、有機光電変換層を含む。有機光電変換層は、p型有機半導体物質及びn型有機半導体物質を含み、p型有機半導体物質とn型有機半導体物質とはpn接合を形成する。一例において、光電変換層PDLは、量子ドット (quantum dot) 又はカルコゲナイド (chalcogenide) を含む。

20

【0059】

上部電極730が、光電変換層PDL上に配置される。上部電極730は、透明導電性物質を含む。例えば、上部電極730は、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、ZnO (Zinc Oxide)、及び/又は有機透明導電物質を含む。

30

【0060】

キャッピング層740が、上部電極730上に配置される。キャッピング層740は、絶縁物質を含む。例えば、キャッピング層740は、アルミニウム酸化物、シリコン酸化物、シリコン窒化物、及び/又はシリコン酸窒化物を含む。

【0061】

マイクロレンズMRが、キャッピング層740上に配置される。

【0062】

図10は、本発明の他の実施形態によるイメージセンサーを示す平面図である。

【0063】

図10を参照すると、グリッドパターン400は、外側セグメントUP、第1部分P1、及び第2部分P2を含む。外側セグメントUPは、一対の第3部分P3及び一対の第4部分P4を含む。一対の第3部分P3は第2方向Yに延長され、第1方向Xに離隔配置される。一対の第4部分P4は第1方向Xに延長され、第2方向Yに離隔配置される。一対の第3部分P3の端部と一対の第4部分P4の端部とは互いに連結される。したがって、外側セグメントUPは、四角形のリング形状を有する。第1部分P1及び第2部分P2は、外側セグメントUP内に配置される。第1部分P1は、第1方向Xに延長され、第2方向Yに離隔配置される。第2部分P2は、第2方向Yに延長され、第1方向Xに離隔配置される。第1部分P1及び第2部分P2は、外側セグメントUPに連結される。遮光パターン410は、グリッドパターン400の外側セグメントUPの外側壁を囲む。

40

【0064】

50

図 1 1 A ~ 図 1 1 D は、本発明の一実施形態によるイメージセンサーの製造方法を示す図であって、図 4 の I - I ' 及び I I - I I ' 線に沿って切断した断面図である。

【 0 0 6 5 】

図 1 1 A を参照すると、半導体層 1 0 0 が提供される。半導体層 1 0 0 は、互いに対向する第 1 面 1 a 及び第 2 面 1 b を含む。半導体層 1 0 0 は、第 1 領域 2、第 2 領域 4、及び第 3 領域 6 を含む。光電変換素子 P D が、半導体層 1 0 0 の第 1 領域 2 及び第 2 領域 4 内に形成される。光電変換素子 P D は、半導体層 1 0 0 の第 1 面 1 a を通じてイオン注入工程を行って形成される。光電変換素子 P D は、例えば、n 型不純物をドーピングして形成される。

【 0 0 6 6 】

配線構造体 2 0 0 が、半導体層 1 0 0 の第 1 面 1 a 上に形成される。配線構造体 2 0 0 は、トランスファークゲート T G、層間絶縁膜 (2 0 1、2 0 1 a)、第 1 配線 2 0 3、第 2 配線 2 0 5、ビア 2 0 7、及び配線絶縁膜 2 0 9 を含む。トランスファークゲート T G は、半導体層 1 0 0 の第 1 領域 2 及び第 2 領域 4 の第 1 面 1 a 上に形成される。配線絶縁膜 2 0 9 は、半導体層 1 0 0 の第 3 領域 6 の第 1 面 1 a 上に形成される。層間絶縁膜 (2 0 1、2 0 1 a) は、半導体層 1 0 0 の第 1 面 1 a 上に順に形成される。層間絶縁膜 (2 0 1、2 0 1 a) の中で最下層の層間絶縁膜 2 0 1 a は、トランスファークゲート T G 及び配線絶縁膜 2 0 9 を覆う。第 1 配線 2 0 3 及び第 2 配線 2 0 5 が、層間絶縁膜 (2 0 1、2 0 1 a) 内に配置される。第 1 配線 2 0 3 は、半導体層 1 0 0 の第 1 領域 2 及び第 2 領域 4 上に配置される。第 2 配線 2 0 5 は、半導体層 1 0 0 の第 3 領域 6 上に配置される。第 1 配線 2 0 3 及び第 2 配線 2 0 5 は、層間絶縁膜 (2 0 1、2 0 1 a) によって覆われる。ビア 2 0 7 が、層間絶縁膜 (2 0 1、2 0 1 a) 内に形成される。ビア 2 0 7 は、半導体層 1 0 0 の第 3 領域 6 上に配置される。ビア 2 0 7 は、第 2 配線 2 0 5 の間を連結する。

【 0 0 6 7 】

第 1 素子分離膜 D T I 1 が、半導体層 1 0 0 の第 1 領域 2 及び第 2 領域 4 内に形成される。第 1 素子分離膜 D T I 1 は、半導体層 1 0 0 を蝕刻して第 1 トレンチ T H 1 を形成し、第 1 トレンチ T H 1 内に絶縁物質及び / 又は導電物質を満たして形成される。一実施形態において、図 1 1 A に示すように、第 1 トレンチ T H 1 は、半導体層 1 0 0 の第 2 面 1 b から蝕刻されて形成される。他の実施形態において、第 1 トレンチ T H 1 は、配線構造体 2 0 0 を形成する前に、半導体層 1 0 0 の第 1 面 1 a から蝕刻されて形成され得る。第 1 素子分離膜 D T I 1 は、半導体層 1 0 0 の第 1 領域 2 及び第 2 領域 4 内で半導体層 1 0 0 の第 1 ピクセル P X 1 及び第 2 ピクセル P X 2 を定義する。第 1 ピクセル P X 1 は、半導体層 1 0 0 の第 1 領域 2 内に提供され、第 2 ピクセル P X 2 は、半導体層 1 0 0 の第 2 領域 4 内に提供される。光電変換素子 P D が第 1 ピクセル P X 1 及び第 2 ピクセル P X 2 内に配置される。

【 0 0 6 8 】

図 1 1 B を参照すると、保護分離膜 S L が、半導体層 1 0 0 の第 3 領域 6 内に形成される。保護分離膜 S L は、半導体層 1 0 0 の第 3 領域 6 内に第 2 トレンチ T H 2 を形成し、第 2 トレンチ T H 2 内に絶縁物質を満たして形成される。一実施形態において、第 2 トレンチ T H 2 は、半導体層 1 0 0 の第 3 領域 6 を貫通して形成される。保護分離膜 S L は、半導体層 1 0 0 の第 3 領域 6 内で貫通ビア領域 T V R を定義する。

【 0 0 6 9 】

反射防止膜 3 0 0 が、半導体層 1 0 0 の第 2 面 1 b 上に形成される。反射防止膜 3 0 0 は、半導体層 1 0 0 の第 2 面 1 b 及び半導体層 1 0 0 の第 2 面 1 b に露出された第 1 素子分離膜 D T I 1 の第 2 面 (図 1 1 B に図示された上面) 及び保護分離膜 S L の第 2 面 (図 1 1 B に図示された上面) を覆う。図 1 1 B に図示しないが、反射防止膜 3 0 0 は、第 2 トレンチ T H 2 内を満たす。ビアホール V H が、半導体層 1 0 0 の第 3 領域 6 内に形成される。例えば、ビアホール V H は、半導体層 1 0 0 の貫通ビア領域 T V R 内に形成される。ビアホール V H は、反射防止膜 3 0 0、半導体層 1 0 0、及び配線絶縁膜 2 0 9 を貫通して第 2 配線 2 0 5 の中のいずれか 1 つを露出させる。

10

20

30

40

50

【 0 0 7 0 】

遮光膜 6 0 1 が、半導体層 1 0 0 の第 2 面 1 b 上に形成される。遮光膜 6 0 1 は、半導体層 1 0 0 の第 1 領域 ~ 第 3 領域 (2 、 4 、 6) 上に形成される。遮光膜 6 0 1 は、反射防止膜 3 0 0 の上面を覆い、ビアホール V H 内を満たす。遮光膜 6 0 1 は、約 1 5 0 0 ~ 約 5 0 0 0 の厚さを有するように形成される。遮光膜 6 0 1 は、金属物質 (例えば、タングステン (W)) を含み得る。第 1 マスクパターン 6 0 3 が、遮光膜 6 0 1 上に形成される。第 1 マスクパターン 6 0 3 は、半導体層 1 0 0 の第 2 領域 4 及び第 3 領域 6 上に形成される。一例として、第 1 マスクパターン 6 0 3 は、半導体層 1 0 0 の第 1 領域 2 上に形成された遮光膜 6 0 1 及び半導体層 1 0 0 の第 3 領域 6 上に形成された遮光膜 6 0 1 の一部分を露出させる。第 1 マスクパターン 6 0 3 は、例えば、フォトレジスト物質を含む。

10

【 0 0 7 1 】

図 1 1 C を参照すると、第 1 マスクパターン 6 0 3 を蝕刻マスクに使用して遮光膜 6 0 1 を蝕刻する。したがって、遮光パターン 4 1 0 が半導体層 1 0 0 の第 2 領域 4 上に形成され、パッド 5 2 0 及び貫通ビア 5 1 0 が、半導体層 1 0 0 の第 3 領域 6 上に形成される。遮光パターン 4 1 0 は、半導体層 1 0 0 の第 1 領域 2 上に形成された反射防止膜 3 0 0 の上面を露出させる。遮光パターン 4 1 0 は、半導体層 1 0 0 の第 2 領域 4 上に形成された反射防止膜 3 0 0 の上面を覆う。貫通ビア 5 1 0 はビアホール V H 内に形成され、パッド 5 2 0 は貫通ビア 5 1 0 上に形成される。一実施形態において、パッド 5 2 0 は互いに離隔配置されて形成され、パッド 5 2 0 の中の少なくとも 1 つと遮光パターン 4 1 0 とは互いに連結される。他の実施形態において、パッド 5 2 0 は互いに離隔配置されて形成され、パッド 5 2 0 と遮光パターン 4 1 0 とは互いに連結されない。蝕刻工程は乾式蝕刻工程が遂行される。蝕刻工程の後に残った第 1 マスクパターン 6 0 3 は除去される。第 1 マスクパターン 6 0 3 はアッシング工程又はストリップ工程を遂行して除去される。

20

【 0 0 7 2 】

フィルム膜 6 0 5 が、半導体層 1 0 0 の第 2 面 1 b 上に形成される。フィルム膜 6 0 5 は、半導体層 1 0 0 の第 1 領域 2 上に形成された反射防止膜 3 0 0 の上面、半導体層 1 0 0 の第 2 領域 4 上に形成された遮光パターン 4 1 0 の上面及び側面、及び半導体層 1 0 0 の第 3 領域 6 上に形成されたパッド 5 2 0 の上面及び側面を覆う。フィルム膜 6 0 5 は、遮光パターン 4 1 0 の厚さよりも薄い厚さを有するように形成される。フィルム膜 6 0 5 は、例えば、約 1 0 0 ~ 約 1 5 0 0 の厚さを有するように形成される。フィルム膜 6 0 5 は、例えば、チタニウム (T i) 、チタニウム窒化物 (T i N) 、タングステン (W) 、アルミニウム (A l) 、及び銅 (C u) の中の少なくとも 1 つを含む。低屈折膜 6 0 7 が、フィルム膜 6 0 5 上に形成される。低屈折膜 6 0 7 はフィルム膜 6 0 5 の上面及び側面を覆う。低屈折膜 6 0 7 は、例えば、約 1 . 4 以下の屈折率を有する低屈折物質を含む。

30

【 0 0 7 3 】

第 2 マスクパターン 6 0 9 が、低屈折膜 6 0 7 上に形成される。第 2 マスクパターン 6 0 9 は、半導体層 1 0 0 の第 1 領域 2 及び第 2 領域 4 上に形成される。第 2 マスクパターン 6 0 9 は、半導体層 1 0 0 の第 1 領域 2 内に形成された第 1 素子分離膜 D T I 1 に重畳するように形成される。第 2 マスクパターン 6 0 9 は、半導体層 1 0 0 の第 1 領域 2 内に形成された第 1 素子分離膜 D T I 1 に沿って形成される。一実施形態において、第 2 マスクパターン 6 0 9 によって半導体層 1 0 0 の第 1 領域 2 上に形成された低屈折膜 6 0 7 の一部分、半導体層 1 0 0 の第 2 領域 4 上に形成された低屈折膜 6 0 7 の一部分、及び半導体層 1 0 0 の第 3 領域 6 上に形成された低屈折膜 6 0 7 の全体が露出される。他の実施形態において、第 2 マスクパターン 6 0 9 によって半導体層 1 0 0 の第 1 領域 2 上に形成された低屈折膜 6 0 7 の一部分及び半導体層 1 0 0 の第 3 領域 6 上に形成された低屈折膜 6 0 7 の全体が露出される。即ち、第 2 マスクパターン 6 0 9 は、半導体層 1 0 0 の第 2 領域 4 上に形成された低屈折膜 6 0 7 の上面全体を覆う。第 2 マスクパターン 6 0 9 は、例えば、フォトレジスト物質を含む。

40

50

【 0 0 7 4 】

図 1 1 D を参照すると、第 2 マスクパターン 6 0 9 を蝕刻マスクに使用して低屈折膜 6 0 7 及びフィルム膜 6 0 5 を蝕刻する。したがって、グリッドパターン 4 0 0 が半導体層 1 0 0 の第 1 領域 2 上に形成される。グリッドパターン 4 0 0 は、半導体層 1 0 0 の第 1 領域 2 上に形成された第 1 素子分離膜 D T I 1 に重畳するように形成される。グリッドパターン 4 0 0 は、第 1 ピクセル P X 1 内に形成された光電変換素子 P D を露出させる。グリッドパターン 4 0 0 は、半導体層 1 0 0 の第 1 領域 2 に隣接する遮光パターン 4 1 0 の側面及び上面の一部分を覆う。グリッドパターン 4 0 0 は、第 1 パターン 4 0 1 及び第 2 パターン 4 0 3 を含む。第 1 パターン 4 0 1 はフィルム膜 6 0 5 がパターンニングされて形成されたものであり、第 2 パターン 4 0 3 は低屈折膜 6 0 7 がパターンニングされて形成されたものである。第 1 パターン 4 0 1 は、遮光パターン 4 1 0 の側面及び上面の一部分を覆う。パッド 5 2 0 の上面はグリッドパターン 4 0 0 によって露出される。蝕刻工程は乾式蝕刻工程が遂行される。蝕刻工程の後に残った第 2 マスクパターン 6 0 9 は除去される。第 2 マスクパターン 6 0 9 は、アッシング工程又はストリップ工程を遂行して除去される。

10

【 0 0 7 5 】

再び図 5 を参照すると、カラーフィルター 5 3 0 が、半導体層 1 0 0 の第 2 面 1 b 上に形成される。カラーフィルター 5 3 0 は、第 1 ピクセル P X 1 内に形成された光電変換素子 P D に対応するように形成される。カラーフィルター膜 5 4 0 が、半導体層 1 0 0 の第 2 面 1 b 上に形成される。カラーフィルター膜 5 4 0 は、半導体層 1 0 0 の第 2 領域 4 上に形成されて遮光パターン 4 1 0 を覆う。カラーフィルター 5 3 0 及びカラーフィルター膜 5 4 0 は、半導体層 1 0 0 の第 3 領域 6 上に形成されたパッド 5 2 0 を露出させる。マイクロレンズ M R がカラーフィルター 5 3 0 上に形成される。

20

【 0 0 7 6 】

以上、図面を参照しながら本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は、本発明の技術的思想や必須の特徴を変形せずに、他の具体的な形態で実施可能である。したがって、以上に記載した実施形態はすべての面で例示的なものであり、限定的なものではない。

【 符号の説明 】

【 0 0 7 7 】

- 1 0 アクティブピクセルセンサー (A P S) アレイ
- 2 0 行デコーダー
- 3 0 行ドライバー
- 4 0 列デコーダー
- 5 0 タイミング発生器
- 6 0 相関二重サンプラー (C D S)
- 7 0 アナログデジタルコンバーター (A D C)
- 8 0 入出力バッファ
- 1 0 0 半導体層
- 2 0 0 配線構造体
- 2 0 1、2 0 1 a 層間絶縁膜
- 2 0 3 第 1 配線
- 2 0 5 第 2 配線
- 2 0 7 ビア
- 2 0 9 配線絶縁膜
- 2 1 0 連結配線
- 2 1 1 第 1 連結ビア
- 2 1 3 第 2 連結ビア
- 3 0 0 反射防止膜
- 4 0 0 グリッドパターン

30

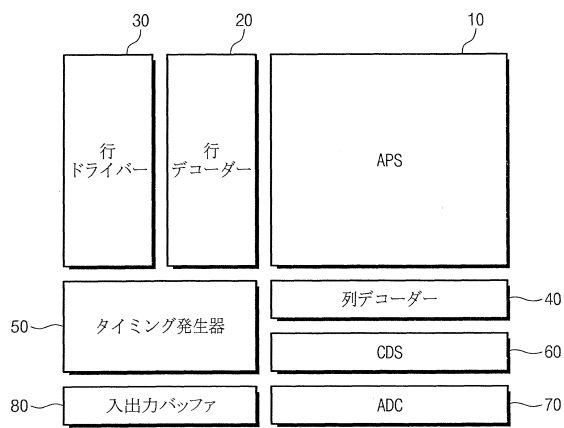
40

50

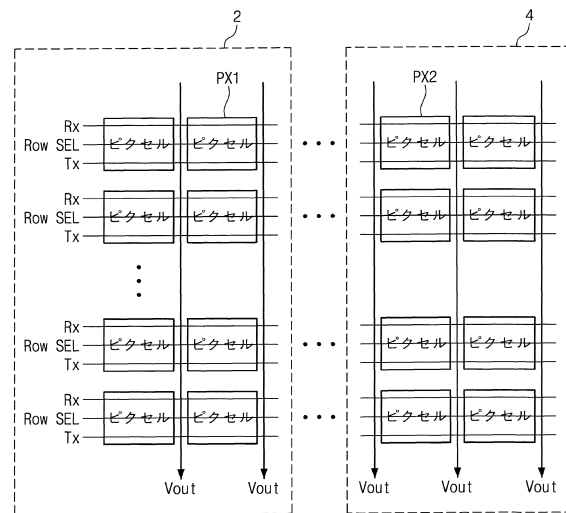
4 0 1	第 1 (グリッド) パターン	
4 0 3	第 2 (グリッド) パターン	
4 1 0	遮光パターン	
4 1 0 a	上面	
4 1 0 A	遮光構造体	
4 1 1	側面	
5 1 0	貫通ビア	
5 2 0	パッド	
5 2 1	連結パターン	
5 3 0	カラーフィルター	10
5 4 0	カラーフィルター膜	
6 0 1	遮光膜	
6 0 3	第 1 マスクパターン	
6 0 5	フィルム膜	
6 0 7	低屈折膜	
6 0 9	第 2 マスクパターン	
7 0 1	貫通電極	
7 0 3	貫通絶縁パターン	
7 0 5	埋め込み絶縁パターン	
7 0 9	絶縁膜	20
7 1 0	コンタクトプラグ構造体	
7 1 1	スペーサー	
7 1 3	コンタクトプラグ	
7 2 0	下部電極	
7 3 0	上部電極	
7 4 0	キャッピング層	
D T I 1、D T I 2	第 1 素子分離膜	
F D 1、F D 2	(第 1、第 2) 浮遊拡散領域	
M R	マイクロレンズ	
P 1、P 2、P 3、P 4	(第 1、第 2、第 3、第 4) 部分	30
P D	光電変換素子	
P D 1、P D 2	(第 1、第 2) 光電変換素子	
S L	保護分離膜	
T E S	貫通電極構造体	
T G	トランスファーゲート	
T H 1、T H 2	(第 1、第 2) トレンチ	
T V R	貫通ビア領域	
U P	外側セグメント	
V H	ビアホール	40

【図面】

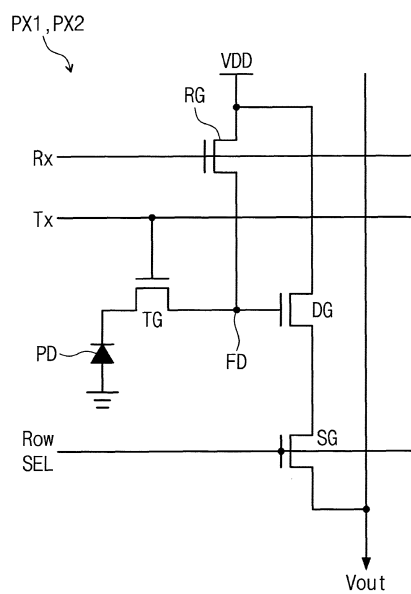
【 図 1 】



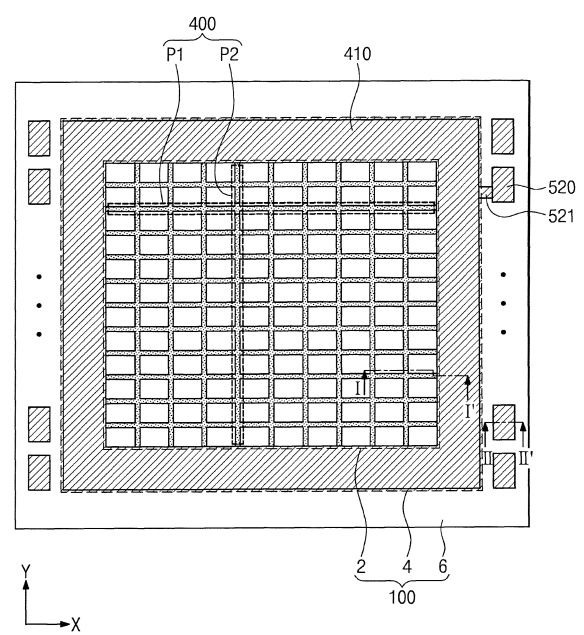
【圖 2】



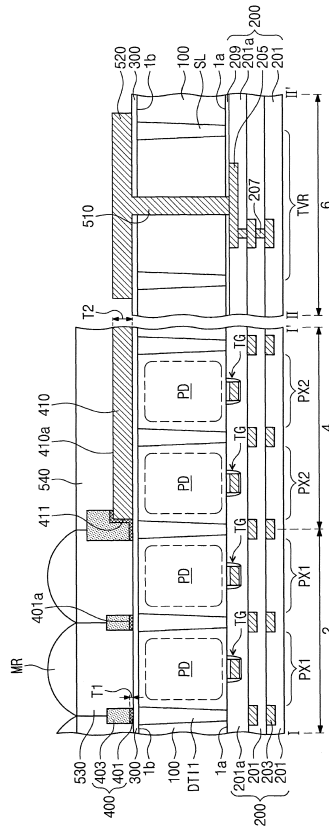
【 図 3 】



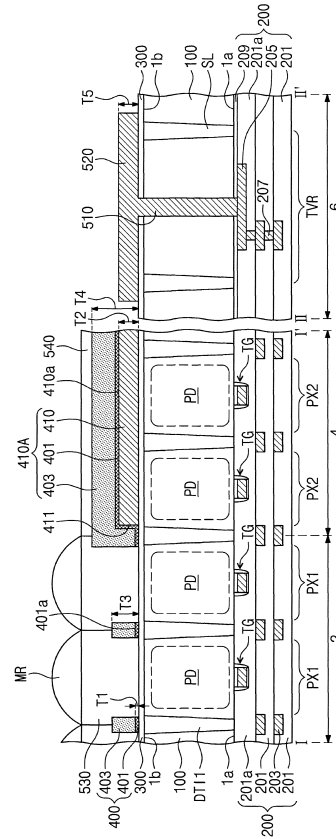
【 図 4 】



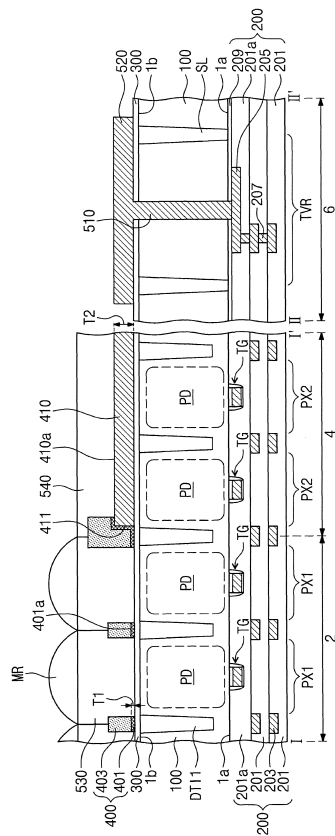
【 図 5 】



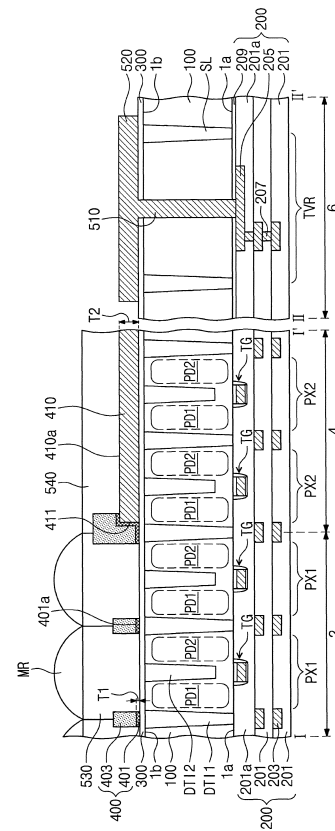
【 図 6 】



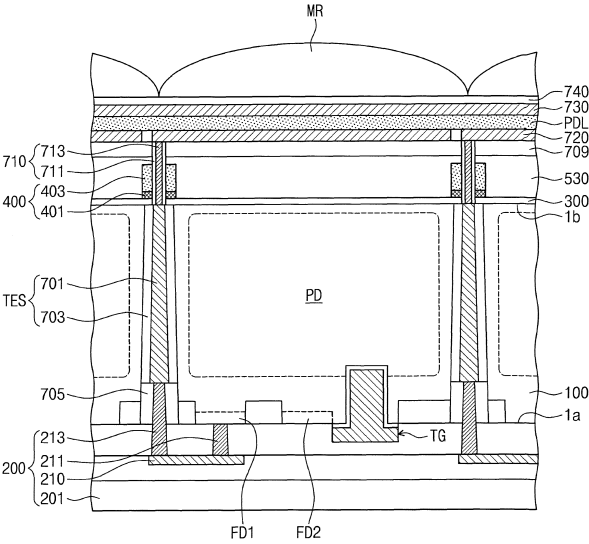
【 圖 7 】



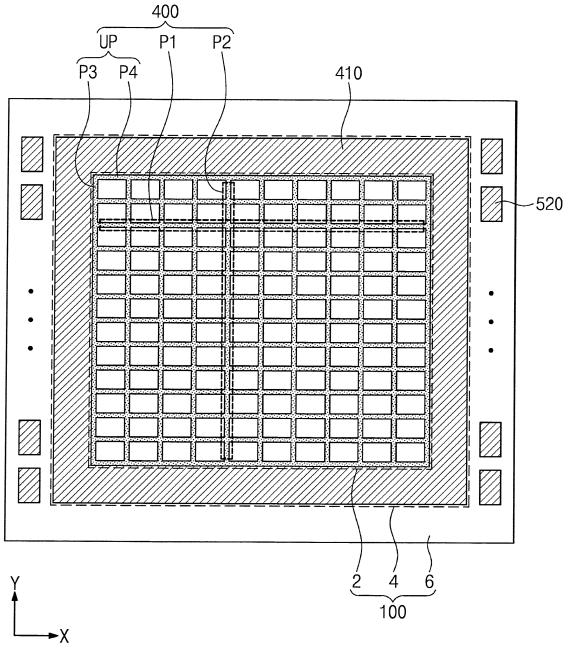
【 図 8 】



【図 9】



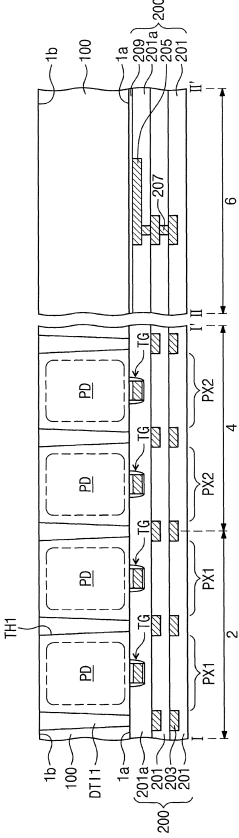
【図 10】



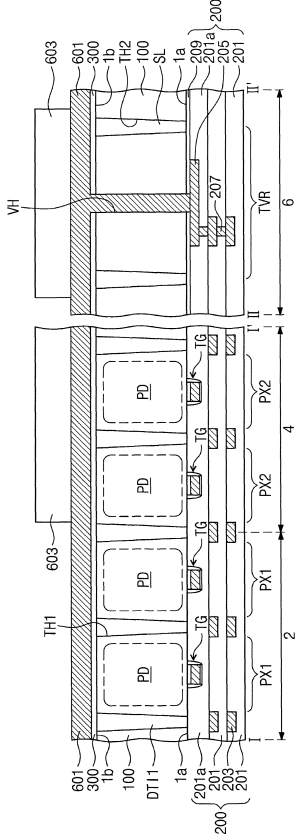
10

20

【図 11A】



【図 11B】

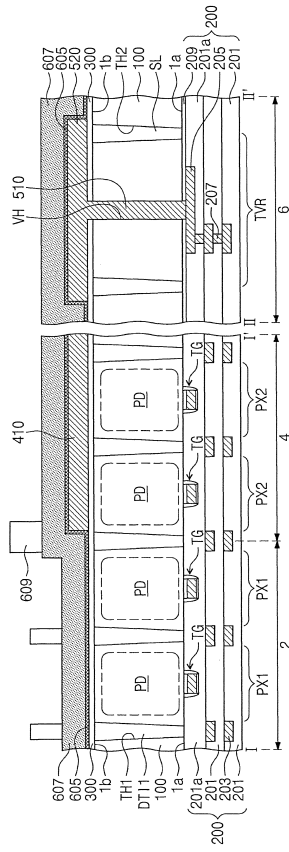


30

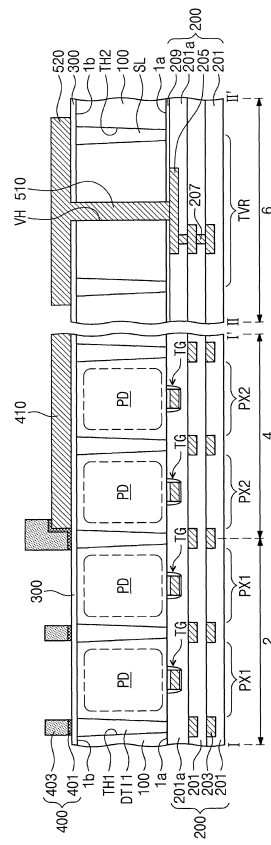
40

50

【 図 1 1 C 】



【 図 1 1 D 】



10

20

30

40

50

フロントページの続き

- ロ , 1 2 9
- (72)発明者 金 正 生
大韓民国 , 1 6 6 7 7 , ギョンギ - ド , スウォン - シ , ヨントン - グ , サムスン - ロ , 1 2 9
- (72)発明者 俞 鉉 根
大韓民国 , 1 6 6 7 7 , ギョンギ - ド , スウォン - シ , ヨントン - グ , サムスン - ロ , 1 2 9
- 審査官 柴山 将隆
- (56)参考文献 米国特許出願公開第 2 0 1 5 / 0 2 6 4 2 3 3 (U S , A 1)
特開 2 0 1 0 - 1 0 9 2 9 5 (J P , A)
国際公開第 2 0 1 6 / 1 0 3 9 3 6 (W O , A 1)
特開 2 0 1 6 - 0 9 6 3 2 3 (J P , A)
特開 2 0 1 3 - 1 7 5 4 9 4 (J P , A)
特開 2 0 1 8 - 0 1 9 1 3 9 (J P , A)
特開 2 0 1 2 - 0 8 4 6 9 3 (J P , A)
特開 2 0 1 7 - 0 3 4 4 9 9 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 7 / 1 4 6
H 0 4 N 2 5 / 7 0
H 0 4 N 2 5 / 7 6