(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/033

(45) 공고일자 2004년03월27일
(11) 등록번호 10-0424533
(24) 등록일자 2004년03월15일

(21) 출원번호 10-2000-7001831
(22) 출원일자 2000년02월22일
번역문 제출일자 2000년02월22일
(86) 국제출원번호 PCT/US1998/017267
(86) 국제출원출원일자 1998년08월20일
(65) 공개번호 10-2001-0023202
(43) 공개일자 2001년03월26일
(87) 국제공개번호 WO 1999/10918
(87) 국제공개일자 1999년03월04일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 크로아티아, 인도네시아, 시에라리온, 유고슬라비아, 짐바브웨,

AP ARIPO특허 : 레소토, 말라위, 수단, 스와질랜드, 우간다, 케냐, 가나, 감비아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쏘,

(30) 우선권주장 08/916,276 1997년08월22일 미국(US)

(73) 특허권자
마이크론 테크놀로지 인코포레이티드
미국, 아이다호 83706-9632, 보이즈, 사우스 패더럴 웨이 8000

(72) 발명자
이어,라비
미국83716아이다호보이즈사우쓰푸치샤5600

맥도날드,스티븐,엠.
미국83642-5313아이다호메리디안노쓰맥더밋4455

글라스,토마스,알.
미국83631아이다호아이다호시티피.오.박스에이비

이인,지핑
미국83706아이다호보이즈이스트말라드드라이브113아파트먼트#282

(74) 대리인 남상선

심사관 : 고준호

# (54) 반사방지 코팅을 사용하는 절연

## 요약

집적회로의 제조에 사용하기 위한 산화 확산 배리어 스택을 형성하는 방법은 반도체 기판 조립체(300)상에 무기 반사방지 재료를 형성하고 무기 반사방지 재료층상에 산화 확산 배리어층이 형성되는 단계를 포함한다. 이러한 스택을 형성하는 다른 방법은 패드 산화물층 상에 무기 반사방지 재료층이 형성되고 반사방지 재료층 상에 산화 확산 배리어층이 형성되어 있는 반도체 기판 조립체상에 패드 산화물층을 형성하는 단계를 포함한다. 스택을 형성하는 다른 방법은 반도체 기판 조립체상에 패드 산화물층을 형성하는 단계를 포함한다. 제 1 산화 확산 배리어층은 패드 산화물층상에 형성되고, 무기 반사방지 재료층은 제 1 산화 확산 배리어층상에 형성되며, 제 2 산화 확산 배리어층은 무기 반사방지 재료층상에 형성된다. 반사방지 재료층은 실리콘, 질화물, 실리콘 산화물 및 실리콘 질산화물로 이루어진 그룹으로부터 선택된 재료층을 포함하며, 실리콘-풍부층을 더 포함할 수 있다. 산화 확산 배리어 스택은 집적회로에서 절연을 위한 필드 영역의 산화를 위해 사용될 수 있다. 더욱이, 여러가지 산화 확산 배리어 스택이 개시되어 있다.

## 대표도

도 1f

## 명세서

### 기술분야

본 발명은 집적 회로 제조에 관한 것이다. 특히, 본 발명은 절연 프로세스동안 반사방지층의 사용에 관한 것이다.

### 배경기술

반도체 집적 회로(IC)의 제조시 가장 중요한 공정중 하나는 포토리소그래피이다. 광학적 포토리소그래피는 반도체 기판 어셈블리의 하부에 위치하는 층에 의해 지지되는 포토레지스트층내 광학적 마스크로부터 이미지를 재생하는 것을 포함한다. 포토리소그래피는 IC 제조시 가장 복잡하고 중요한 공정중 하나이다. 포토레지스트내에 정확한 이미지를 전사하는 능력은 증가되는 소자 밀도에 대한 요구조건을 충족시키는데 중요하다.

포토리소그래피 공정에서, 가장 먼저 광학적 마스크가 방사선 소스와 하부에 위치하는 층상의 포토레지스트 사이에 위치한다. 방사선 소스는 예를 들면, 가시광선 또는 자외선일 수 있다. 다음으로, 이미지는 광학적 마스크를 통해 방사선에 포토레지스트를 노출시킴으로써 재생된다. 마스크의 일부는 불투명층 예를 들면, 크롬과 같은 불투명층을 포함하고, 이는 하부에 위치하는 포토레지스트의 노출을 방지한다. 마스크의 남겨진 부분은 투명하고, 하부에 위치하는 포토레지스트의 노출을 허용한다.

포토레지스트층 하부에 위치하는 층은 일반적으로 패터닝될 하나 이상의 개별층을 포함한다. 즉, 층이 패터닝될 때, 층으로부터의 재료가 선택적으로 제거된다. 재료의 패턴층의 능력은 IC가 제조될 수 있도록 한다. 다시 말해, 패터닝된 층은 IC의 개별 소자내 차단물로서 사용된다. 사용된 포토레지스트의 형태에 따라,(즉, 포지티브형인가 또는 네가티브형인가), 노출된 포토레지스트가 기판이 현상액과 접촉할 때 제거되거나 또는 노출된 포토레지스트가 현상액내의 용해에 더욱 저항을 가지게 된다. 따라서, 패터닝된 포토레지스트층은 하부에 위치하는 층상에 형성될 수 있다.

통상적인 광학적 포토리소그래피와 관련된 문제점중 하나는 마스크의 포토레지스트 하부에 위치하는 투명한 부분의 균일한 노출을 이루기 어렵다는 것이다. 최적의 결과를 얻기 위해 포토레지스트를 노출시키는 광강도를 균일하게 하는 것이 바람직하다.

충분한 두께의 포토레지스트층이 사용될 때, 포토레지스트는 하부 층의 표면에서 포토레지스트는 외부 표면에서 포토레지스트와 유사한 정도로 노출되도록 반드시 노출시에 부분적으로 투명해야한다(또는 투명하다). 하지만, 종종 포토레지스트를 투과하는 광이 기판 어셈블리의 하부에 위치하는 층의 표면으로부터 광원쪽으로 재반사된다. 광이 반사되는 각도는 하부에 위치하는 층의 표면의 토포그래피와 하부에 위치하는 층의 재료 형태에 의존한다. 반사된 광의 강도는 포토레지스트의 깊이에 따라 전적으로 또는 부분적으로 변화하고, 포토레지스트의 불균일 노출 및 바람직하지 않은 노출을 야기한다. 포토레지스트의 이러한 노출은 IC의 우수하지 못하게 제어된 형상부(예를 들면, 게이트, 금속선 등)를 야기할 수 있다.

포토레지스트층내 광의 가변 반사를 최소화하고자, 반사방지 코팅이 기판 어셈블리의 하부에 위치하는 층과 포토레지스트층 사이 또는 포토레지스트층과 방사선 소스 사이에서 사용된다. 이러한 반사방지 코팅은 표면 반사로부터 포

토레지스트 노출을 최소화하고, 포토레지스트층 전체에 대한 노출이 방사선 소스로부터 포토레지스트상에 입사하는 방사선으로부터 더욱 쉽게 제어될 수 있도록 한다.
전형적으로, 반사방지 코팅은 유기 재료이다. 하지만, 유기층은 포토리소그래피 단계가 수행된 이후 하부 층으로부터 유기 재료의 불충분한 제거로 인해 IC내에 입자 불순물을 야기할 수 있다. 이러한 입자 불순물은 잠재적으로 IC의 전기적 성능에 결함을 야기할 수 있다. 더욱이, 유기 재료가 형성되는 하부 층은 불균일하게 되는데, 이는 반사방지 코팅으로서 사용된 유기 재료의 상이한 두께, 예를 들면 더 두꺼운 유기 재료가 하부 층의 여러 위치에서 제공되는 것으로 인한 것이다. 이와 같이, 이러한 유기 재료를 제거하고자 할 때, 하부에 위치하는 층에 도달할 때 에칭이 정지된다면 몇몇 유기 재료가 남게된다. 에칭이 이러한 영역 또는 위치에서의 추가의 두께를 에칭하도록 허용된다면, 하부에 위치하는 층은 바람직하지 않게 에칭된다(예를 들면, 하부층의 펀치스루가 발생될 수 있다).
무기 반사방지층 또한 최근에 도입되었다. 예를 들면, 실리콘-풍부 실리콘 이산화물, 실리콘-풍부 질화물 및 실리콘-풍부 질산화물이 무기 반사방지층으로서 사용된다. 이러한 무기 반사방지층은 예를 들면, 금속선 및 폴리실리콘 게이트 패터닝시 사용된다.
패터닝된 포토레지스트층이 기판상에 형성된 이후, 전형적으로 많은 다른 공정이 IC 제조에서 수행된다. 예를 들면, 포토레지스트가 주입 단계 동안 주입 배리어와 같은 역할을 할 수 있다. 포토레지스트는 또한 기판 또는 내부의 개별층에서 에칭되는 영역(예를 들면, 접촉 홀)의 외주를 한정하는데 사용될 수 있다. 다시 한번, 포토레지스트는 에칭 단계 동안 배리어와 같은 역할을 한다.
하나의 공통의 포토리소스래피 공정은 패드 산화물층 상부에 패터닝된 포토레지스트층 및 지지 기판상에 실리콘 질화물층을 사용하는 것을 포함한다. 패드 산화물층은 인접하여 성장하는 산화물의 부피적 증가 및 다음 열적 산화동안 문제시되는 실리콘 웨이퍼와 실리콘 질화물층의 열적 팽창계수에 있어서의 큰 차이로 인해 응력 버퍼로서 사용된다. 패터닝된 포토레지스트층은 기판의 필드 영역에서 패드 산화물층과 실리콘 질화물층(예를 들면, LPCVD 실리콘 질화물)을 선택적으로 제거하는데 사용된다.
이러한 필드 영역이 패드 산화물층과 실리콘 질화물층의 남아있는 영역에 의해 한정된 이후, 패터닝된 포토레지스트가 제거된다. 다음으로, 예를 들면, 습식 산화 공정을 사용하여 기판의 필드 영역이 산화되어 필드 영역내에 필드 산화물을 형성한다. 실리콘 질화물층은 산소 확산에 대한 배리어와 같은 역할을 하고, 하부에 위치하는 활성 영역을 산화로부터 방지한다. 이러한 기술은 LOCOS(실리콘의 국부 산화) 공정으로서 공지되어 있다. 하지만, LOCOS 공정과 관련되어 발생하는 문제점중 하나는 활성 영역내 실리콘 질화물의 에지 아래에서 필드 산화물의 침식된다는 것이다. 이는 종종 '버즈 비크(bird's beak)' 현상이라 불린다. 소자 밀도가 증가됨에 따라, 버즈 비크 문제는 버즈 비크를 포함하는 활성 영역이 소자 제 조시 바람직하지 않기 때문에 더욱 문제가 된다.
다른 공지된 절연 기술은 트렌지 절연이다. 트렌치 절연시, 트렌치는 기판내에서 에칭되고 다음으로 증착된 산화물로 충전된다. 트렌지 절연은 기판내에 에칭되는 트렌치의 깊이에 따라 얕은 트렌지 절연(STI) 또는 깊은 트렌치 절연(DTI)로 불린다. 산화물이 증착되어 트렌치를 충전한 이후, 산화물이 기판내에서 에칭된 트렌치의 기판 외부 영역으로부터 제거되도록 패터닝된다. 통상적인 포토리소그래피가 산화물을 패터닝하는데 사용된다.

## 발명의 상세한 설명

우수하게-제어된 집적 회로용 절연 영역을 형성하는 방법이 필요하다. 이러한 프로세스가 더 잘 제어될 수 있는 방법은 사용되는 포토리소그래피 단계의 개선을 통해서이다. 예를 들면, 패터닝 단계에서 사용된 포토레지스트의 노출의 균일한 레벨을 얻는 것이 바람직하다. 본 발명은 무기 반사방지층을 사용하는 여러 방법과 구조물을 제공한다.
본 발명에 따라 집적회로 제조시 사용하기 위한 산화 확산 배리어 스택을 형성하는 방법은 반도체 기판 어셈블리를 제공하는 단계와 반도체 기판 어셈블리상에 무기 반사방지 재료층을 형성하는 단계를 포함한다. 다음으로, 산화 확산 배리어층이 무기 반사방지 재료층상에 형성된다.
본 발명에 따라 집적회로 제조시 사용하기 위한 산화 확산 배리어 스택을 형성하는 다른 방법은 반도체 기판 어셈블리를 제공하는 단계와 반도체 기판 어셈블리상에 패드 산화물층을 형성하는 단계를 포함한다. 다음으로, 무기 반사방지 재료층이 패드 산화물층상에 형성되고 산화 확산 배리어층이 반사방지 재료층상에 형성된다.
본 발명에 따라 집적회로 제조시 사용하기 위한 산화 확산 배리어 스택을 형성하는 또다른 방법은 반도체 기판 어셈블리를 제공하는 단계와 반도체 기판 어셈블리상에 패드 산화물층을 형성하는 단계를 포함한다. 다음으로, 제 1 산화 확산 배리어층이 패드 산화물층상에 형성되고, 무기 반사방지 재료층이 제 1 산화 확산 배리어층상에 형성되며, 제 2 산화 확산 배리어층이 무기 반사방지 재료층상에 형성된다.
이러한 방법의 여러 실시예에서, 반도체 기판 어셈블리는 실리콘 기판이고; 반사방지 재료층은 실리콘 질화물, 실리콘 산화물 및 실리콘 질산화물로 구성된 그룹으로부터 선택된 재료로 구성된 층을 포함하며; 반사방지 재료층은 실리콘-풍부층이고; 반사방지 재료는 대략 1.7 내지 3.0의 굴절률을 가지며; 반사방지 재료층은 대략 0.2 내지 2.0의 흡광계수를 가지고; 및/또는 산화 확산 배리어층이 실리콘 질화물 또는 실리콘 질산화물로 구성된 층이다.
추가로, 집적회로용 절연을 형성하는데 사용되는 방법 또한 제공된다. 이러한 방법은 반도체 기판을 제공하는 단계와 반도체 기판상에 산화 확산 배리어 스택을 형성하는 단계를 포함한다. 산화 확산 배리어 스택은 무기 반사방지 재료층을 구비한다. 산화 확산 배리어 스택은 패터닝되어 반도체 기판의 노출된 영역이 산화되도록 한다.
본 발명에 따른 산화 확산 배리어 스택은 반도체 기판 어셈블리상에 형성된 무기 반사방지 재료층 및 무기 반사방지 재료층상에 형성된 산화 확산 배리어층을 포함한다.
본 발명에 따른 다른 산화 확산 배리어 스택은 반도체 기판상에 형성된 패드 산화물층, 산화 확산 배리어층 및 패드 산화물과 산화 확산 배리어층 사이의 무기 반사방지 재료층을 포함한다.

본 발명에 따른 다른 산화 확산 배리어 스택은 제 1 산화 확산 배리어층, 제 2 산화 확산 배리어층 및 제 1 및 제 2 산화 확산 배리어층 사이의 무기 반사방지 재료층을 포함한다.
스택에 대한 여러 실시예에서, 무기 반사방지 재료는 실리콘-풍부 실리콘 산화물, 실리콘-풍부 실리콘 질화물 및 실리콘-풍부 실리콘 질산화물로 구성되 그룹으로부터 선택되고; 및/또는 산화 확산 배리어층은 실리콘 질화물층 또는 실리콘 질산화물층이다.
도면은 본 발명의 이해를 돕기 위해 제공된다. 따라서, 크기와 척도는 정확한 것은 아니다.

## 도면의 간단한 설명

도 1a는 반도체 기판에 의해 지지되는 패드 산화물층의 단면도.
도 1b는 본 발명에 따라 무기 반사방지 코팅이 형성된 도 1a의 구조물의 단면도.
도 1c는 실리콘 질화물이 형성된 도 1b의 구조물의 단면도..
도 1d는 하부에 위치하는 재료를 패터닝하도록 포토레지스트층이 형성된 조 1c의 구조물의 단면도.
도 1e는 실리콘 질화물, 반사방지 코팅 및 패드 산화물층으로 구성된 하부에 위치하는 스택이 패터닝된 도 1d의 구조물의 단면도.
도 1f는 패터닝된 스택 사이의 기판의 필드 영역내에 필드 산화물이 형성된 도 1e의 구조물의 단면도.
도 2a는 반도체 기판에 의해 지지되는 패드 산화물층의 단면도.
도 2b는 제 1 실리콘 질화물층이 상부에 형성된 도 2a의 구조물의 단면도.
도 2c는 반사방지층이 상부에 형성된 도 2b의 구조물의 단면도.
도 2d는 제 2 실리콘 질화물층이 상부에 형성된 도 2c의 구조물의 단면도.
도 2e는 하부에 위치하는 재료를 패터닝하도록 포토레지스트층이 상부에 형성된 도 2d의 구조물의 단면도.
도 2f는 제 2 실리콘 질화물, 반사방지, 제 1 실리콘 질화물 및 패드 산화물층으로 구성된 하부에 위치하는 스택이 패터닝된 도 2e의 구조물의 단면도.
도 2g는 패터닝된 스택 사이의 기판의 필드 영역내에 필드 산화물이 형성된 도 2f의 구조물의 단면도.
도 3a는 반도체 기판에 의해 지지되는 반사방지층의 단면도.
도 3b는 실리콘 질화물층이 상부에 형성된 도 3a의 구조물의 단면도.
도 3c는 하부에 위치하는 재료를 패터닝하도록 포토레지스트층이 상부에 형 성된 도 3b의 구조물의 단면도.
도 3d는 반사방지 코팅 및 실리콘 질화물층으로 구성된 하부에 위치하는 스택이 패터닝된 도 3c의 구조물의 단면도.
도 3e는 패터닝된 스택 사이의 기판의 필드 영역내에 필드 산화물이 형성된 도 3d의 구조물의 단면도.
도 4a 및 도 4b는 본 발명에 따른 트렌치 절연의 방법의 단면도.

## 실시예

집적 회로(IC)에서 전기적 절연물을 구성할 때 더 나은 제어된 포토리소그래피를 제공하기 위해, 반사방지 코팅(ARC)이 사용된다. ARC의 사용은 기판 어셈블리의 하부에 위치하는 층 위에 형성되어지는 포토레지스트에 대한 균일한 노출을 가져온다. 따라서, 뚜렷한 패턴이 포토레지스트에 전사될 수 있다. 포토레지스트에서의 뚜렷한 패턴 형성은 하부에 위치하는 재료의 뚜렷한 패터닝을 이끌어 낸다. 소자 밀도가 증가함에 따라, 이런 정밀한 정의는 점차 중요해지고 있다.
여기에서 사용된 바와 같은, 상기 용어 '기판 어셈블리'는 어떤 반도체 기판에 제한되지 않고 하나 이상의 층, 상부 또는 내부에 형성되는 영역을 가지는 반도체 기판을 포함하는, 광범위한 반도체에 기초한 구조를 포함한다. 반도체 기판은 실리콘 웨이퍼와 같은 단일 재료층이 될 수 있고 또는 실리콘-온-사파이어(SOS) 기술, 실리콘-온-절연체(SOI) 기술, 도핑 및 도핑되지않은 반도체, 베이스 반도체에 의해 지지되는 실리콘 에피텍셜층, 뿐만 아니라 다른 반도체 기판 구조를 포함하는 것으로 이해된다. 다음 설명에서 반도체 기판 어셈블리가 언급될 때, 여러 프로세스 단계가 반도체 기판에 영역/접합부를 형성하는데 사용되어지고 또는 기판에 관련한 재료로 이루어지는 하나 이상의 층 또는 영역을 형성하는데 사용되어진다.
본 발명에 따른 ARC는 바람직하게 무기물이다. 이런 바람직한 무기 ARC는 포토리소그래피에 사용하기 위해 포토레지스트 층과 하부에 위치하는 층 사이에 형성된다. 본 발명에 따른 적당한 ARC 재료는 비화학량론적 실리콘-풍부 산화물, 실리콘-풍부 질화물 및 실리콘-풍부 질산화물을 포함한다. 실리콘-풍부 산화물의 바람직한 화학식은 $SiO_x$ 이며, 여기에서 x는 0.3 내지 1.9 범위이다. 실리콘-풍부 질화물의 바람직한 화학식은 $SiN_y$ 이며, 여기에서 y는 0.2 내지 1.0 범위이다. 실리콘-풍부 질산화물의 바람직한 화학식은 $SiO_xN_y$ 이며, 여기에서 x는 0.2 내지 1.9 범위이고 y는 .01 내지 1.0 범위이다.
더욱이, 적당한 ARC 재료는 일반적으로 약 248나노미터의 파장에서 1,7 내지 3.0의 굴절률 및 0.2 내지 2.0의 흡광계수를 가진다. 바람직하게, 약 248나노미터의 파장에서 굴절률는 2.0내지 2.7이고 흡광계수는 0.4 내지 1.5이다. 요구되는 흡광계수는 포토레지스트 및 포토레지스트가 형성되는 기판 어셈블리의 다른 하부층의 굴절률 및 흡광계수, 뿐만 아니라 하부에 위치하는 기판 어셈블리 형상부 및 층들의 치수에 의존한다. 파장에 의존하여, 비화학량론적 ARC 재료의 실리콘 양이 증가함에 따라, 물론 ARC 재료의 굴절률과 흡광계수는 전형적으로 증가한다. 예를 들면, 이것은 일반적으로 약 365나노미터의 파장에 대한 경우이다.
ARC 재료층은 화학적 기상 증착(CVD)을 사용하여 기판 어셈블리상에 형성된다. 바람직하게, 플라즈마 증진 화학적 기상 증착(PECVD)이 사용된다. PECVD는 약 400°C의 상대적으로 낮은 온도에서의 층 형성을 허용한다. 특정 전구

체 기체의 흐름 속도를 제어함으로써, 요구된 화학론량의 재료가 기판상에 형성될 수 있다. 예를 들면, 더 많은 특별한 성분이 최종 재료에 요구될 때, 상기 성분으로 이루어진 전구체 기체의 흐름 속도가 증가되거나 또는 다른 전구체 기체의 흐름 속도가 감소된다.

실리콘-풍부 산화물은 공정 챔버내로 실리콘 함유 전구체 기체와 산소 함유 전구체 기체를 유입시킴으로써 형성된다. 전형적으로, 아르곤 또는 헬륨과 같은 불활성 캐리어 기체가 사용된다. 상기 실리콘 함유 전구체 기체는 실란 계열(예를 들어, 실란, 디실란, 디클로로실란 등)의 어떤 구성원이 될 수 있다. 바람직하게, 산소 함유 전구체 기체는 아산화 질소($N_2O$)이지만; $O_2$, NO, $N_2O_2$ 및 $NO_2$ 를 포함하는 다른 산소 함유 전구체가 사용될 수 있다.

실리콘-풍부 질화물은 공정 챔버내로 실리콘 함유 전구체 기체와 질소 함유 전구체 기체를 유입시킴으로써 형성된다. 전형적으로, 질소와 같은 캐리어 기체가 사용된다. 상기 실리콘 함유 전구체 기체는 실란 계열(예를 들어, 실란, 디실란, 디클로로실란 등)의 어떤 구성원이 될 수 있다. 바람직하게, 질소 함유 전구체 기체는 암모니아($NH_3$)이지만; 질소 또는 $[C_nH_{2n+1}]_2NH$(예를 들어, $[CH_3]_2NH$)의 계열로부터의 기체와 같은 다른 질소 함유 전구체 기체가 사용될 수 있다.

실리콘-풍부 질산화물은 공정 챔버내로 실리콘 함유 전구체 기체, 산소 함유 전구체 기체, 및 질소 함유 전구체 기체를 유입시킴으로써 형성된다. 전형적으로, 질소와 같은 캐리어 기체가 사용된다. 상기 실리콘 함유 전구체 기체는 실란 계열(예를 들어, 실란, 디실란, 디클로로실란 등)의 어떤 구성원이 될 수 있다. 바람직하게 산소 함유 전구체 기체는 아산화 질소($N_2O$)이지만; 예를 들어 $O_2$, NO, $N_2O_2$ 및 $NO_2$ 가 사용될 수 있다. 바람직하게, 질소 함유 전구체 기체는 암모니아($NH_3$)이지만; 예를 들어 질소 또는 $[C_nH_{2n+1}]_2NH$의 계열로부터의 기체가 사용될 수 있다.

본 발명에 따른 ARC 재료를 사용할 때, ARC 재료의 층은 산화 확산 배리어 스택내에 형성된다. 전형적으로, 상기 산화 확산 배리어 스택은 지지용 반도체 구조상에 블랭킷 층으로서 형성된다. 다음에 포토레지스트층이 상기 산화 확산 배리어 스택상에 형성된다. 다음으로, 포토레지스트는 통상적인 포토리소그래피를 사용하여 노출된다. 포토레지스트가 현상액과 접촉한후, 포토레지스트는 현상액에 노출된 패턴에 따라 기판 표면으로부터 선택적으로 제거된다.

다음에, 상기 산화 확산 배리어 스택은 포토레지스트가 상기 스택을 패터닝하기 위해 제거되어지는 영역에서 선택적으로 에칭된다. 상기 에천트는 산화 확산 배리어 스택의 재료에 따라 선택된다. 바람직하게, 이방적으로 에칭하는 에칭 능력 때문에 건식 에칭이 사용된다. 여기에서 개시되는 여러 가지 산화물과 질화물은 어떤 적당한 에칭 기술을 사용하여 에칭될 수 있다. 예를 들어, $CHF_3$ 또는 $CF_4$ 를 사용한 화학작용과 같이, 플루오르 화학작용을 사용한 반응성 이온 에칭이 산화물과 질화물을 에칭하는데 사용될 수 있다. 기체 흐름의 형태는 플라즈마 반응로에 결합된 질량 제어기를 선택적으로 개폐함으로써 플라즈마 반응로에서 쉽게 제어될 수 있다. 따라서, 산화 확산 배리어 스택이 한 가지 이상의 재료 형태를 포함하는 경우에, 상기 스택은 기체 흐름을 선택적으로 제어하는 능력때문에 인-시튜 에칭될 수 있다.

상기 산화 확산 배리어 스택이 패터닝될 때, 상기 반도체 기판 어셈블리(예를 들면, 도핑된 실리콘, 도핑되지 않은 실리콘)의 노출부가 산화될 수 있다. 필드 산화를 위하여, 전형적으로 습식 산화가 상기 산화를 수행하는데 사용된다. 이런 공정은 당업자들에게 널리 알려져 있다. 이런 공정에서, 예를 들어 상기 기판은 900 내지 1,150℃의 온도로 상승되는, 퍼니스(furnace)에 배치된다. 요구된 두께의 필드 산화물이 성장되었을 때, 상기 퍼니스의 온도가 감소되고 기판이 퍼니스로부터 제거된다.

산화 공정후, 전형적으로 상기 패터닝된 산화 확산 배리어 스택은 제거된다. 다시 한번, 이미 개시된 바와 같은, 건식 에칭이 사용된다.

본 발명의 일 실시예에서, 상기 산화 확산 배리어 스택은 실리콘 웨이퍼에 의해 지지된다. 도 1a에 도시된 바와 같이, 패드 산화물 층(102)이 실리콘 웨이퍼(100)상에 형성된다. 상기 실리콘 웨이퍼(100)는 전형적으로 도핑되지만(예를 들어, n형 또는 p형), 본 발명의 실시에 필수적이지는 않다. 상기 패드 산화물 층(102)의 두께(104)는 전형적으로 약 수백 옹스트롬 이하이다.

다음에, 도 1b에 도시된 바와 같이, ARC층(106)이 상기 패드 산화물층(102)상에 형성된다. 상기 ARC층(106)의 두께(108)는 바람직하게 100 내지 500Å이다. 가장 바람직하게, 상기 ARC층(106)의 두께(108)는 250 내지 350Å이다. 그러나. 포토리소그래피 동안 입사 방사선의 파장 및 산화 확산 배리어 스택의 치수에 따라서, ARC층(106)의 두께(108)는 변경될 수 있다.

다음에, 도 1c에 도시된 바와 같이, 실리콘 질화물층(110)이 상기 ARC층(106)상에 형성된다. 상기 실리콘 질화물층(110)의 두께(112)는 약 3000Å이하이다. 가장 바람직하게, 상기 실리콘 질화물층(110)의 두께(112)는 1000 내지 2400Å이다. 상기 실리콘 질화물층(110)은 바람직하게 저압 화학적 기상 증착(LPCVD)을 사용하여 예를 들어 500 내지 750℃의 온도에서 형성된다. 실리콘 질화물층이 산화 확산 재료의 목적을 위해 상기 설명에서 사용되었더라도, 산소의 확산을 방지(또는 최소화)하는 것으로 공지된 어떤 재료가 실리콘 질화물층(110) 대신에 또는 부가적으로 사용될 수 있다는 것이 인식되어야 한다. 예를 들어, 실리콘 질산화물, 붕소 질화물 및 알루미늄 질화물이 사용될 수 있다.

도 1d에 도시된 바와 같이, 포토레지스트층(114)은 실리콘 질화물층(110)상에 형성된다. 포토레지스트층(114)의 두께(116)는 약 7000 Å 내지 약 10,000 Å 이다. 포토레지스트층(114)의 최소 두께(116)는 산화 확산 배리어 스택이 패터닝된 포토레지스트층 아래의 노출 영역에서 실리콘 웨이퍼(100)로부터 선택적으로 제거될 때, 그 다음 에칭 단계 이후에 패터닝된 포토레지스트층(114)이 유지되도록 할 필요가 있기 때문에 제어된다.

산화 확산 배리어 스택은 상기된 기술에 따라 에칭되고 포토레지스트층(114)은 제거되어, 도 1e에 도시된 구조를 형성한다. 포토레지스트층(114)은 당업자에게 공지된 방법중 하나에 따라 제거된다. 예를 들어, 산소 애쉬(ash)는 포토레지스트층(114)을 제거하기 위하여 사용될 수 있다. 산화 확산 배리어 스택이 하부에 위치하는 실리콘 웨이퍼(100) 쪽으로 에칭되는 영역은 필드 영역(118)이다. 패터닝된 산화 확산 배리어 스택이 실리콘 웨이퍼(100)상에 남아 있는

영역은 활성 영역(120)이다. 각각 또는 다수의 활성 장치는 당업자에게 이미 공지된 바와 같이 기판(100)의 활성 영역(120)에 후속하여 형성될 수 있다.
다음으로, 필드 산화물(122)은 필드 영역(118)에 형성되어, 도 1f에 도시된 구조를 형성한다. 필드 산화물(122)의 두께(124)는 도 1e에 도시된 활성 영역(120)에 추후에 형성된 개별 소자의 소자 밀도 및 동작 전압에 의해 제어된다. 통상적으로, 필드 산화물(122)의 두께(124)는 수천 옴스트롱 정도이다. 그러나, 필드 산화물(122)의 두께(124)는 본 발명의 실시에 중요하지 않다.
본 발명의 다른 실시예에서, 패드 산화물층(202)은 도 2a에 도시된 바와 같이 실리콘 웨이퍼(200)상에 형성된다. 실리콘 웨이퍼(200)는 통상적으로 도핑되지만(즉, n-타입 또는 p-타입), 본 발명의 실행에 필요하지 않다. 패드 산화물층(202)의 두께(204)는 통상적으로 몇백 옴스트롱 또는 그 이하이다.
다음, 도 2b에 도시된 바와 같이, 제 1 실리콘 질화물층(226)은 패드 산화물층(202)상에 형성된다. 제 1 실리콘 질화물층(226)의 두께(228)는 바람직하게 제 1 실리콘 질화물층(226)이 패드 산화물층(202)으로부터 박층으로 갈라지지 않기에 충분히 작다. 바람직하게 제 1 실리콘 질화물층(226)의 두께(228)는 약 1,500 Å 또는 그 이하이다. 보다 바람직하게, 제 1 실리콘 질화물층(226)의 두께(228)는 약 50 Å 내지 약 1,500 Å이다. 가장 바람직하게, 제 1 실리콘 질화물층(226)의 두께(228)는 약 300 Å 내지 약 1000 Å이다. 제 1 실리콘 질화물층(226)은 당업자에게 잘 공지된 기술을 사용하여 형성될 수 있다. 바람직하게, PECVD 및 LPCVD중 하나가 제 1 실리콘 질화물층(226)을 형성하기 위하여 사용된다. 보다 바람직하게 PECVD가 사용된다.
다음으로, ARC층(206)은 도 2c에 도시된 바와 같이 제 1 실리콘 질화물층(226)상에 형성된다. ARC층(206)의 두께(208)는 약 100 Å 내지 약 500 Å 이다. 바람직하게, ARC층(206)의 두께(208)는 약 200 Å 내지 약 350 Å이다. 그러나, 포토리소그래피 동안 입사 방사선의 파장 및 산화 확산 배리어 스택의 크기에 따라, ARC층(206)의 두께(208)는 가변할 수 있다.
다음으로, 도 2d에 도시된 바와 같이, 제 2 실리콘 질화물층(210)이 ARC층(206)상에 형성된다. 제 2 실리콘 질화물층(210)의 두께(212)는 대략 3,000Å이다. 더욱 바람직하게, 제 2 실리콘 질화물층(210)의 두께(212)는 제 1 및 제 2 실리콘 질화물층(226 및 210)의 총 두께가 약 1,000 Å 내지 약 2,000 Å이도록 선택된다. 제 2 실리콘 질화물층(110)은 바람직하게 저압 화학 기상 증착(LPCVD)를 사용하여 형성된다. 실리콘 질화물이 산화 확산 재료를 위해 이 명세서에서 제 1 및 제 2 실리콘 질화물을 위하여 사용되는 반면, 그 결과 산소의 확산을 방지(또는 최소화)하기 위해 공지된 재료가 제 1 및 제 2 실리콘 질화물층(226 및 210) 대신에 또는 부가하여 사용될 수 있다는 것이 분명하다.
도 2e에 도시된 바와 같이, 포토레지스트층(214)이 제 2 실리콘 질화물층(210)상에 형성된다. 포토레지스트층(214)의 두께(216)는 통상적으로 약 수천 옴스트롱이다. 포토레지스트층(214)의 최소 두께(216)는 추후 에칭 단계 동안 하부에 위치하는 층쪽을 관통하는 포토레지스트층(214)의 제거를 방지하기 위한 필요성에 의해 제어되고, 여기서 산화 확산 배리어 스택은 포토레지스트층(214) 하부에 위치하는 노출된 영역의 실리콘 웨이퍼(200)로부터 선택적으로 제거된다.
산화 확산 배리어 스택은 상기된 기술에 따라 에칭되고 포토레지스트층(214)은 제거되어, 도 2f에 도시된 구조를 형성한다. 포토레지스트층(214)은 당업자에게 잘 공지된 방법에 따라 제거된다. 예를 들어, 산소 애쉬는 포토레지스트층 (214)을 제거하기 위하여 사용될 수 있다. 산화 확산 배리어 스택이 하부에 위치하는 실리콘 웨이퍼(200)쪽으로 에칭되는 영역은 필드 영역(218)이다. 패터닝된 산화 확산 배리어 스택이 실리콘 웨이퍼(200)상에 유지되는 영역은 활성 영역(220)이다. 각각 또는 다수의 활성 소자는 추후에 기판(200)의 활성 영역(220)에 형성될 수 있다.
다음으로, 필드 산화물(222)은 필드 영역(218)에 형성되고, 도 2g에 도시된 구조를 형성한다. 필드 산화물(222)의 두께(224)는 도 2f에 도시된 활성 영역(220)에 추후에 형성된 개별 장치의 소자 밀도 및 동작 전압에 의해 제어된다. 통상적으로, 필드 산화물(222)의 두께(224)는 수천 옴스트롱이다. 그러나, 필드 산화물(222)의 두께(224)는 본 발명의 실시에 중요하지 않다.
다른 실시예에서, ARC층(306)은 도 3a에 도시된 바와 같이 실리콘 웨이퍼(300)상에 직접적으로 형성된다. 실리콘 웨이퍼(300)는 통상적으로 도핑되지만(즉, n-타입 또는 p-타입), 본 발명의 실행에 필요하지 않다. ARC층(306)의 두께(308)는 약 100 Å 내지 약 500 Å이다. 바람직하게, ARC층(306)의 두께(308)는 약 200 Å 내지 약 400 Å이다. 그러나, 포토리소그래피 동안 입사 방사선의 파장 및 산화 확산 배리어 스택에 따라, ARC층(306)상 두께(308)는 변할 수 있다.
다음으로, 도 3b에 도시된 바와 같이, 실리콘 질화물층(310)은 ARC층(306)상에 형성된다. 실리콘 질화물층(310)의 두께(312)는 바람직하게 약 3000 Å 또는 그 이하이다. 보다 바람직하게, 실리콘층(310)의 두께(312)는 약 1000 Å 내지 약 2000 Å이다. 실리콘 질화물층(310)은 바람직하게 저압 화학 기상 증착(LPCVD)을 사용하여 형성된다. 실리콘 질화물층이 산화 확산 재료용으로 사용되는 반면, 산소 확산을 방지(또는 최소화)하기 위하여 공지된 임의의 재료는 실리콘 질화물층(310) 대신에 또는 부가하여 사용될 수 있다.
다음, 도 3c에 도시된 바와 같이, 포토레지스트층(314)은 실리콘 질화물층(310)상에 형성된다. 포토레지스트층(314)의 두께(316)는 약 7000 Å 내지 약 10,000 Å이다. 포토레지스트층(314)의 최소 두께(316)는 추후 에칭 단계 동안 하부에 위치하는 층을 통한 포토레지스트층(314)의 제거를 방지할 필요에 의해 제어되고, 여기서 산화 확산 배리어 스택은 포토레지스트층(314) 하부에 위치하는 노출된 영역에서 실리콘 웨이퍼(300)로부터 선택적으로 제거된다.
산화 확산 배리어 스택은 상기된 기술에 따라 에칭되고 포토레지스트층(314)은 제거되어, 도 3d에 도시된 구조를 형성한다. 포토레지스트층(314)은 당업자에게 공지된 방법중 하나에 따라 제어된다. 예를 들어, 산소 애쉬는 포토레지스트층 (314)을 제거하기 위하여 사용될 수 있다. 산화 확산 배리어 스택이 하부에 위치하는 실리콘 웨이퍼(300) 쪽으로 에칭되는 영역은 필드 영역(318)이다. 패터닝된 산화 확산 배리어 스택이 실리콘 웨이퍼(300)상에 유지되는 영역은 활성 영역(320)이다. 각각 또는 다수의 활성 소자는 기판(300)의 활성 영역(320)에 추후에 형성될 수 있다.

다음으로, 필드 산화물(322)은 필드 영역(318)에 형성되어, 도 3e에 도시된 구조를 형성한다. 필드 산화물(322)의 두께(324)는 도 3d에 도시된 활성 영역(320)에 추후 형성된 개별 소자의 소자 밀도 및 동작 전압에 의해 제어된다. 통상적으로, 필드 산화물층(322)의 두께(324)는 수천 옴스트롱이다. 그러나 필드 산화물층(322)의 두께(324)는 본 발명의 실시에 중요하지 않다.

본 발명의 제 1 및 제 2 실시예와 비교하여, 제 3 실시예는 공정 복잡성이 관심사일 경우에 사용된다. 제 1 및 제 2 실시예에 사용된 패드 산화물층의 제거 및 제 2 실시예의 제 1 실리콘 질화물층의 제거에 기인하여, 공정 효율이 증가된다. 패드 산화물층은 본 발명의 무기 ARC 재료의 사용에 기인하여 제 3 실시예에서는 필요하지 않다. 이러한 ARC 재료는 실리콘이 풍부하기 때문에 하부의 실리콘 기판에 낮은 응력 경계면을 제공한다. 그러므로, 실리콘 질화물과 실리콘 웨이퍼 사이의 경계에서 통상적으로 나타나는 바와 같이, 실리콘 경계에서 과도한 응력을 경감시키기 위한 패드 산화물 층이 필요로되지 않는다는 것이 판명되었다.

여기에 개시된 모든 특허들은 개별적으로 통합되는 경우라도 그 전체가 참조로 통합된다. 상기한 상세한 설명 및 예들은 단지 설명의 목적으로 제공되었다. 그것으로부터 이해되어야 할 더이상의 한정은 없다. 본 발명은 여기에 도시되고 기술된 상세한 설명에 한정되는 것은 아니며, 당업자에게 명백한 변화를 위하여 청구범위에 의해 한정된 본 발명내에 포함될 것이다. 예를 들면, 본 발명이 LOCOS 공정을 지원하는 설명이 참조로 기술되었다 하더라도, 다른 절연 기술이 본 발명의 사용으로부터 이로울 수 있다. 예를 들면, 트렌치 절연(이러한 트렌치를 형성하는 방법은 도 4a 및 4b에 도시됨)은 본 발명의 438로 표시된 산화 확산 배리어 스택으로부터 유리할 수 있다. 도 4a에 도시된 바와 같이, 트렌치 절연에 있어서, 트렌치(440)는 산화 확산 배리어 스택(438)을 통해 기판 어셈블리(442)에서 에칭된다. 트렌치(440)는 도 4b에 도시된 바와 같이 증착된 산화물(444)로 충전된다. 트렌치 절연은 기판 어셈블리에서 에칭된 트렌치의 두께에 따라서 얕은 트렌치 절연(STI) 또는 깊은 트렌치 절연(DTI)으로 불린다.

기술한 바와 같이, 본 발명의 산화 확산 배리어 스택은 트렌치(440)를 제공하기 위해 에칭될 기판 어셈블리에서 영역을 한정하는 포토리소그래피 단계에 사용된다. 트렌치 절연을 형성하는 방법은 반도체 기판 어셈블리를 제공하는 단계; 반도체 기판 어셈블리상에 무기 반사방지 재료를 가지는 산화 확산 배리어 스택을 형성하는 단계; 반도체 기판 어셈블리의 노출된 영역을 형성하도록 산화 확산 배리어 스택을 패터닝하는 단계; 패터닝된 스택에 의해 한정되는 바와 같이 반도체 기판 어셈블리에 트렌치를 에칭하는 단계; 및 반도체 기판 어셈블리의 트렌치에 산화물을 증착하는 단계를 포함한다.

산화물이 증착된 후에, 기판에 에칭된 트렌치 외부의 기판의 영역으로부터 제거될 수 있도록 패터닝된다. 종래의 포토리소그래피는 산화물을 패터닝하는데 사용된다. 다시 한번, 본 발명의 산화 확산 배리어 스택은 포토리소그래피 단계에 사용될 수 있다. 폭넓은 여러가지 사용이 본 발명에 적합하다.

## (57) 청구의 범위

### 청구항 1.

집적회로의 제조에 사용하기 위한 산화 확산 배리어 스택을 형성하는 방법으로서,

실리콘 기판을 제공하는 단계;

상기 실리콘 기판상에 실리콘 질화물, 실리콘 산화물 및 실리콘 질산화물의 그룹으로부터 선택된 재료로 구성된 실리콘-풍부층을 구비하는 무기 반사방지 재료층을 형성하는 단계; 및

상기 반사방지 재료층상에 산화 확산 배리어층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

### 청구항 2.

제 1항에 있어서, 상기 반사방지 재료층 형성단계는 실리콘-풍부 실리콘 산화물층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

### 청구항 3.

제 1항에 있어서, 상기 반사방지 재료층 형성단계는 실리콘-풍부 실리콘 질화물층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

### 청구항 4.

제 1항에 있어서, 상기 반사방지 재료층 형성단계는 실리콘-풍부 실리콘 질산화물층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

### 청구항 5.

제 1항에 있어서, 상기 반사방지 재료층 형성단계는 1.7 내지 3.0의 굴절율을 가진 반사방지 재료층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

### 청구항 6.

제 5항에 있어서, 상기 반사방지 재료층 형성단계는 0.2 내지 2.0의 흡광계수를 가진 반사방지 재료층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

### 청구항 7.

제 1항에 있어서, 상기 반사방지 재료층 형성단계는 0.2 내지 2.0의 흡광계수를 가진 반사방지 재료층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

### 청구항 8.

제 1항에 있어서, 상기 산화 확산 배리어층 형성단계는 실리콘 질화물층 및 실리콘 질산화물층중 한 층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 9.**

집적회로의 제조에 사용하기 위한 산화 확산 배리어 스택을 형성하는 방법으로서,
실리콘 기판을 제공하는 단계;
상기 실리콘 기판상에 패드 산화물층을 형성하는 단계;
상기 패드 산화물층상에 무기 반사방지 재료층을 형성하는 단계; 및
상기 반사방지 재료층상에 산화 확산 방지층을 형성하는 단계를 포함하며,
상기 무기 반사방지 재료층 형성단계는 실리콘-풍부 실리콘 산화물, 실리콘-풍부 실리콘 질화물 및 실리콘-풍부 실리콘 질산화물의 그룹으로부터 선택된 재료로 구성된 층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 10.**

삭제

**청구항 11.**

제 9항에 있어서, 상기 무기 반사방지 재료층은 $SiO_X$ 이며, 상기 x는 0.3 내지 1.9 범위인 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 12.**

제 9항에 있어서, 상기 무기 반사방지 재료층은 $SiN_y$ 이며, 상기 y는 0.2 내지 1.0 범위인 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 13.**

제 9항에 있어서, 상기 무기 반사방지 재료층은 $SiO_xN_y$ 이며, 상기 x는 0.2 내지 1.9 범위이며 y는 0.01 내지 1.0의 범위인 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 14.**

제 9항에 있어서, 상기 산화 확산 배리어층 형성단계는 실리콘 질화물층 및 실리콘 질산화물층중 한 층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 15.**

집적회로의 제조에 사용하기 위한 산화 확산 배리어 스택을 형성하는 방법으로서,
실리콘 기판을 제공하는 단계;
상기 실리콘 기판상에 패드 산화물층을 형성하는 단계;
상기 패드 산화물층상에 제 1 산화 확산 배리어층을 형성하는 단계;
상기 제 1 산화 확산 배리어층상에 무기 반사방지 재료층을 형성하는 단계; 및
상기 무기 반사방지 재료층상에 제 2 산화 확산배리어층을 형성하는 단계를 포함하며, 상기 산화 확산 배리어 스택은 마스크 재료를 사용하여 패터닝되는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 16.**

제 15항에 있어서, 상기 무기 반사방지 재료층 형성단계는 실리콘-풍부 실리콘 산화물, 실리콘-풍부 실리콘 질화물 및 실리콘-풍부 실리콘 질산화물의 그룹으로부터 선택된 재료로 구성된 층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 17.**

제 16항에 있어서, 상기 무기 반사방지 재료층은 $SiO_X$ 이며, 상기 x는 0.3 내지 1.9 범위인 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 18.**

제 16항에 있어서, 상기 무기 반사방지 재료층은 $SiN_y$ 이며, 상기 y는 0.2 내지 1.0 범위인 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 19.**

제 16항에 있어서, 상기 무기 반사방지 재료층은 $SiO_xN_y$ 이며, 상기 x는 0.2 내지 1.9의 범위이며 y는 0.01 내지 1.0의 범위인 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 20.**

제 15항에 있어서, 상기 제 1 및 제 2 산화 확산 배리어층을 형성하는 단계는 실리콘 질화물 및 실리콘 질산화물의 그룹으로부터 선택된 재료로부터 상기 제 1 및 제 2 산화 확산층을 형성하는 단계를 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 21.**

제 1항, 제 9항 또는 제 15항에 있어서, 상기 방법은
상기 산화 확산 배리어 스택을 패터닝하여, 상기 실리콘 기판의 노출된 영역을 형성하는 단계;
상기 산화 확산 배리어 스택을 통해 상기 실리콘 기판내에 트렌치를 에칭하는 단계; 및
상기 실리콘 기판의 트렌치내에 절연재료를 증착하는 단계를 더 포함하는 것을 특징으로 하는 산화 확산 배리어 스택 형성 방법.

**청구항 22.**

집적회로에 대한 절연층을 형성하기 위한 방법으로서,

반도체 기판을 제공하는 단계;
상기 반도체 기판상에 패드 산화물층을 형성하는 단계;
상기 패드 산화물층상에 제 1 산화 확산 배리어층을 형성하는 단계;
상기 제 1 산화 확산 배어층상에 무기 반사방지 재료층을 형성하는 단계; 및
상기 무기 반사방지 재료층상에 제 2 산화 확산 배리어층을 형성하는 단계를 구비하는 상기 반도체 기판상에 산화 확산 배리어 스택을 형성하는 단계;
마스크 재료를 사용하여 상기 산화 확산 배리어 스택을 패터닝하여 상기 반도체 기판의 노출된 영역을 형성하는 단계; 및
상기 반도체 기판의 노출된 영역을 산화시키는 단계를 포함하는 것을 특징으로 하는 절연층 형성 방법.

**청구항 23.**
제 22항에 있어서, 상기 산화 확산 배리어 스택을 패터닝하는 단계는 상기 산화 확산 배리어 스택의 부분을 제거하기 위하여 상기 산화 확산 배리어 스택을 포함하는 플라즈마 반응로내에 적어도 플루오로카본 기체를 연속적으로 연속적으로 유입시키는 단계를 포함하는 것을 특징으로 하는 절연층 형성 방법.

**청구항 24.**
실리콘 기판상에 형성되며 실리콘-풍부 실리콘 산화물, 실리콘-풍부 실리콘 질화물 및 실리콘-풍부 실리콘 질산화물의 그룹으로부터 선택되는 무기 반사방지 재료층; 및
상기 무기 반사방지 재료층상에 형성된 산화 확산 배리어층을 포함하는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 25.**
제 24항에 있어서, 상기 산화 확산 배리어층은 실리콘 질화물을 포함하는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 26.**
제 24항에 있어서, 상기 무기 반사방지 재료는 100 옹스트롬 내지 500옹스트롬의 두께를 가지는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 27.**
제 24항에 있어서, 상기 산화 확산 배리어층은 실리콘 질산화물을 포함하는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 28.**
반도체 기판상에 형성된 패드 산화물층;
산화 확산 배리어층; 및
상기 패드 산화물 및 상기 산화 확산 배리어층 사이에 형성된 무기 반사방지 재료층을 포함하며,
상기 무기 반사방지 재료는 실리콘 산화물, 실리콘 질화물 및 실리콘 질산화물의 그룹으로부터 선택되는 실리콘-풍부 재료인 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 29.**
삭제

**청구항 30.**
제 1 산화 확산 배리어층;
제 2 산화 확산 배리어층; 및
상기 제 1 및 제 2 산화 확산 배리어층 사이에 형성된 무기 반사방지 재료층을 포함하며, 마스크 재료를 사용하여 패터닝되는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 31.**
제 30항에 있어서, 상기 산화 확산 배리어 스택은 상기 실리콘 기판상에 형성된 패드 산화물층을 더 포함하며, 상기 제 1 산화 확산 배리어층은 패드 산화물층상에 형성되는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 32.**
제 30항에 있어서, 상기 무기 반사방지 재료는 실리콘-풍부 실리콘 산화물, 실리콘-풍부 실리콘 질화물 및 실리콘-풍부 실리콘 질산화물의 그룹으로부터 선택되는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 33.**
제 32항에 있어서, 상기 제 1 및 제 2 산화 확산 배리어층의 적어도 하나는 실리콘 질화물을 포함하는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 34.**
제 30항에 있어서, 상기 제 1 및 제 2 산화 확산 배리어층중 적어도 하나는 실리콘 질화물을 포함하는 것을 특징으로 하는 산화 확산 배리어 스택.

**청구항 35.**
삭제

**청구항 36.**
삭제

**청구항 37.**
삭제

**청구항 38.**

삭제

**청구항 39.**

삭제

**청구항 40.**

삭제

**청구항 41.**

삭제

**청구항 42.**

삭제

**청구항 43.**

삭제

**청구항 44.**

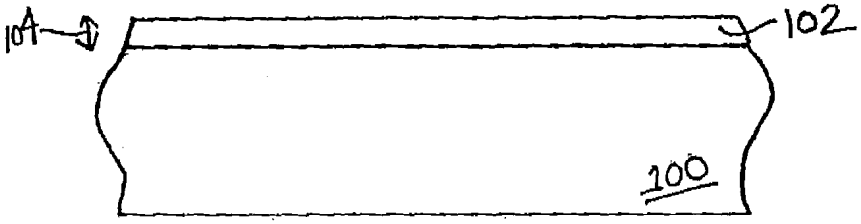
삭제

**청구항 45.**

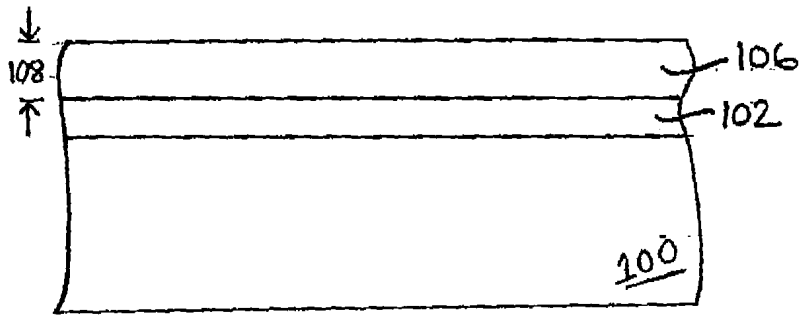
삭제

도면

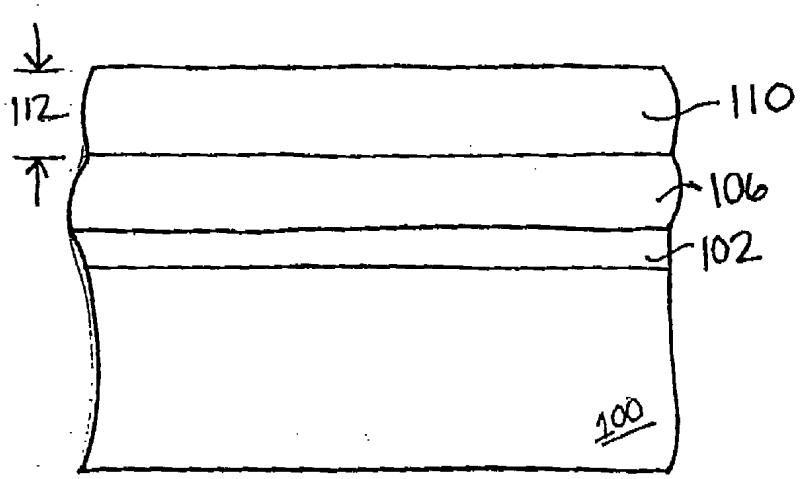
도면1a



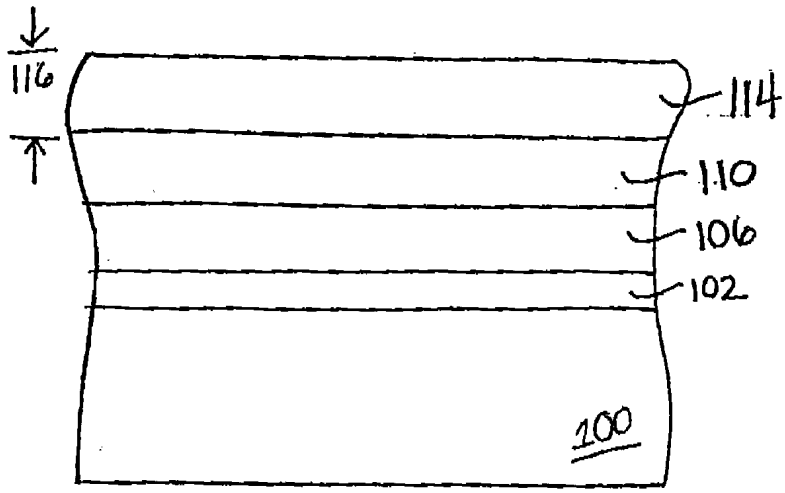

도면1b



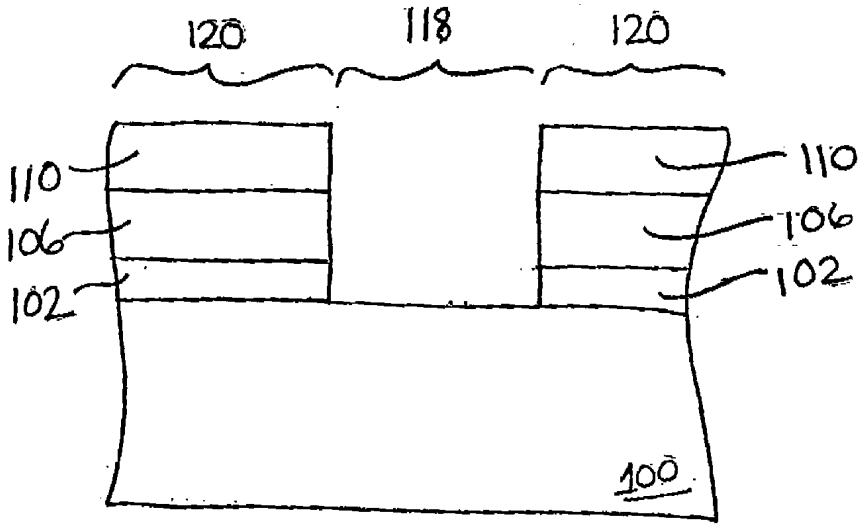
도면1c



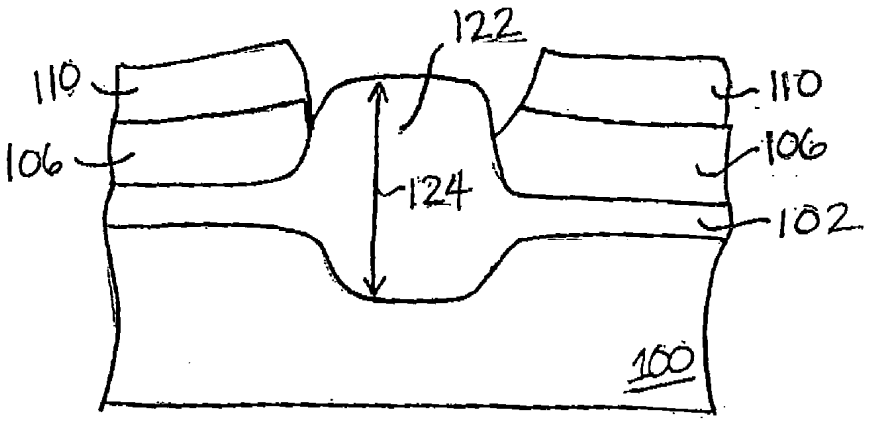

도면1d



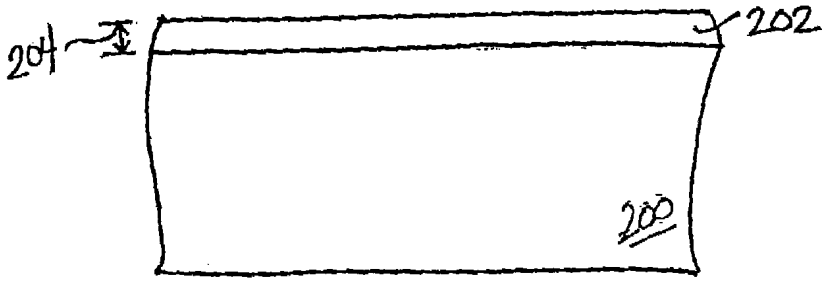

도면1e



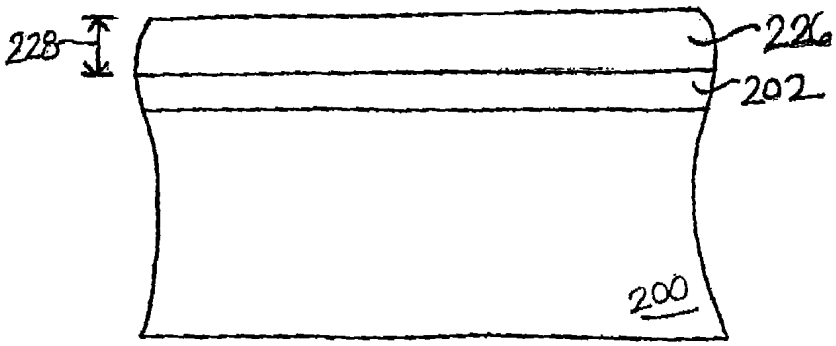
도면1f



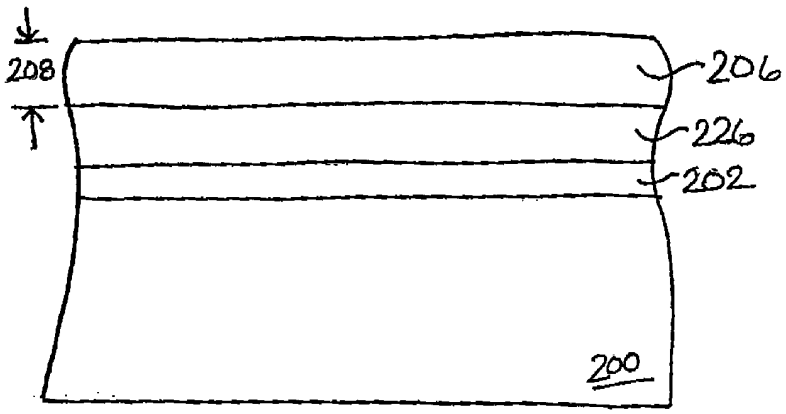

도면2a



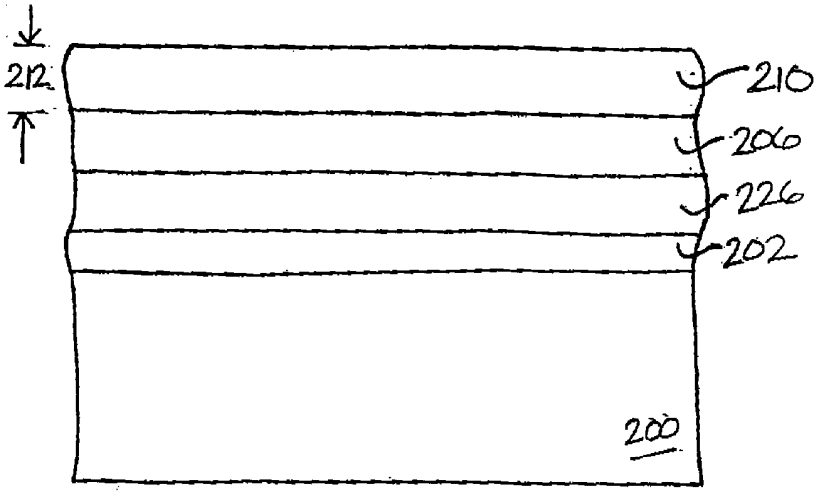

도면2b



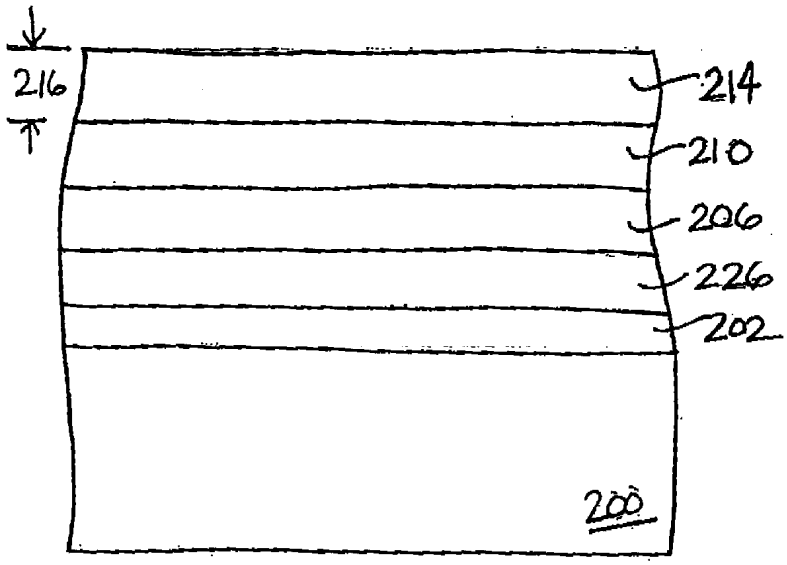

도면2c



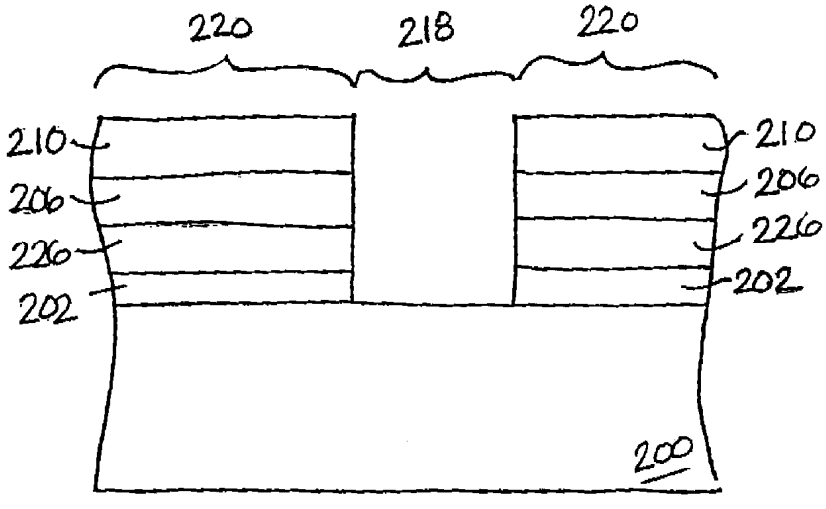
도면2d



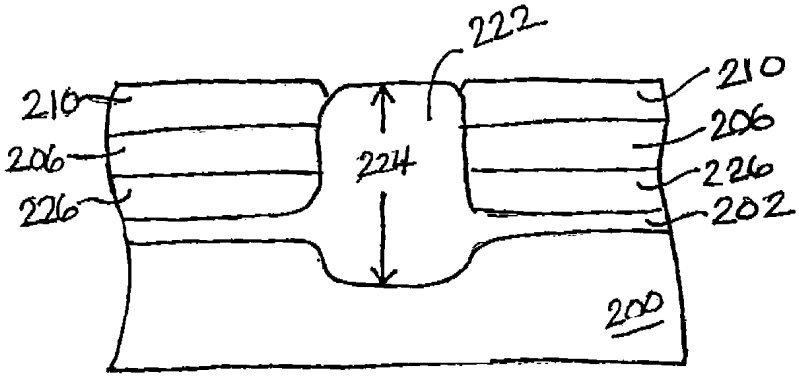

도면2e



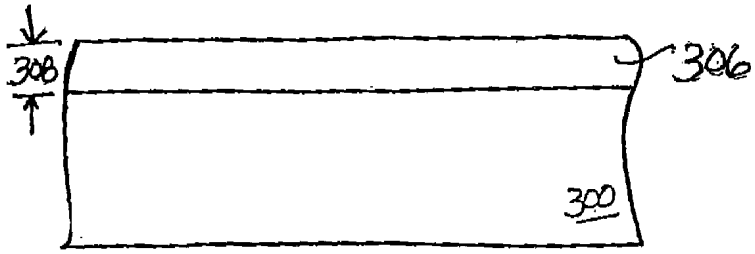

도면2f



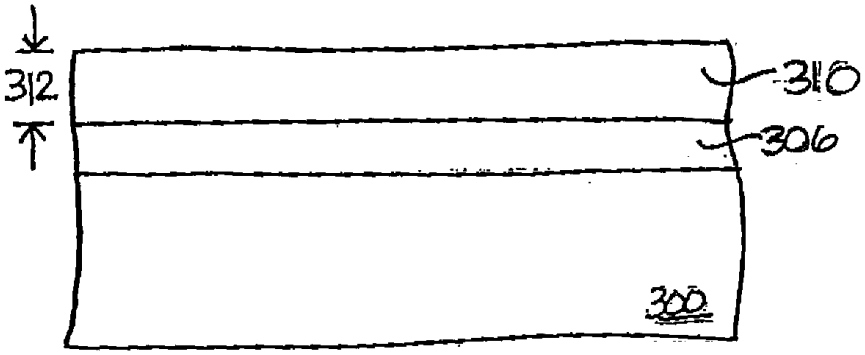
도면2g



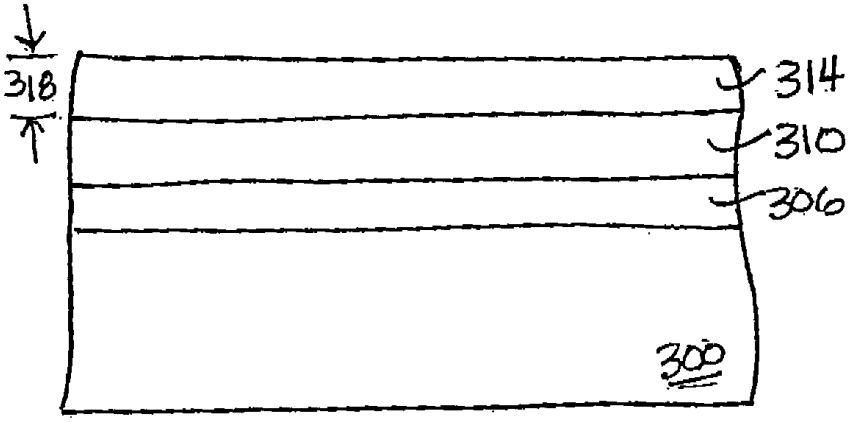

도면3a



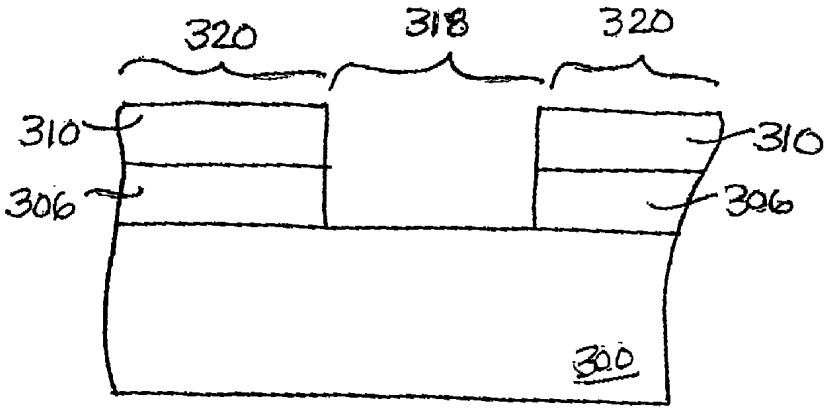

도면3b



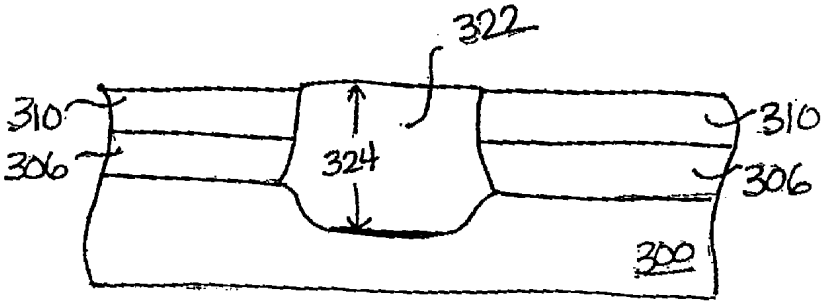

도면3c



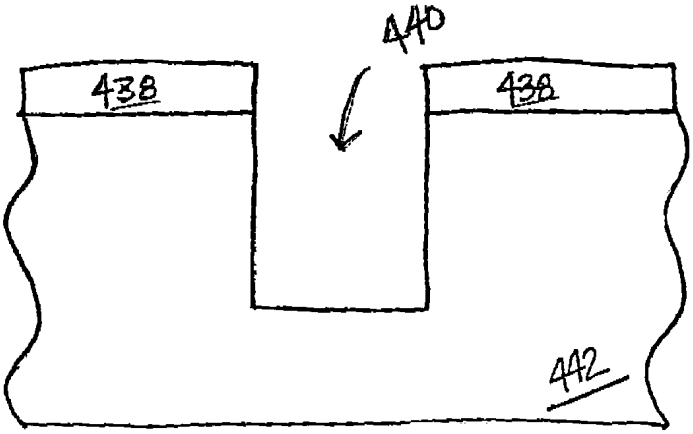
도면3d




도면3e




도면4a




도면4b

