

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4180716号
(P4180716)

(45) 発行日 平成20年11月12日(2008.11.12)

(24) 登録日 平成20年9月5日(2008.9.5)

(51) Int.Cl.	F I
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 8 1 F
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 2 1 C
	H O 1 L 27/10 6 5 1

請求項の数 6 (全 15 頁)

(21) 出願番号	特願平10-372195	(73) 特許権者	000005223
(22) 出願日	平成10年12月28日(1998.12.28)		富士通株式会社
(65) 公開番号	特開2000-196038(P2000-196038A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年7月14日(2000.7.14)	(74) 代理人	100087479
審査請求日	平成17年9月7日(2005.9.7)		弁理士 北野 好人
		(72) 発明者	中村 俊二
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	小川 将之
		(56) 参考文献	特開平10-189912(JP,A)
			特開平10-242422(JP,A)

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

下地基板上に絶縁膜を形成する工程と、

前記絶縁膜に、前記下地基板の第1の領域に達する第1の開口と、前記下地基板の第2の領域に達する第2の開口とを形成する工程と、

前記絶縁膜が形成された前記下地基板上に、前記絶縁膜とエッチング特性が異なる第1の導電層と、前記第1の導電層とエッチング特性の異なる第2の導電層とを形成する工程と、

前記絶縁膜上の前記第1の導電層及び前記第2の導電層を選択的に除去し、前記第1の開口内及び前記第2の開口内に前記第1の導電層及び前記第2の導電層を残存させる工程と、

前記第1の領域の前記絶縁膜及び前記第2の導電層を選択的に除去し、前記下地基板の第1の領域に接続され、前記第1の導電層よりなるシリンダー状の蓄積電極と、前記下地基板の第2の領域に接続され、前記第1の導電層及び前記第2の導電層よりなるプラグとを形成する工程と、

前記蓄積電極の内側面及び外側面を覆う誘電体膜を形成する工程と、

前記誘電体膜上に対向電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、

10

20

前記第 1 の開口及び前記第 2 の開口を形成する工程では、前記第 1 の領域を囲う環状の第 3 の開口を更に形成し、

前記第 1 の開口内及び前記第 2 の開口内に前記第 1 の導電層及び前記第 2 の導電層を残存させる工程では、前記第 3 の開口内に前記第 1 の導電層及び前記第 2 の導電層を更に残存させ、

前記第 1 の領域の前記絶縁膜及び前記第 2 の導電層を除去する工程では、前記第 3 の開口内に形成された前記第 1 の導電層をストッパとして前記第 1 の領域の前記絶縁膜及び前記第 2 の導電層を除去する

ことを特徴とする半導体装置の製造方法。

【請求項 3】

10

請求項 1 又は 2 記載の半導体装置の製造方法において、

前記第 1 の領域の前記絶縁膜及び前記第 2 の導電層を除去する工程では、前記第 1 の領域の前記絶縁膜及び前記第 2 の導電層を同時に除去する

ことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記蓄積電極を複数形成し、前記対向電極形成工程では、隣接する前記複数の蓄積電極間の領域に埋め込まれるように前記対向電極を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 5】

20

請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 の領域の前記絶縁膜及び前記第 2 の導電層を除去する工程では、前記第 2 の領域を覆い前記第 1 の領域を露出するマスク膜をマスクとして前記第 1 の領域の前記絶縁膜及び前記第 2 の導電層を選択的に除去し、

前記対向電極を形成する工程では、前記対向電極となる第 3 の導電層を堆積し、前記マスク膜が露出するまで前記第 3 の導電層を研磨することにより、前記マスク膜に自己整合で前記対向電極を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 6】

30

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 の領域の前記絶縁膜及び前記第 2 の導電層を除去する工程では、等方的にエッチングが進行するウェットエッチングにより前記絶縁膜及び／又は前記第 2 の導電層を除去する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に係り、特に、DRAM型の記憶素子を有する半導体装置及びその製造方法に関する。

【0002】

40

【従来の技術】

DRAMは、1トランジスタ、1キャパシタで構成できる半導体記憶装置であり、従来から、より高密度、高集積化された半導体記憶装置を製造するための構造や製造方法が種々検討されている。

近年、DRAM型の半導体装置の製造分野では製造メーカー間の競争が激化しており、より高集積化された高性能の半導体装置を如何に低価格で製造するかが重要な課題となっている。このため、キャパシタにはより単純な構造が望まれており、単純な構造で十分な容量を確保しうる構造が検討されている。このようなキャパシタの構造の一つとして、柱状の導電体を蓄積電極として用いるものがある。

【0003】

50

本出願人は、柱状の導電体を蓄積電極として用いる半導体装置について、特開平10-189912号公報において提案しており、当該公報に記載された半導体装置及びその製造方法によれば、製造工程を複雑にすることなく、周辺回路領域に形成された電極プラグの高抵抗化を抑制しつつキャパシタの容量を増加することができる。

【0004】

以下、特開平10-189912号公報に記載の従来の半導体装置の構造について図10を用いて説明する。

シリコン基板100上には、ソース／ドレイン拡散層102、104、ゲート電極106を有するメモリセルトランジスタと、ソース／ドレイン拡散層108、ゲート電極110を有する周辺回路用トランジスタが形成されている。

10

【0005】

メモリセルトランジスタ及び周辺回路用トランジスタが形成されたシリコン基板100上には、ソース／ドレイン拡散層102上にプラグ114が埋め込まれ、ソース／ドレイン拡散層108上にプラグ116が埋め込まれた層間絶縁膜118が形成されている。

層間絶縁膜118上には、プラグ114を介してソース／ドレイン拡散層102に接続され、層間絶縁膜118上に突出した柱状の蓄積電極120が形成されている。蓄積電極120の側壁及び上面には誘電体膜122を介して対向電極124が形成されており、隣接する蓄積電極120との間是对向電極124によって埋め込まれている。こうして、蓄積電極120、誘電体膜122、対向電極124よりなるキャパシタが構成されている。

【0006】

20

このようにメモリセルトランジスタ及びキャパシタよりなるメモリセルがマトリクス状に配列されたセルアレイ領域の周縁部には、セルアレイ領域を取り囲む環状ダミー電極126が形成されている。

一方、メモリセル領域と隣接する周辺回路領域には、シリコン基板100にプラグ116を介して接続されたプラグ128が層間絶縁膜118上に形成されており、上層に配された配線136とシリコン基板100とを電氣的に接続する役割を担っている。なお、プラグ128は、蓄積電極120と同一の導電層により構成されている。

【0007】

周辺回路領域の層間絶縁膜118上には層間絶縁膜130が形成され、蓄積電極120、プラグ128、環状ダミー電極126、層間絶縁膜130により構成される面が平坦化されている。

30

対向電極124上には、対向電極124に接続された配線134が層間絶縁膜132を介して形成されている。また、プラグ128上には、プラグ128に接続された配線136が層間絶縁膜132を介して形成されている。

【0008】

こうして、1トランジスタ、1キャパシタよりなる半導体装置が構成されていた。

【0009】

【発明が解決しようとする課題】

しかしながら、半導体装置の更なる微細化、高集積化の要請に伴い、蓄積電極の形成される領域の床面積は更に縮小する傾向にある。その一方、DRAMでは、 α 線ソフトエラーの問題や電源電圧の低電圧化の問題に対処するために世代を通じて約35fF程度の静電容量を維持する必要がある。

40

【0010】

このため、図10に示す従来の半導体装置では上記静電容量を維持することが困難になることも想定され、図10に示す半導体装置のメリットを生かしつつキャパシタの蓄積容量を更に増加しうる半導体装置の構造及びその製造方法が望まれていた。

本発明の目的は、単純な構造及び製造工程によってメモリセルを形成しうるとともに、周辺回路領域のコンタクト形成プロセスとの整合性に優れ、且つ、蓄積容量を増加することができる半導体装置の構造及びその製造方法を提供することにある。

【0011】

50

【課題を解決するための手段】

上記目的は、下地基板上に絶縁膜を形成する工程と、前記絶縁膜に、前記下地基板の第1の領域に達する第1の開口と、前記下地基板の第2の領域に達する第2の開口とを形成する工程と、前記絶縁膜が形成された前記下地基板上に、前記絶縁膜とエッチング特性が異なる第1の導電層と、前記第1の導電層とエッチング特性の異なる第2の導電層とを形成する工程と、前記絶縁膜上の前記第1の導電層及び前記第2の導電層を選択的に除去し、前記第1の開口内及び前記第2の開口内に前記第1の導電層及び前記第2の導電層を残存させる工程と、前記第1の領域の前記絶縁膜及び前記第2の導電層を選択的に除去し、前記下地基板の第1の領域に接続され、前記第1の導電層よりなるシリンダー状の蓄積電極と、前記下地基板の第2の領域に接続され、前記第1の導電層及び前記第2の導電層よりなるプラグとを形成する工程と、前記蓄積電極の内側面及び外側面を覆う誘電体膜を形成する工程と、前記誘電体膜上に対向電極を形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

10

【0014】

また、上記の半導体装置の製造方法において、前記第1の開口及び前記第2の開口を形成する工程では、前記第1の領域を囲う環状の第3の開口を更に形成し、前記第1の開口内及び前記第2の開口内に前記第1の導電層及び前記第2の導電層を残存させる工程では、前記第3の開口内に前記第1の導電層及び前記第2の導電層を更に残存させ、前記第1の領域の前記絶縁膜及び前記第2の導電層を除去する工程では、前記第3の開口内に形成された前記第1の導電層をストップとして前記第1の領域の前記絶縁膜及び前記第2の導電層を除去するようにしてもよい。

20

【0015】

また、上記の半導体装置の製造方法において、前記第1の領域の前記絶縁膜及び前記第2の導電層を除去する工程では、前記第1の領域の前記絶縁膜及び前記第2の導電層を同時に除去するようにしてもよい。

また、上記の半導体装置の製造方法において、前記蓄積電極を複数形成し、前記対向電極形成工程では、隣接する前記複数の蓄積電極間の領域に埋め込まれるように前記対向電極を形成するようにしてもよい。

【0016】

また、上記の半導体装置の製造方法において、前記第1の領域の前記絶縁膜及び前記第2の導電層を除去する工程では、前記第2の領域を覆い前記第1の領域を露出するマスク膜をマスクとして前記第1の領域の前記絶縁膜及び前記第2の導電層を選択的に除去し、前記対向電極を形成する工程では、前記対向電極となる第3の導電層を堆積し、前記マスク膜が露出するまで前記第3の導電層を研磨することにより、前記マスク膜に自己整合で前記対向電極を形成するようにしてもよい。

30

【0017】

また、半導体装置の製造方法において、前記第1の領域の前記絶縁膜及び前記第2の導電層を除去する工程では、等方的にエッチングが進行するウェットエッチングにより前記絶縁膜及び／又は前記第2の導電層を除去するようにしてもよい。

【0018】

40

【発明の実施の形態】

本発明の一実施形態による半導体装置及びその製造方法を図1乃至図9を用いて説明する。図1は本実施形態による半導体装置の構造を示す平面図及び断面図、図2乃至図9は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0019】

始めに、本実施形態による半導体装置の構造を図1を用いて説明する。なお、図1(a)は本実施形態による半導体装置の構造を示す平面図、図1(b)は本実施形態による半導体装置の構造を示す概略断面図である。

素子分離膜12により画定された半導体基板10上の所定の領域には、ゲート電極18、ソース／ドレイン拡散層20、22を有するメモリセルトランジスタと、ゲート電極24

50

、ソース／ドレイン拡散層 26 を有する周辺回路用トランジスタが形成されている。

【0020】

メモリセルトランジスタ及び周辺回路用トランジスタが形成された半導体基板 10 上には、ソース／ドレイン拡散層 20 上にプラグ 36 が埋め込まれ、ソース／ドレイン拡散層 26 上にプラグ 40 が埋め込まれた層間絶縁膜 28 が形成されている。

層間絶縁膜 28 上には、プラグ 36 を介してソース／ドレイン拡散層 20 に接続され、層間絶縁膜 28 上に突出したシリンダー状の蓄積電極 70 が形成されている。蓄積電極 70 の側壁の両面及び上面には誘電体膜 72 を介して対向電極 74 が形成されており、隣接する蓄積電極 72 との間は対向電極 74 によって埋め込まれている。こうして、蓄積電極 70、誘電体膜 72、対向電極 74 よりなるキャパシタが構成されている。なお、本明細書にいう「シリンダー状」とは、筒状に中央部が削り抜かれているようなパターンで形成されていることを意味するものであり、その平面形状は円形や四角形に限られるものではない。また、後述する環状ダミー電極のように環状パターンの中央部が環状に削り抜かれているようなパターンも、本明細書では「シリンダー状」と呼ぶこととする。

10

【0021】

このようにメモリセルトランジスタ及びキャパシタよりなるメモリセルがマトリクス状に配列されたセルアレイ領域の周縁部には、セルアレイ領域を取り囲む環状ダミー電極 66 が形成されている。環状ダミー電極 66 の一部を構成する導電層 58 は、蓄積電極 70 と同一の導電層により構成されている。また、環状ダミー電極 66 は、層間絶縁膜 28 上に突出して形成され、蓄積電極 70 とほぼ等しい高さを有している。なお、本実施形態では、便宜上、この環状構造体を「環状ダミー電極」と呼ぶが、環状ダミー電極 66 は、必ずしも導電性材料で構成される必要はない。少なくとも、後述する層間絶縁膜 42、50、導電膜 60 とのエッチング選択性を有する材料であれば本実施形態による効果を得ることができる。

20

【0022】

一方、メモリセル領域と隣接する周辺回路領域には、半導体基板 10 にプラグ 40 を介して接続されたプラグ 64 が層間絶縁膜 28 上に形成されており、上層に配された配線 80 と半導体基板 10 とを電氣的に接続する役割を担っている。プラグ 64 の一部を構成する導電層 58 は、蓄積電極 70 と同一の導電層により構成されている。

【0023】

周辺回路領域の層間絶縁膜 28 上には層間絶縁膜 42、46、ストッパ絶縁膜 48、層間絶縁膜 50 が形成され、蓄積電極 70、プラグ 64、環状ダミー電極 66、層間絶縁膜 50 により構成される面が平坦化されている。

30

対向電極 74 上には、対向電極 74 に接続された配線 78 が層間絶縁膜 76 を介して形成されている。また、プラグ 64 上には、プラグ 64 に接続された配線 80 が層間絶縁膜 76 を介して形成されている。

【0024】

このように、本実施形態による半導体装置は、セルアレイの周縁部に、セルアレイを囲む環状ダミー電極 66 が形成されており、また、プラグ 64 及び／又は環状ダミー電極 66 の一部をなす導電膜と同一の導電層によってシリンダー状の蓄積電極 70 が形成されていることに特徴がある。このように半導体装置を構成することにより蓄積電極 70 の表面積を極めて広くすることができるので、キャパシタの容量を大幅に増加することができる。また、後述するように、半導体装置の製造過程において種々のメリットがある。

40

【0025】

次に、本実施形態による半導体装置の利点を半導体装置の製造工程に沿って詳細に説明する。なお、図 2 及び図 3 はビット線コンタクト部における工程断面図を、図 4 乃至図 9 は蓄積電極コンタクト部における工程断面図を示している。

まず、半導体基板 10 の主表面上に、例えば通常の LOCOS 法により素子分離膜 12 を形成し、素子領域 14、16 を画定する。ここで、素子領域 14 はメモリセルを形成するメモリセル領域を、素子領域 16 は周辺回路を形成する周辺回路領域を示すものとする

50

。

【0026】

次いで、通常のMOSトランジスタの形成方法と同様にして、素子領域14に、ゲート電極18、ソース／ドレイン拡散層20、22を有するメモリセルトランジスタを、素子領域16に、ゲート電極24、ソース／ドレイン拡散層26を有する周辺回路用トランジスタを形成する(図2(a)、図4(a))。メモリセルトランジスタのゲート電極18は、紙面垂直方向に隣接するメモリセルトランジスタ(図示せず)のゲート電極が連なるワード線の役割も担っている。

【0027】

なお、図2において、素子領域14、16は半導体基板10中に形成されたウェル内に設けてもよく、また、ソース／ドレイン拡散層20、22、26の構造はLDD構造その他の拡散層構造としてもよい。

次いで、全面に、例えばCVD法により膜厚約500nmのシリコン酸化膜を堆積し、CMP(化学的機械的研磨:Chemical Mechanical Polishing)法によりその表面を研磨する。こうして、シリコン酸化膜よりなり、表面が平坦化された層間絶縁膜28を形成する。なお、層間絶縁膜28を平坦化するのは後工程で層間絶縁膜28にプラグを埋め込むためであり、プラグを形成しない場合には必ずしも平坦化する必要はない。

【0028】

次いで、通常のリソグラフィー技術及びエッチング技術を用い、層間絶縁膜28に、メモリセルトランジスタのソース／ドレイン拡散層20、22上に開口されたスルーホール30、32と、周辺回路用トランジスタのソース／ドレイン拡散層26上に開口されたスルーホール34とを形成する(図2(b)、図4(b))。

【0029】

次いで、層間絶縁膜28に開口されたスルーホール30、32、34内に、プラグ36、38、40をそれぞれ埋め込む(図2(c)、図4(c))。例えば、CVD法により多結晶シリコン膜を堆積してエッチバックすることによりスルーホール30、32、34内のみに多結晶シリコン膜を残存させた後、イオン注入法により多結晶シリコン膜にドーピングして低抵抗化し、プラグ36、38、40を形成する。例えば、スルーホール30、32、34の開口径が0.15~0.2μm程度の場合、膜厚約300nm程度の多結晶シリコン膜を堆積することによりスルーホール30、32、34内を埋め込むプラグ36、38、40を形成することができる。なお、プラグ36、38、40は必ずしも形成する必要はなく、また、いずれかのスルーホールのみにプラグを形成してもよい。プラグは、デバイス構造やプロセス条件により必要に応じて形成すればよい。

【0030】

次いで、プラグ36、38、40が埋め込まれた層間絶縁膜28上に、層間絶縁膜42を形成する。例えば、CVD法により膜厚約100~150nmのシリコン酸化膜を堆積し、層間絶縁膜42とする。なお、層間絶縁膜42としては、BPSG膜などの不純物をドーピングしたシリコン酸化膜やノンドープのシリコン酸化膜などを適用することができる。

【0031】

次いで、通常のリソグラフィー技術及びエッチング技術により、層間絶縁膜42に、プラグ38上を露出するコンタクトホール43を形成する(図3(a))。

次いで、全面に、例えばCVDなどの方法により、膜厚約20nmのTi膜と、膜厚約50nmのTiN膜と、膜厚約50nmのW膜とを順次堆積してパターニングし、W/TiN/Ti構造よりなり、コンタクトホール43を介してプラグ38に接続されたビット線44を形成する(図3(b))。

【0032】

次いで、ビット線44が形成された層間絶縁膜42上に、層間絶縁膜46を形成する。例えば、CVD法により膜厚約100~150nmのシリコン酸化膜を堆積し、層間絶縁膜46とする。なお、層間絶縁膜46としては、BPSG膜などの不純物をドーピングしたシリコン酸化膜やノンドープのシリコン酸化膜などを適用することができる。

10

20

30

40

50

【0033】

次いで、CMP法により層間絶縁膜46の表面を研磨し、層間絶縁膜46の表面を平坦化する。

次いで、層間絶縁膜46上に、後工程でエッチングストッパとして用いるストッパ絶縁膜48を堆積する。例えば、CVD法により膜厚約10nmのシリコン窒化膜を堆積し、ストッパ絶縁膜48とする。

【0034】

次いで、ストッパ絶縁膜48上に、ストッパ絶縁膜48とはエッチング特性の異なる材料よりなる層間絶縁膜50を形成する。例えば、CVD法により膜厚約1.0μmのBPSG膜を堆積し、層間絶縁膜50とする。なお、層間絶縁膜50としては、層間絶縁膜42とエッチング特性がほぼ等しい絶縁膜を選択することが望ましく、例えばBPSGなどの不純物をドーピングしたシリコン酸化膜、ノンドーピングのシリコン酸化膜等を適用することができる。

10

【0035】

次いで、CMP法により層間絶縁膜50の表面を研磨し、層間絶縁膜50の表面を平坦化する(図3(c)、図5(a))。

次いで、通常のリソグラフィ技術及びエッチング技術により、層間絶縁膜50、ストッパ絶縁膜48、層間絶縁膜46、42をパターンニングし、プラグ36を露出する開口52と、プラグ40を露出する開口54と、開口52が形成されたセルアレイ領域を囲む環状の開口56とを形成する(図5(b))。

20

【0036】

次いで、開口52、54、56が形成された層間絶縁膜50上に、開口52、54、56を完全に埋め込まない膜厚の導電膜58を堆積する。例えば、CVD法によりRu(ルテニウム)膜を堆積して導電膜58とする。開口52、54、56の短方向の幅が0.2μm程度の場合、膜厚約10~50nmのRu膜を堆積して導電膜58とすることが望ましい。

【0037】

なお、導電膜58は、後工程で層間絶縁膜50をエッチングする際のストッパとして用いるものであり、層間絶縁膜50の材料とはエッチング特性の異なる材料により構成する。また、導電膜58は、最終的には蓄積電極及び配線プラグの一部としても機能する膜であり、キャパシタ誘電体膜に対する相性がよく、低抵抗の導電性材料を適用することが望ましい。導電膜58としては、Ru膜のほか、例えば、RuO(酸化ルテニウム)膜、SRO(SrRuO₃)膜、W(タングステン)膜、Pt(プラチナ)膜、ドーフトポリシリコン膜などを適用することもできる。但し、これら材料に限定されるものではなく、他の導電性材料であってもよい。

30

【0038】

次いで、導電膜58が形成された層間絶縁膜50上に、導電膜58とはエッチング特性の異なる導電膜60を堆積する(図6(a))。例えば、CVD法により膜厚約200nmのW(タングステン)膜を堆積して導電膜60とする。導電膜60は、開口部52、54、56を完全に埋め込むに十分な膜厚とする。なお、導電膜60は、最終的には配線プラグの一部としても機能する膜であり、低抵抗の導電性材料を適用することが望ましい。導電膜60としては、W膜のほか、例えば、Ti(チタン)膜、TiN(窒化チタン)膜、Ta(タンタル)膜、Al(アルミ)膜、Cu(銅)膜、Ni(ニッケル)膜、Cr(クロム)膜などを適用することができる。但し、これらの膜に限定されるものではなく、導電膜58とエッチング特性の異なる導電膜であれば他の導電性材料であってもよい。

40

【0039】

次いで、例えばCMP法或いはエッチバック法により、層間絶縁膜50上の導電膜58、60を選択的に除去し、開口52、54、56内にもみ導電膜58、60を残存させる。こうして、開口52内に埋め込まれ、導電膜58、60よりなり、プラグ36に接続された柱状導電体62と、開口54内に埋め込まれ、導電膜58、60よりなり、プラグ4

50

0に接続されたプラグ64と、開口56に埋め込まれ、導電膜58、60よりなる環状ダミー電極66とを形成する(図6(b))。

【0040】

なお、本実施形態では、開口52、54、56を同時に開口し、これら開口内を同時に導電膜58、60で埋め込んだが、それぞれの開口を別々に開口し、導電膜を別々に埋め込んでもよい。開口52、54、56におけるエッチング特性が互いに異なる場合や、誘電体膜の相性やプラグの低抵抗化などの要請から柱状導電体62、プラグ64、環状ダミー電極66とを別々の材料で形成する必要がある場合などに特に意義がある。

【0041】

次いで、環状ダミー電極66で囲われたセルアレイ領域内の層間絶縁膜50及び導電膜60を選択的に除去する。例えば、セルアレイ領域以外の領域を覆うマスク68を形成し(図7(a)及び(b))、等方的なウェットエッチングにより層間絶縁膜50、導電膜60を選択的に除去する。マスク68としては、例えばレジストマスクや、レジストマスクによって転写されたレジスト以外の材料からなるマスクを適用することができる。このようにしてこれらの膜をエッチングすることにより、セルアレイ領域内には、導電膜58よりなり、プラグ36を介してソース/ドレイン拡散層20に接続されたシリンダー状の蓄積電極70が形成される(図8(a)及び(b))。

【0042】

このエッチングは、層間絶縁膜50及び導電膜60を、ストッパ絶縁膜48及び導電膜58に対して選択性を確保しうるエッチング条件によりエッチングすることに達成することができる。例えば、層間絶縁膜50がシリコン酸化膜により形成されており、導電膜58がRu膜、導電膜60がW膜で形成されているような場合には、弗酸系の水溶液によってエッチングすることによりストッパ絶縁膜48及び導電膜58にダメージを与えることなく層間絶縁膜50をエッチングすることができ、続いて加熱した硫酸でエッチングすることにより導電膜60を除去することができる。また、ストッパ絶縁膜48がシリコン窒化膜により形成されており、導電膜58がRu膜、導電膜60がTiN膜で形成されているような場合には、弗酸系の水溶液によってエッチングを行うことにより、ストッパ絶縁膜48及び導電膜58にダメージを与えることなく層間絶縁膜50及び導電膜60をエッチングすることができる。Ruは弗酸や硫酸に対して耐エッチング性を有しているのに対し、TiNは弗酸や磷酸に対してある程度の耐性はあるものの長時間のエッチングにより除去されてしまうという特性に基づくものである。工程簡略の面からは層間絶縁膜50と導電膜60とを同時にエッチングすることが望ましいが、必ずしも同時にエッチングする必要はなく、層間絶縁膜50と導電膜60とを別々にエッチングしてもよい。

【0043】

なお、セルアレイ領域は環状ダミー電極66により囲われているので、セルアレイ領域の層間絶縁膜50がセルアレイ領域外の層間絶縁膜50と繋がる場所は存在しない。したがって、環状ダミー電極66をエッチングストッパとして機能させることにより、セルアレイ領域内の層間絶縁膜50のみを選択的に除去することができる(図8(a)、図8(b)参照)。また、層間絶縁膜46上にはストッパ絶縁膜48が形成されているので、層間絶縁膜46、28がエッチングされることはない。

【0044】

また、上記エッチングではウェットエッチングを用いているが、これは次の理由による。すなわち、ドライエッチング等の異方性エッチングでは上面から徐々にエッチングが進行するため層間絶縁膜50の厚さに相当する非常に長いエッチングが必要となり、蓄積電極となる導電膜58の上面がこの間中エッチングイオンに曝されて変形する虞があるからである。また、柱状導電体62の形状が逆テーパ状になっていると、この部分にサイドウォールとして層間絶縁膜50が残る虞があるからである。したがって、このような問題が生じないエッチング条件であれば、ウェットエッチングに限らずドライエッチングを適用することもできる。

【0045】

次いで、蓄積電極 70 の表面を覆う誘電体膜 72 を形成する。例えば CVD 法により膜厚約 10 nm の Ta_2O_5 膜を堆積し、酸化膜換算で例えば膜厚約 0.5 ~ 1 nm の誘電体膜 72 を形成する。誘電体膜 72 は、このように形成した Ta_2O_5 膜の他に、 $SrBi_2Ta_2O_9$ (SBT)、 $BaSrTiO_3$ (BST) 等の高誘電体膜を用いてもよい。

【0046】

次いで、誘電体膜 72 により覆われた蓄積電極 70 上に対向電極 74 を形成する。例えば CVD 法により膜厚約 100 nm の Ru 膜を堆積し、誘電体膜 72 で覆われた蓄積電極 70 の間隙、及び、導電膜 60 が形成されていた蓄積電極 70 の中側の領域に Ru 膜を埋め込み、次いで、Ru 膜をパターンニングし、Ru 膜よりなる対向電極 74 を形成する。蓄積電極 70 の間隙及び蓄積電極 70 の中側の領域はレイアウト上極めて狭く、また、この間隙を埋めるには間隙の約半分の膜厚の Ru 膜で十分であるので、対向電極 74 によって形成される表面段差は僅かである（図 9 (a)）。なお、対向電極 74 を構成する材料としては、Ru 膜のほか、TaON 膜や Pt 膜などの電極材料を適用することもできる。

10

【0047】

なお、メモリセル領域の層間絶縁膜 50 をエッチングする際のマスク 68 としてシリコン窒化膜などの絶縁膜を適用すれば、対向電極 74 の製造工程をより簡略にすることもできる。すなわち、例えば図 7 (a) に示すようにシリコン窒化膜よりなるマスク 68 を形成した後、上記と同様の手法により層間絶縁膜 50 及び導電膜 60 を除去し、次いでマスク 68 を除去せずに誘電体膜 72 及び対向電極 74 となる導電膜を堆積し、次いで CMP 法などによりマスク 68 が露出するまで対向電極 74 となる導電膜及び誘電体膜 72 を除去することにより、マスク 68 の開口領域、すなわちメモリセル領域に対向電極 74 を自己整合的に形成することができる。こうすることにより、対向電極 74 を形成する際のリソグラフィ工程が削減され、製造工程を簡略にすることができる。

20

【0048】

次いで、通常の配線形成プロセスと同様にして、層間絶縁膜 76 を介して対向電極 74 に接続された配線 78、層間絶縁膜 76 を介してプラグ 64 に接続された配線 80 などの配線を形成する。この際、層間絶縁膜 76 は、層間絶縁膜 50 の平坦性をほぼ維持しているので、配線 76、78 を接続するためのコンタクトホール開口においては、焦点深度を浅くして微細なパターンニングを行うことができる（図 9 (b)）。

【0049】

こうして、1 トランジスタ、1 キャパシタよりなる DRAM を製造することができる。このように、本実施形態によれば、蓄積電極 70 及びプラグ 64 を構成するための導電層を、層間絶縁膜 50 とエッチング特性の異なる導電層 58 と、導電層 58 とエッチング特性の異なる導電層 60 とにより構成するので、メモリセル領域の層間絶縁膜 50 を選択的に除去する際にメモリセル領域の導電層 60 を選択的に除去することができる。これにより、プラグ 64 の抵抗値を増加することなくシリンダー状の蓄積電極 70 を形成することができる。また、製造工程を複雑にすることなくキャパシタの静電容量を大幅に増加することができる。

30

【0050】

また、本実施形態による半導体装置の基本的な構造及び製造方法は、特開平 10-189912 号公報に記載された半導体装置と同じであり、当該半導体装置によって達成される種々の効果をも得ることができるというメリットがある。

40

例えば、本実施形態による半導体装置によれば、グローバル平坦性に優れた層間絶縁膜 50 を形成した後に開口を設け、この開口に導電膜 58、60 を埋め込むことによって蓄積電極 70 及びプラグ 64 を形成するので、蓄積電極 70 やプラグ 64 を先に形成する場合よりも層間絶縁膜 50 の表面平坦性を向上することができる。これにより、層間絶縁膜 50 上に形成される配線の形成が容易となる。

【0051】

また、蓄積電極 70 と周辺回路のプラグ 64 とを同一の工程で形成するので、製造工程を短縮することができ、製造コストをも低減することができる。

50

なお、上記実施形態による半導体装置では、図 1 に示すように、環状ダミー電極 6 6 の電位がフローティングとなるため、隣接する対向電極 7 4 との間において寄生容量を生じる虞がある。このような寄生容量を防止するためには、環状ダミー電極 6 6 と対向電極 7 4 とを同電位に保つことが望ましい。

【0052】

【発明の効果】

以上の通り、本発明によれば、半導体基板上にメモリセル領域と周辺回路領域とを有する半導体装置において、メモリセル領域に形成されたメモリセルトランジスタと、メモリセルトランジスタの一方の拡散層に接続された第 1 の導電層よりなるシリンダー状の蓄積電極と；蓄積電極の内側面及び外側面を覆う誘電体膜と；誘電体膜上に形成された対向電極とを有するキャパシタと、第 1 の導電層と同一の導電層よりなるシリンダー状の第 1 の導電体と；第 2 の導電層よりなり第 1 の導電体のシリンダー中央部に埋め込まれた第 2 の導電体とを有し；周辺回路領域に接続されたプラグとにより半導体装置を構成するので、製造工程を複雑にすることなくシリンダー型のキャパシタを有する DRAM を構成することができる。これにより、製造コストを大幅に増大することなく、同じ床面積でキャパシタの静電容量を約 2 倍近くにまで増加させることができる。

【0053】

また、下地基板上に絶縁膜を形成する工程と、絶縁膜に、下地基板の第 1 の領域に達する第 1 の開口と、下地基板の第 2 の領域に達する第 2 の開口とを形成する工程と、絶縁膜が形成された下地基板上に、絶縁膜とエッチング特性が異なる第 1 の導電層と、第 1 の導電層とエッチング特性の異なる第 2 の導電層とを形成する工程と、絶縁膜上の第 1 の導電層及び第 2 の導電層を選択的に除去し、第 1 の開口内及び第 2 の開口内に第 1 の導電層及び第 2 の導電層を残存させる工程と、第 1 の領域の絶縁膜及び第 2 の導電層を選択的に除去し、下地基板の第 1 の領域に接続され、第 1 の導電層よりなるシリンダー状の蓄積電極と、下地基板の第 2 の領域に接続され、第 1 の導電層及び第 2 の導電層よりなるプラグとを形成する工程と、蓄積電極の内側面及び外側面を覆う誘電体膜を形成する工程と、誘電体膜上に対向電極を形成する工程とにより半導体装置を製造するので、従来の半導体装置の製造方法に第 2 の導電層を形成する工程を追加するのみでシリンダー型のキャパシタを形成することができる。従って、製造コストを大幅に増大することなく、同じ床面積でキャパシタの静電容量を約 2 倍近くにまで増加させることができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態による半導体装置の構造を示す平面図及び断面図である。

【図 2】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 6】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 7】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 8】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 9】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 8）である。

【図 10】従来の半導体装置の構造を示す概略断面図である。

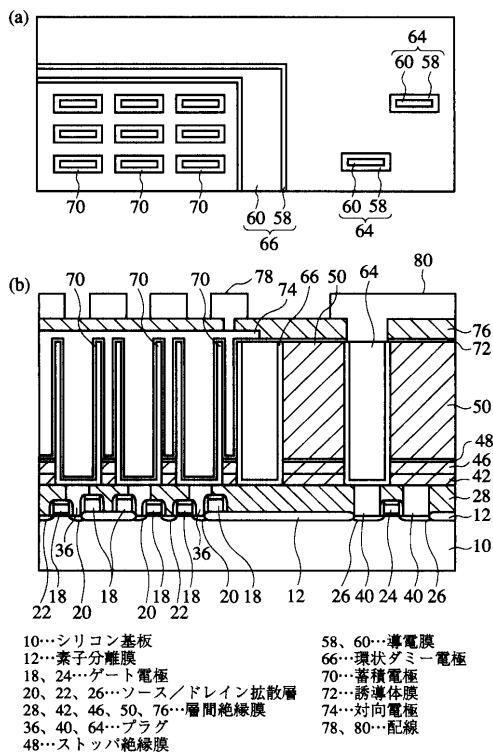
【符号の説明】

1 0 …シリコン基板	
1 2 …素子分離膜	
1 4 …素子領域	
1 6 …素子領域	
1 8 …ゲート電極	
2 0 …ソース／ドレイン拡散層	
2 2 …ソース／ドレイン拡散層	
2 4 …ゲート電極	
2 6 …ソース／ドレイン拡散層	
2 8 …層間絶縁膜	10
3 0 …スルーホール	
3 2 …スルーホール	
3 4 …スルーホール	
3 6 …プラグ	
3 8 …プラグ	
4 0 …プラグ	
4 2 …層間絶縁膜	
4 3 …コンタクトホール	
4 4 …ビット線	
4 6 …層間絶縁膜	20
4 8 …ストップパ絶縁膜	
5 0 …層間絶縁膜	
5 2 …開口	
5 4 …開口	
5 6 …開口	
5 8 …導電膜	
6 0 …導電膜	
6 2 …柱状導電体	
6 4 …プラグ	
6 6 …環状ダミー電極	30
6 8 …マスク	
7 0 …蓄積電極	
7 2 …誘電体膜	
7 4 …対向電極	
7 6 …層間絶縁膜	
7 8 …配線	
8 0 …配線	
1 0 0 …シリコン基板	
1 0 2 …ソース／ドレイン拡散層	
1 0 4 …ソース／ドレイン拡散層	40
1 0 6 …ゲート電極	
1 0 8 …ソース／ドレイン拡散層	
1 1 0 …ゲート電極	
1 1 4 …プラグ	
1 1 6 …プラグ	
1 1 8 …層間絶縁膜	
1 2 0 …蓄積電極	
1 2 2 …誘電体膜	
1 2 4 …対向電極	
1 2 6 …環状ダミー電極	50

- 1 2 8 …プラグ
 1 3 0 …層間絶縁膜
 1 3 2 …層間絶縁膜
 1 3 4 …配線
 1 3 6 …配線

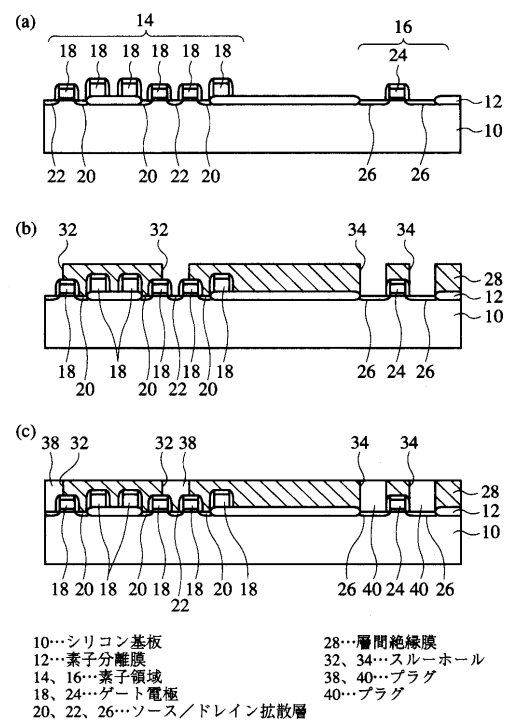
【図 1】

本発明の一実施形態による半導体装置の構造を示す
 平面図及び断面図



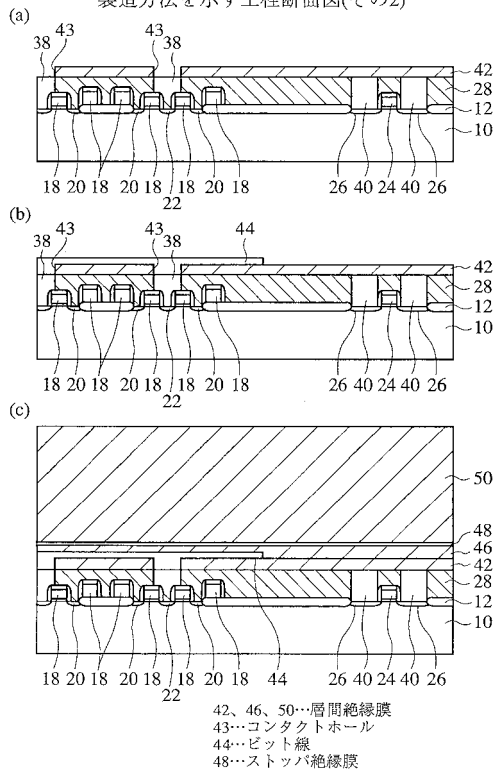
【図 2】

本発明の一実施形態による半導体装置の
 製造方法を示す工程断面図(その1)



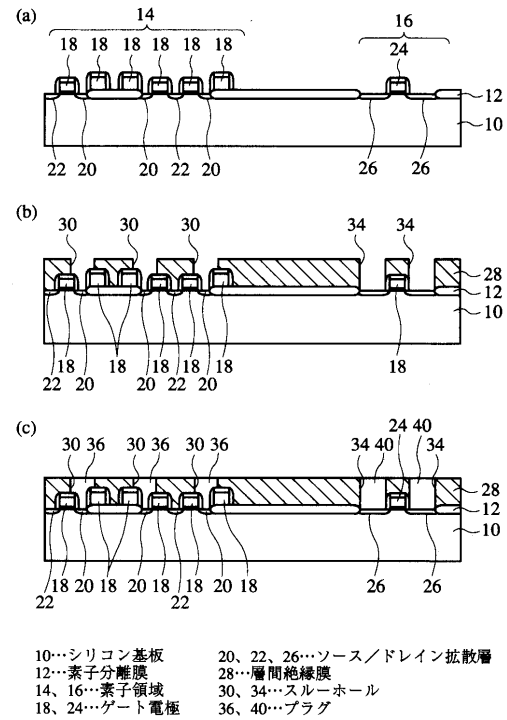
【図 3】

本発明の一実施形態による半導体装置の
製造方法を示す工程断面図(その2)



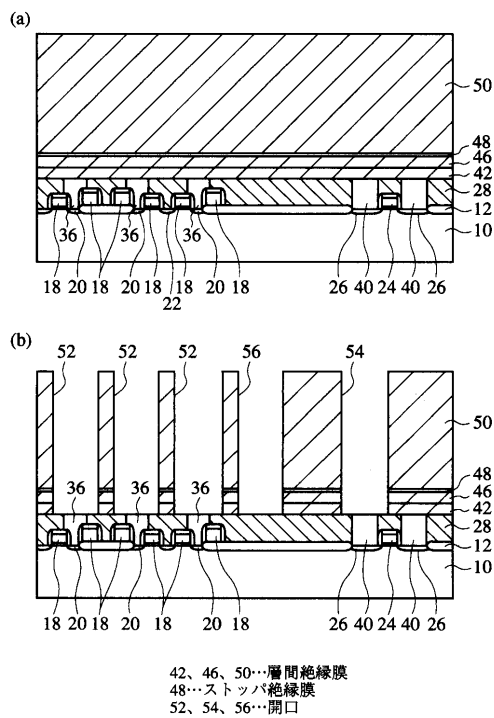
【図 4】

本発明の一実施形態による半導体装置の
製造方法を示す工程断面図(その3)



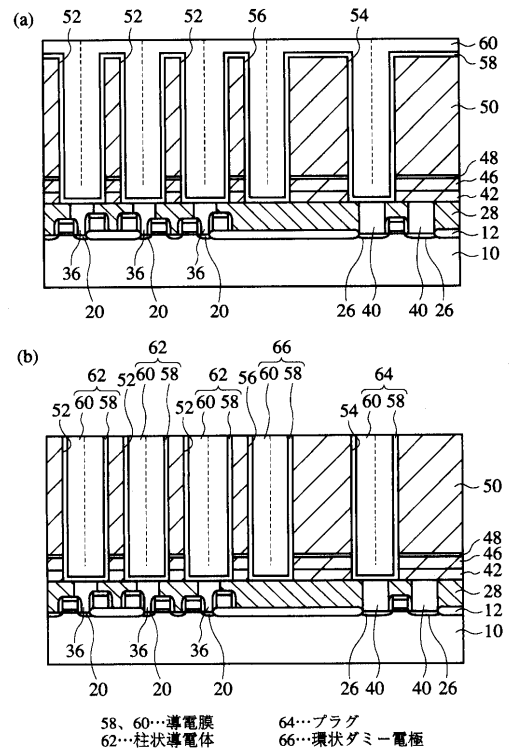
【図 5】

本発明の一実施形態による半導体装置の
製造方法を示す工程断面図(その4)



【図 6】

本発明の一実施形態による半導体装置の
製造方法を示す工程断面図(その5)



フロントページの続き

(58)調査した分野(Int.Cl., D B名)

H01L 21/8242

H01L 27/108