(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-525817
(P2024-525817A)
(43)公表日　令和6年7月12日(2024.7.12)

| (51)国際特許分類 | | FI | | | テーマコード（参考） |
|---|---|---|---|---|---|
| *H01L 29/786(2006.01)* | | H01L | 29/78 | 616V | 5F110 |
| | | H01L | 29/78 | 618B | |
| | | H01L | 29/78 | 626A | |
| | | H01L | 29/78 | 622 | |
| | | H01L | 29/78 | 616T | |

審査請求　未請求　予備審査請求　有　（全54頁）

(21)出願番号　特願2024-502119(P2024-502119)
(86)(22)出願日　令和4年7月8日(2022.7.8)
(85)翻訳文提出日　令和6年3月12日(2024.3.12)
(86)国際出願番号　PCT/IB2022/056349
(87)国際公開番号　WO2023/285936
(87)国際公開日　令和5年1月19日(2023.1.19)
(31)優先権主張番号　63/221,292
(32)優先日　令和3年7月13日(2021.7.13)
(33)優先権主張国・地域又は機関
米国(US)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
最終頁に続く

(71)出願人　524017191
ズィナイト コーポレイション
Ｚｉｎｉｔｅ Ｃｏｒｐｏｒａｔｉｏｎ
カナダ国 ヴィー６イー ２イー９ ブリティッシュコロンビア ヴァンクーヴァー ウェスト ヘイスティングズ ストリート １０５５ スイート １７００
１０５５ West Hastings Street, Suite 1700, Vancouver, British Columbia V6E 2E9, Canada
(74)代理人　100114890
弁理士　アインゼル・フェリックス＝ラインハルト
最終頁に続く

(54)【発明の名称】　薄膜半導体スイッチングデバイス

(57)【要約】
新規な半導体デバイスを教示する。新規なデバイスは、ソースとドレインとの間にチャネルを形成するｎ型半導体層を有する薄膜トランジスタ（ＴＦＴ）を含む。ＴＦＴはさらに、デバイスの少なくともソースコンタクトに隣接するソース－チャネル界面部材を含み、これにより、ＴＦＴの動作の空乏層制御が提供される。

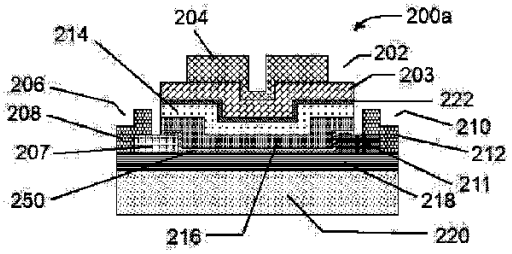


Fig. 2a

【特許請求の範囲】
【請求項１】
薄膜トランジスタであって、
基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたソースと、
前記絶縁層上に形成されており、前記ソースから離間されているドレインと、
前記絶縁層上に形成されており、前記ソースとゲートとの間に延在するｎ型半導体材料と、
少なくとも前記ソースを前記半導体材料に電気的に接続するソース－チャネル界面部材と、
前記半導体層の上方に形成されたゲート誘電体層と、
正の電圧が印加されたときに電流が前記ソースから前記ソース－チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへと流れることができるように、前記誘電体層の上方に形成されたゲートと
を含む、薄膜トランジスタ。
【請求項２】
前記ｎ型半導体材料は金属酸化物である、請求項１記載の薄膜トランジスタ。
【請求項３】
前記ｎ型半導体材料は、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項１記載の薄膜トランジスタ。
【請求項４】
前記ｎ型半導体材料は、亜鉛酸化物およびスズ酸化物のうちの一方である、請求項１記載の薄膜トランジスタ。
【請求項５】
前記絶縁層は前記基板である、請求項１記載の薄膜トランジスタ。
【請求項６】
前記ソース－チャネル界面部材は前記絶縁層である、請求項１記載の薄膜トランジスタ。
【請求項７】
前記ソース－チャネル界面部材は、前記ソースおよび前記ドレインの双方を前記半導体材料に電気的に接続する、請求項１記載の薄膜トランジスタ。
【請求項８】
前記ソース－チャネル界面部材はｐ型半導体である、請求項１記載の薄膜トランジスタ。
【請求項９】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項８記載の薄膜トランジスタ。
【請求項１０】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項１記載の薄膜トランジスタ。
【請求項１１】
前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項１記載の薄膜トランジスタ。
【請求項１２】
前記半導体材料は原子層堆積によって形成されている、請求項１記載の薄膜トランジスタ。
【請求項１３】
前記ソース－チャネル界面部材は原子層堆積によって形成されている、請求項１記載の

薄膜トランジスタ。
【請求項１４】
前記基板は可撓性ポリマーである、請求項１記載の薄膜トランジスタ。
【請求項１５】
前記ソースは前記ドレインから垂直方向に離間されている、請求項１記載の薄膜トランジスタ。
【請求項１６】
前記薄膜トランジスタがさらに第２の絶縁層を含み、
前記ソースおよび前記ドレインの一方が前記絶縁層上に形成されており、
前記第２の絶縁層が前記ソースおよび前記ドレインの一方上に形成されており、
前記第２の絶縁層が、前記ソースおよび前記ドレインの一方から上方へ向かって延在する内面を有する垂直方向中空部を形成しており、
前記ソース－チャネル界面部材が、前記中空部の内面上および該中空部内のドレイン部分上に層を形成しており、
前記ｎ型半導体材料が前記ソース－チャネル界面部材の層上に層を形成しており、
前記ゲート誘電体層が前記ｎ型半導体上に層を形成しており、
ゲート誘電体層上と前記ソースおよび前記ドレインの他方上とに形成されたゲートが、前記ソース－チャネル界面部材と電気的にコンタクト接続された状態で、前記第２の絶縁層の頂部上に形成されている、
請求項１５記載の薄膜トランジスタ。
【請求項１７】
前記薄膜トランジスタがさらに第２の絶縁層を含み、前記ソースが前記絶縁層上に形成されており、
前記ソース－チャネル界面部材が前記ソース上に形成されており、
前記第２の絶縁層が前記ソース上に形成されており、
前記第２の絶縁層が、前記ソースから上方へ向かって延在する内面を有する垂直方向中空部を形成しており、
前記ｎ型半導体材料が、前記ソース－チャネル界面部材の層上と前記中空部の内面とに層を形成しており、
前記ゲート誘電体層は、前記ｎ型半導体上に層を形成しており、
前記ゲート誘電体層上および前記ドレイン上に形成されたゲートは、前記ｎ型半導体材料と電気的にコンタクト接続された状態で前記第２の絶縁層の頂部上に形成されている、
請求項１５記載の薄膜トランジスタ。
【請求項１８】
前記薄膜トランジスタがさらに第２の絶縁層を含み、前記ドレインが前記絶縁層上に形成されており、
前記第２の絶縁層が前記ドレイン上に形成されており、
前記第２の絶縁層が、前記ドレインから上方へ向かって延在する内面を有する垂直方向中空部を形成しており、
前記ドレインから上方へ向かって延在する垂直方向中空部を形成する前記第２の絶縁層が内面を有し、
前記ｎ型半導体材料が、前記垂直方向中空部の内面上と前記ドレイン上とに層を形成しており、
前記ゲート誘電体層が前記ｎ型半導体上に層を形成しており、
前記ソース－チャネル界面部材が前記ソースを前記ｎ型半導体材料に電気的に接続するように、前記ゲート誘電体層上に形成された前記ゲート、前記ソースおよび前記ソース－チャネル界面部材が前記第２の絶縁層の頂部上に形成されている、
請求項１５記載の薄膜トランジスタ。
【請求項１９】
垂直方向薄膜トランジスタであって、

実質的に平坦な基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたソースと、
前記ソース上に形成されており、内面を有する垂直方向ウェルを形成する第２の絶縁層と、
前記垂直方向ウェルの内面上と前記ソース上とに形成されたソース－チャネル界面部材と、
前記ソースが前記ソース－チャネル界面部材によって前記ｎ型半導体材料に電気的に接続されるように前記ソース－チャネル界面部材上に形成されたｎ型半導体材料と、
前記ｎ型半導体層の上方に形成されたゲート誘電体層と、
前記誘電体層の上方に形成されたゲートと、
前記ｎ型半導体材料と電気的にコンタクト接続された状態で前記絶縁層上に形成されたドレインと
を含み、前記ゲートに正の電圧が印加されたときに、電流が前記ソースから前記ソース－チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへと流れることができる、
垂直方向薄膜トランジスタ。
【請求項２０】
前記ｎ型半導体材料は、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２１】
前記トランジスタは六角柱形状として形成されている、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２２】
前記トランジスタは平行六面体として形成されている、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２３】
前記トランジスタは、少なくとも第２の垂直方向薄膜トランジスタを覆う基板上に形成されている、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２４】
前記ソース－チャネル界面部材はｐ型半導体である、請求項１９記載の薄膜トランジスタ。
【請求項２５】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項１９記載の薄膜トランジスタ。
【請求項２６】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項１９記載の薄膜トランジスタ。
【請求項２７】
前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項１９記載の薄膜トランジスタ。
【請求項２８】
垂直方向薄膜トランジスタであって、
実質的に平坦な基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたソースと、
前記ソース上に形成されたソース－チャネル界面部材と、
前記ソース－チャネル界面部材上に形成されており、前記ソース－チャネル界面部材から上方へ向かって延在する内面を有する垂直方向ウェルを形成する第２の絶縁層と、

前記ウェルの内面上と前記ソース－チャネル界面部材上とに形成されており、前記ソース－チャネル界面部材が前記ソースを前記ｎ型半導体材料に電気的に接続するｎ型半導体材料と、
前記半導体層の上方に形成されたゲート誘電体層と、
前記誘電体層の上方に形成されたゲートと、
前記ｎ型半導体材料に電気的にコンタクト接続された状態で前記第２の絶縁層上に形成されたドレインと
を含み、前記ゲートに正の電圧が印加されたときに、電流が前記ソースから前記ソース－チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへ流れることができる、
垂直方向薄膜トランジスタ。
【請求項２９】
前記ｎ型半導体材料が、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３０】
前記トランジスタは六角柱形状として形成されている、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３１】
前記トランジスタは平行六面体として形成されている、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３２】
前記トランジスタは、少なくとも第２の垂直方向薄膜トランジスタを覆う基板上に形成されている、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３３】
前記ソース－チャネル界面部材はｐ型半導体である、請求項２８記載の薄膜トランジスタ。
【請求項３４】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項２８記載の薄膜トランジスタ。
【請求項３５】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項２８記載の薄膜トランジスタ。
【請求項３６】
前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項２８記載の薄膜トランジスタ。
【請求項３７】
垂直方向薄膜トランジスタであって、
実質的に平坦な基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたドレインと、
前記ドレイン上に形成されており、前記ドレインから上方へ向かって延在する内面を有する垂直方向ウェルを形成する第２の絶縁層と、
前記ウェルの内面上および前記ドレイン上に形成されたｎ型半導体材料と、
前記半導体層の上方に形成されたゲート誘電体層と、
前記誘電体層の上方に形成されたゲートと、
ソースと、
前記第２の絶縁層上に形成されており、前記ソースを前記ｎ型半導体材料に電気的に接続するソース－チャネル界面部材と
を含み、前記ゲートに正の電圧が印加されたときに、電流が前記ソースから前記ソース－

チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへと流れることができる、
垂直方向薄膜トランジスタ。
【請求項３８】
前記ｎ型半導体材料が、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項３９】
前記トランジスタは六角柱形状として形成されている、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４０】
前記トランジスタは平行六面体として形成されている、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４１】
前記トランジスタは、少なくとも第２の垂直方向薄膜トランジスタを覆う基板上に形成されている、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４２】
前記ソース－チャネル界面部材はｐ型半導体である、請求項３７記載の薄膜トランジスタ。
【請求項４３】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項３７記載の薄膜トランジスタ。
【請求項４４】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項３７記載の薄膜トランジスタ。
【請求項４５】
前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項３７記載の薄膜トランジスタ。
【発明の詳細な説明】
【技術分野】
【０００１】
優先権
本出願は、２０２１年７月１３日付にて出願された米国仮特許出願第６３／２２１２９２号明細書の条約優先権の利益を主張するものであり、その全体を参照により本明細書に援用するものとする。
【０００２】
本発明は半導体デバイスに関する。より詳細には、本発明は、トランジスタなどの薄膜半導体スイッチングデバイスに関する。
【０００３】
発明の背景
薄膜トランジスタ（ＴＦＴ）のような薄膜半導体スイッチングデバイスは、様々な用途において広く使用されている。
【０００４】
ＴＦＴはおそらく薄膜半導体スイッチングデバイスの最も一般的な例であり、「ソース」、「ドレイン」および「ゲート」を備えた３端子の電界効果デバイスである。ゲートは、自身に印加された電圧に応じてソースからドレインへの電流の流れをイネーブルするためまたは阻止するために使用される制御端子である。
【０００５】
ＴＦＴの電気的挙動は、通常は半導体である活性材料での支配的な電荷担体によって定まる。支配的な電荷担体は、電荷または電流の大部分を半導体を通して輸送する。典型的

には、支配的な電荷担体がゲート絶縁体と半導体材料との界面に蓄積されて「チャネル」を形成し、この「チャネル」を通って電荷が半導体材料中を移動することができる。チャネルがソースからドレインへ向かう十分な伝導性を有するときＴＦＴが「オン」状態にあるとされ、チャネルを通ってソースからドレインへと電流が流れる。

【０００６】

様々な理由から、より小さなＴＦＴを製造することにますます関心が持たれている。しかし、従来のＴＦＴでは、より小さな寸法のＴＦＴ、例えばチャネルが形成可能となる半導体の長さが約１０００ｎｍ未満であるＴＦＴ、特にチャネルの長さが２００ｎｍ未満であるＴＦＴへの十分なスケーリングは行われない。このような寸法以下ではＴＦＴの制御が困難となり、公知のＴＦＴは、小さな寸法で形成される場合、０Ｖ以下で発生する閾値電圧（ＴＦＴが「オン」状態となって電流を導通するようにチャネルが形成されるゲート電圧点）を有し、これによりＴＦＴがノーマリ「オン」状態となる。こうした低い（多くの場合に負の）閾値電圧は、小さな寸法で製造された従来のＴＦＴの出力抵抗および全体的なトランジスタ性能を低下させるおそれがあり、またこうしたＴＦＴは、多くの場合に、「オフ」状態を達成してリーク電流を低減するために、自身のゲートに負の電圧を印加する必要がある。

【０００７】

１０００ｎｍ未満の半導体長さもしくはチャネル長さで製造可能であって固有のエンハンスメント閾値電圧を有し、これによりノーマリ「オフ」状態にありかつより容易に制御される薄膜半導体デバイスを得ることが望まれている。理想的には、こうしたデバイスは、半導体作製ラインのバックエンド（“ＢＥＯＬ”）プロセスとしても作製可能であることが望ましい。

【０００８】

発明の概要

本発明の目的は、従来技術の少なくとも１つの欠点を回避するもしくは軽減する新規な薄膜半導体スイッチングデバイスを提供することである。

【０００９】

本発明の第１の態様により、薄膜トランジスタであって、基板と、基板上に形成された絶縁層と、絶縁層上に形成されたソースと、絶縁層上に形成されており、ソースから離間されているドレインと、絶縁層上に形成されており、ソースとゲートとの間に延在するｎ型半導体材料と、少なくともソースを半導体材料に電気的に接続するソース－チャネル界面部材と、半導体層の上方に形成されたゲート誘電体層と、正の電圧が印加されたときに電流がソースからソース－チャネル界面部材および半導体材料に形成されたチャネルを通ってドレインに流れることができるように誘電体層の上方に形成されたゲートとを含む、薄膜トランジスタが提供される。

【００１０】

好ましくは、ｎ型半導体材料は金属酸化物である。より好ましくは、ｎ型半導体材料は、亜鉛酸化物、スズ酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物またはこれらの組み合わせを含む群から選択される。

【００１１】

また好ましくは、ソース－チャネル界面部材は、ソースの触媒成長によって形成される酸化物である。また好ましくは、ソース－チャネル界面部材は、原子層堆積によって形成される。また、好ましくは、ソース－チャネル界面部材が触媒成長によって形成された酸化物である場合、好ましくは酸素がソース－チャネル界面へ移動し、ソース－チャネル界面部材を形成する。

【００１２】

本発明の別の態様によれば、垂直方向薄膜トランジスタであって、実質的に平坦な基板と、基板上に形成された絶縁層と、絶縁層上に形成されたソースと、ソース上に形成されており、内面を有する垂直方向ウェルを形成する第２の絶縁層と、垂直方向ウェルの内面上とソース上とに形成されたソース－チャネル界面部材と、ソースがソース－チャネル界

面部材によってｎ型半導体材料に電気的に接続されるようにソース－チャネル界面部材上に形成されたｎ型半導体材料と、ｎ型半導体層の上方に形成されたゲート誘電体層と、誘電体層の上方に形成されたゲートと、ｎ型半導体材料と電気的にコンタクト接続された状態で絶縁層上に形成されたドレインとを含み、ゲートに正の電圧が印加されたときに、電流がソースからソース－チャネル界面部材および半導体材料に形成されたチャネルを通ってドレインへと流れることができる、垂直方向薄膜トランジスタが提供される。

【００１３】

本発明の他の態様によれば、垂直方向薄膜トランジスタであって、実質的に平坦な基板と、基板上に形成された絶縁層と、絶縁層上に形成されたドレインと、ドレイン上に形成されており、ドレインから上方へ向かって延在する内面を有する垂直方向ウェルを形成する第２の絶縁層と、ウェルの内面上およびドレイン上に形成されたｎ型半導体材料と、半導体層の上方に形成されたゲート誘電体層と、誘電体層の上方に形成されたゲートと、ソースと、第２の絶縁層上に形成されており、ソースをｎ型半導体材料に電気的に接続するソース－チャネル界面部材とを含み、ゲートに正の電圧が印加されたときに、電流がソースからソース－チャネル界面部材および半導体材料に形成されたチャネルを通ってドレインへと流れることができる、垂直方向薄膜トランジスタが提供される。

【００１４】

本発明のさらに他の態様によれば、垂直方向薄膜トランジスタであって、実質的に平坦な基板と、基板上に形成された絶縁層と、絶縁層上に形成されたドレインと、ドレイン上に形成されており、ドレインから上方へ向かって延在する内面を有する垂直方向ウェルを形成する第２の絶縁層と、ウェルの内面上およびドレイン上に形成されたｎ型半導体材料と、半導体層の上方に形成されたゲート誘電体層と、誘電体層の上方に形成されたゲートと、ソースと、第２の絶縁層上に形成されており、ソースをｎ型半導体材料に電気的に接続するソース－チャネル界面部材とを含み、ゲートに正の電圧が印加されたときに、電流がソースからソース－チャネル界面部材および半導体材料に形成されたチャネルを通ってドレインへと流れることができる、垂直方向薄膜トランジスタが提供される。

【００１５】

本発明の他の特徴および利点は、添付の図面と共に以下の詳細な説明から明らかとなる。なお、詳細な説明およびこれに含まれる特定の例は、本出願の時点での好ましい実施形態を示しているものの単に例として挙げられているにすぎないことを理解されたい。なぜならば、本発明の思想および範囲は特許請求の範囲によってのみ定義され、その内部における様々な変更および修正が当業者に明らかであるからである。

【００１６】

本明細書に記載する本発明の様々な実施形態の良好な理解のために添付の図面を参照する。図面は、本明細書に記載する本発明の範囲の限定を意図するものではなく、本明細書の理解の明確性を改善するためのものであって、縮尺通りに描かれていない。各図には次のことが示されている。

【図面の簡単な説明】

【００１７】

【図１ａ】従来技術のＴＦＴを示す断面図である。

【図１ｂ】従来技術のＴＦＴを示す断面図である。

【図１ｃ】従来技術のＴＦＴを示す断面図である。

【図１ｄ】従来技術のＴＦＴを示す断面図である。

【図１ｅ】従来技術のＴＦＴを示す断面図である。

【図２ａ】本発明の一実施形態によるＴＦＴを図２ｂのＡ－Ａ線に沿って切断して示す断面図である。

【図２ｂ】図２ａのＴＦＴを示す上面図である。

【図２ｃ】本発明の別の実施形態によるＴＦＴを示す断面図である。

【図２ｄ】本発明の別の実施形態によるＴＦＴを示す断面図である。

【図３ａ】図２ａのＴＦＴの概略的なシンボルである。

【図３ｂ】順方向アクティブ状態で動作する、図２ａのＴＦＴの一部を示す断面図である。
【図３ｃ】オフ状態で動作する、図２ａのＴＦＴの一部を示す断面図である。
【図３ｄ】ゼロ電圧状態で動作する、図２ａのＴＦＴの一部を示す断面図である。
【図４ａ】図２ｃのＴＦＴの概略的なシンボルである。
【図４ｂ】順方向アクティブ状態で動作する、図２ｃのＴＦＴの一部を示す断面図である。
【図４ｃ】オフ状態で動作する、図２ｃのＴＦＴの一部を示す断面図である。
【図４ｄ】ゼロ電圧状態で動作する、図２ｃのＴＦＴの一部を示す断面図である。
【図５ａ】図２ｄのＴＦＴの概略的なシンボルである。
【図５ｂ】順方向アクティブ状態で動作する、図２ｄのＴＦＴの一部を示す断面図である。
【図５ｃ】オフ状態で動作する、図２ｄのＴＦＴの一部を示す断面図である。
【図５ｄ】ゼロ電圧状態で動作する、図２ｄのＴＦＴの一部を示す断面図である。
【図６】本発明の一実施形態によるＴＦＴの作製方法を示すフローチャートである。
【図７ａ】図６の方法によるＴＦＴ作製の一段階を示す断面図である。
【図７ｂ】図６の方法によるＴＦＴ作製の一段階を示す断面図である。
【図７ｃ】図６の方法によるＴＦＴ作製の一段階を示す断面図である。
【図７ｄ】図６の方法によるＴＦＴ作製の一段階を示す断面図である。
【図７ｅ】図６の方法によるＴＦＴ作製の一段階を示す断面図である。
【図７ｆ】図６の方法によるＴＦＴ作製の一段階を示す断面図である。
【図７ｇ】図６の方法によるＴＦＴ作製の一段階を示す断面図である。
【図７ｈ】図７ａのＴＦＴの作製段階の上面図である。
【図７ｉ】図７ｂのＴＦＴの作製段階の上面図である。
【図７ｊ】図７ｃのＴＦＴの作製段階の上面図である。
【図７ｋ】図７ｄのＴＦＴの作製段階の上面図である。
【図７ｌ】図７ｅのＴＦＴの作製段階の上面図である。
【図７ｍ】図７ｆのＴＦＴの作製段階の上面図である。
【図７ｎ】図７ｇのＴＦＴの作製段階の上面図である。
【図８ａ】本発明の一実施形態による、作製中のＴＦＴを示す断面図である。
【図８ｂ】本発明の別の実施形態による、作製中のＴＦＴを示す断面図である。
【図８ｃ】図８ａのＴＦＴの上面図である。
【図８ｄ】図８ｂのＴＦＴの上面図である。
【図９ａ】本発明の別の実施形態による垂直方向ＴＦＴを示す断面図である。
【図９ｂ】本発明の一実施形態による別の垂直方向ＴＦＴを示す断面図である。
【図９ｃ】本発明の一実施形態による別の垂直方向ＴＦＴを示す断面図である。
【図９ｄ】図９ｂのものと類似しているが非対称的な実施形態として作製された垂直方向ＴＦＴを示す断面図である。
【図１０ａ】本発明の別の実施形態によるＴＦＴの作製方法を示すフローチャートである。
【図１０ｂ】本発明の別の実施形態によるＴＦＴの作製方法を示すフローチャートである。
【図１１ａ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｂ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｃ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｄ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。

【図１１ｅ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｆ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｇ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｈ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｉ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｊ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｋ】図１０ａおよび図１０ｂの方法によりＴＦＴを製造する一段階を示す断面図である。
【図１１ｌ】図１１ａのＴＦＴの上面図である。
【図１１ｍ】図１１ｂのＴＦＴの上面図である。
【図１１ｎ】図１１ｃのＴＦＴの上面図である。
【図１１ｏ】図１１ｄのＴＦＴの上面図である。
【図１１ｐ】図１１ｅのＴＦＴの上面図である。
【図１１ｑ】図１１ｆのＴＦＴの上面図である。
【図１１ｒ】図１１ｇのＴＦＴの上面図である。
【図１１ｓ】図１１ｈのＴＦＴの上面図である。
【図１１ｔ】図１１ｉのＴＦＴの上面図である。
【図１１ｕ】図１１ｊのＴＦＴの上面図である。
【図１１ｖ】図１１ｋのＴＦＴの上面図である。
【図１２ａ】本発明の別の実施形態によるＴＦＴを作製する方法を示すフローチャートである。
【図１２ｂ】本発明の別の実施形態によるＴＦＴを作製する方法を示すフローチャートである。
【図１３ａ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｂ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｃ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｄ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｅ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｆ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｇ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｈ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｉ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｊ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｋ】図１２ａおよび図１２ｂの方法による作製中のＴＦＴを示す断面図である。
【図１３ｌ】図１３ａのＴＦＴの上面図である。
【図１３ｍ】図１３ｂのＴＦＴの上面図である。
【図１３ｎ】図１３ｃのＴＦＴの上面図である。
【図１３ｏ】図１３ｄのＴＦＴの上面図である。
【図１３ｐ】図１３ｅのＴＦＴの上面図である。
【図１３ｑ】図１３ｆのＴＦＴの上面図である。
【図１３ｒ】図１３ｇのＴＦＴの上面図である。
【図１３ｓ】図１３ｈのＴＦＴの上面図である。
【図１３ｔ】図１３ｉのＴＦＴの上面図である。
【図１３ｕ】図１３ｊのＴＦＴの上面図である。

【図１３ｖ】図１３ｋのＴＦＴの上面図である。
【００１８】
本明細書に記載する例示的な実施形態のさらなる態様および特徴は、添付の図面と共に以下の説明から明らかとなるであろう。
【００１９】
発明の詳細な説明
以下の説明では、同様のコンポーネントおよび同様の要素を同様の参照番号で示したところがある。さらに、当業者に理解されるように、大部分の半導体デバイスが一連のステップにおいて製造され、すなわち、所望の半導体デバイスを得るために、材料の実質的に平坦な層が形成され、これらの層の一部が続いて除去され、処理されかつ／または後続の層と置換される。したがって、本明細書において使用される場合、「水平方向」および「垂直方向」なる用語は、これらの層の平面に関して使用され、水平方向は層の平面に対してほぼ平行な方向を指し、垂直方向は層の平面に対してほぼ直交する方向を指す。同様に、「上へ」、「下へ」、「～の上に」、「～の下に」などの用語も、これらの平坦な層に関して使用される。
【００２０】
さらに、本明細書に記載する半導体デバイスの層および／またはフィーチャの製造につき、本明細書ではこれらの層および／またはフィーチャを「形成する」と称するが、当業者には明らかであるように、「形成する」とは、ここでの製造に適しうるものであってかつ適用可能な全ての半導体製造技術、すなわち、以下に限定されるものではないが、堆積（化学蒸着、原子層堆積、物理蒸着など）、スパッタリング、ＰＥＣＶＤ（プラズマエンハンスト化学蒸着）、注入およびアニーリング、酸化などを含むことが意図されている。
【００２１】
本発明の実施形態を説明する前に、従来技術のＴＦＴの例を、理解しやすくするために図１ａ～図１ｅに関して説明する。
【００２２】
図１ａには、全体として１００ａで示されている、従来技術のＴＦＴの第１の例が示されている。ＴＦＴ１００ａは、絶縁層１１８が上部に形成された基板１２０を有する。ＴＦＴ１００ａはさらに、ゲート１０２、ソース１０６およびドレイン１１０を含む。
【００２３】
ゲート１０２はゲート電極１０４およびゲートコンタクト１０３を含み、ソース１０６はソース電極１０７およびソースコンタクト１０８を含み、ドレイン１１０はドレイン電極１１１およびドレインコンタクト１１２を含む。当業者には明らかであるように、ソース電極１０７とソースコンタクト１０８とは、同じ材料または異なる材料から成っていてよい。特に、所望の仕事関数を提供するためにソースコンタクト１０８の材料を選択することができ、一方、他のデバイスなどへのソース電極１０７の接続を単純化するためにソース電極１０７の材料を選択することもできる。ゲート電極１０４およびゲートコンタクト１０３、ドレイン電極１１１およびドレインコンタクト１１２も同様に、所望に応じてそれぞれ同じ材料または異なる材料から形成することができる。
【００２４】
ＴＦＴ１００ａはまた、誘電体層１１４および半導体層１１６を含む。当業者に理解されるように、ＴＦＴ１００ａは場合によりゲートチューニング層１２２を含むことができる。
【００２５】
ＴＦＴ１００ａの動作は、チャネルを形成することのできる活性材料としての半導体層１１６の使用に依拠している。半導体層１１６がアクティブ状態にある場合、ソースコンタクト１０８とドレインコンタクト１１２との間にチャネルが形成され、これらの間に電流が流れる。図示の実施形態ではｎ型半導体が示されている。
【００２６】
ｎ型半導体ベースのＴＦＴ（または「ｎ型ＴＦＴ」）、例えばＴＦＴ１００ａでは、ゲ

ート１０２に印加される電圧（すなわちＶｇ）がＴＦＴ１００ａの構造および材料によって定義される閾値電圧（すなわちＶｔｈ）を上回ると、ＴＦＴはアクティブ状態（「オン」状態）となる。ｎ型半導体を含むＴＦＴでは、閾値電圧を上回る正のゲート電圧が印加されると、ソースからｎ型半導体へ負に帯電した電子が注入される。ソースとドレインとの間に電圧（すなわちＶｄ）が印加されると、注入された電子が半導体内に形成されたチャネルを通ってソースからドレインへと移動し、これにより、電流すなわちソース－ドレイン電流（Ｉｄｓ）またはドレイン電流（Ｉｄ）が生じる。

【００２７】

ＴＦＴ１００ａの関連する関心部分を詳細に示す図１ｂには、蓄積層１３０が示されている。蓄積層１３０は、半導体層１１６を通るチャネルに沿って変化する電子濃度を示す勾配によって示されており、ここでは、より高い電子濃度（蓄積層１３０のより暗い色によって示されている）は、ドレインコンタクト１１１よりもソースコンタクト１０７の近くに存在する。

【００２８】

（ゲート電圧と比較して）低いドレイン電圧が印加されると、チャネル内の電荷担体濃度はチャネルを横断して均一となる傾向があり、ＴＦＴ１００ａが「オーミック」となると考えられる。高いドレイン電圧が印加されるとチャネルは「ピンチオフ」となり、図１ｃに示されているように、ドレインコンタクト１１１に隣接する高度に絶縁された領域が電荷担体密度の低下を示す空乏層１３５を形成し始める。

【００２９】

従来のＴＦＴは、典型的には、電流の流れの２つのチャネルを有する。第１のチャネルはソースコンタクト１０７とドレインコンタクト１１１との間のオーミック接続を介して形成され、第２のチャネルはゲート誘電体層１１４と半導体層１１６との界面の蓄積層によって形成される。

【００３０】

ゲートコンタクト１０３の下方で利用可能となるチャネルのために、ＴＦＴ１００ａは、このチャネルを通る電流の流れに起因して、制限された「オフ」状態を有する。したがって、従来のＴＦＴは、常に良好に「ピンチオフ」となるとは限らず、その後、「オフ」となることが意図されているにもかかわらず幾らかの電流が継続して流れてしまうという実質的なリークの問題を有しうる。

【００３１】

また、従来のＴＦＴは、ソースコンタクト１０７およびドレインコンタクト１１１が相互に接近しすぎると、出力抵抗の問題が生じることもある。例えば、上述したように、ソースコンタクト１０７とドレインコンタクト１１１との間隔が約１０００ｎｍ未満、特に２００ｎｍ未満である場合には、顕著なレベルのリークが発生する。したがって、従来のＴＦＴは、ゼロバイアス下でも典型的には「オン」状態にある。多くのケースにおいてソースコンタクト１０７とドレインコンタクト１１１との間の電流の流れを制限してＴＦＴを有効に「ターンオフ」するために、従来のＴＦＴには負のゲート電圧を印加して、空乏層または空乏領域を生じさせなければならない。

【００３２】

図１ｄには、ソースゲート型ＴＦＴ１００ｄが示されている。ＴＦＴ１００ｄは、ＴＦＴ１００ｄのソース１０６’がショットキー金属から成っていることおよびＴＦＴ１００ａのソース１０６およびドレイン１１０がオーミックコンタクトであることを除いては、ＴＦＴ１００ａと同様である。また、幾つかのケースでは、ＴＦＴ１００ｄは、製造方法、半導体材料もしくはこれら双方の点でＴＦＴ１００ａとは異なっていてもよい。ＴＦＴ１００ｄは、ソース１０６’とドレイン１１０との間の導電性を高めるために、ソース１０６’とドレイン１１０との非対称性を利用することができる。

【００３３】

図１ｅには、別のタイプのソースゲート型ＴＦＴ１００ｅが示されている。ＴＦＴ１００ｅは、ＴＦＴ１００ｅのソース１０６’およびドレイン１１０’の双方がショットキー金

属から成っていることを除いては、ＴＦＴ１００ａと同様である。ＴＦＴ１００ｄとは異なり、ＴＦＴ１００ｅは、ソースコンタクト１０６’とドレインコンタクト１１０’との対称性を利用している。

【００３４】

しかし、ＴＦＴ１００ｄおよびＴＦＴ１００ｅは双方とも、特により小さな寸法で作製された場合、ＴＦＴ１００ａに関して上述したものと同様の課題に直面する。

【００３５】

図２ａには、本発明の一実施形態による、図２ｂの線２Ａ－２Ａに沿って切断したＴＦＴ２００ａの断面図が示されている。図示されているように、ＴＦＴ２００ａは、ゲート２０２、ソース２０６およびドレイン２１０を含む。ゲート２０２はゲート電極２０４およびゲートコンタクト２０３を含み、ソース２０６はソース電極２０８およびソースコンタクト２０７を含み、ドレイン２１０はドレイン電極２１２およびドレインコンタクト２１１を含む。上述した従来のＴＦＴ１００ａのケースと同様に、これらのフィーチャのそれぞれの電極およびコンタクトは、それぞれ同じ材料から形成することができ、または所望に応じて材料を別個に選択することができる。例えば、ソースコンタクト２０７は、その所望の仕事関数のために選択された材料から形成することができ、一方、ソース電極２０８は、回路の他の部品、例えばメタライゼーション層などへの接続により良好に適した材料から選択することができる。

【００３６】

ＴＦＴ２００ａはまた、誘電体層２１４および半導体層２１６を含む。ＴＦＴ２００ａは、任意選択手段としてのゲートチューニング層２２２を有することができる。これらの層および全体としてのＴＦＴ２００ａは、基板２２０の上方に形成された絶縁層２１８上に形成されている。多くの環境においては、基板２２０は、半導体の製造において一般的に使用されているシリコンウェハであると想定されるが、本発明はこれに限定されず、基板２２０は、実際には、ガラス、セラミック、金属、可撓性ポリマーまたは他のプラスチックなどを含むがこれらに限定されない広範な材料であってよい。

【００３７】

図示の実施形態では、半導体層２１６はｎ型半導体層である。ｎ型半導体層２１６は、好ましくは３００℃未満の温度で形成可能であるように選択された半導体材料である。半導体層２１６に適した材料の例として、以下に限定されるものではないが、亜鉛酸化物、スズ酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物などが挙げられる。

【００３８】

従来技術のＴＦＴとは異なり、ＴＦＴ２００ａはさらにソース－チャネル界面部材２５０を含み、当該ソース－チャネル界面部材２５０は、ここでの実施形態ではソースコンタクト２０７から半導体層２１６下方のドレインコンタクト２１１まで延在するｐ型半導体材料の層である。ソース－チャネル界面部材２５０は、ソースコンタクト２０７を半導体層２１６に電気的に接続しており、それ以外の箇所では、ソースコンタクト２０７は半導体層２１６から電気的に分離されている。さらに、ここでの例では、ソース－チャネル界面部材２５０は、半導体層２１６をドレインコンタクト２１１に電気的に接続している。

【００３９】

ゲートコンタクト２０３は、導電性を有する任意の元素材料または材料化合物を含むことができる。ゲートコンタクト２０３に使用可能な材料の例には、チタン、チタン窒化物、クロム、ハフニウム、タンタル窒化物、または任意の他の単元素もしくはバイメタル元素またはバイメタル化合物が含まれる。ゲート電極２０４は、ゲートコンタクト２０３と同じ材料から、またはゲート電極２０４を他の部品に接続するための所望の特性を提供する他の材料から形成することができる。

【００４０】

ソース２０６およびドレイン２１０は、導電性を有する任意の元素材料または材料化合物を含むことができる。特に、ソースコンタクト２０７およびドレインコンタクト２１１

は、金属であってもよいし、または縮退した（高濃度ドープされた）半導体であってもよい。ソースコンタクト２０７および／またはドレインコンタクト２１１において使用可能な適切な材料の例には、ニッケル、タングステン、モリブデン、アルミニウム、金、銅、コバルト、ルテニウム、チタン窒化物、タンタル窒化物、ケイ素、および／または高い導電率を有する任意のＩＩＩ－Ｖ族化合物半導体が含まれる。幾つかのケースでは、ドレインコンタクト２１１は、ソースコンタクト２０７と同じ材料から成る。他のケースでは、ドレインコンタクト２１１は、ソースコンタクト２０７において使用される材料よりも電子輸送に対するバリアを低減することのできる、より高い導電率を有する材料から成る。

【００４１】

ソース－チャネル界面部材２５０は、相補的に過剰となった負電荷を貯蔵するために設けられており、少なくともソースコンタクト２０７に隣接する半導体層２１６の領域のチャネルを空乏化するように機能する。このように、ソース－チャネル界面部材２５０は電子輸送バリアとして機能し、これにより、ＴＦＴ２００ａが「オフ」状態にある場合には半導体層２１６を通る電流は実質的に生じない。

【００４２】

ソース－チャネル界面部材２５０の動作は、ｐ型半導体、圧電誘導双極子、制御可能なトンネルバリア、これらの組み合わせまたは外部印加電界によって注入電流を変調するその他の機構を含む様々な構成において達成することができる。

【００４３】

例えば、ｐ型半導体として実現される場合、ソース－チャネル界面部材２５０は、ゲルマニウム元素から形成することができ、または半導体層２１６の関連部分においてｐ型ドーパントを使用することによって形成することができる。他のケースでは、ソース－チャネル界面部材２５０は、酸化物または硫化物、または周期律表の第ＶＩ（Ａ）族に相当する他の元素、またはカルコゲン、例えば酸素、硫黄、セレン、テルルもしくはポロニウムから成るものとすることができる。

【００４４】

ソース－チャネル界面部材２５０は、ソースコンタクト２０７を形成する材料の触媒成長によって形成することもできる。このケースでは、酸素がソース－チャネル界面へと優先的に移動することができ、これにより、ソース－チャネル界面部材が生じる。他のケースでは、ソース－チャネル界面部材２５０は、ｐ型ドーパント、例えばｐ型金属酸化物または他の半導体を堆積技術、例えば原子層堆積、スパッタリング物理蒸着または化学蒸着によって堆積させることにより、形成することができる。

【００４５】

ＴＦＴ２００ａの実施形態では、ソース－チャネル界面部材２５０は、ソースコンタクト２０７からドレインコンタクト２１１まで延在する連続部材として形成されている。ソース－チャネル界面部材２５０は、ソースコンタクト２０７と半導体層２１６との電気的接続のためにはソースコンタクト２０７に隣接して配置されるのみでよいが、ＴＦＴ２００ａの作製に使用される製造プロセスに応じて、ソースコンタクト２０７とドレインコンタクト２１１との間に延在する層として、またはソースコンタクト２０７のみに隣接する層として、またはソースコンタクト２０７およびドレインコンタクト２１１のそれぞれに隣接する層として形成することもできる。

【００４６】

ＴＦＴ２００ａの「オン」状態中の電荷の枯渇を防止するために、半導体層２１６がソースコンタクト２０７およびドレインコンタクト２１１の近傍において高度にｎ型となるよう、組成制御によって半導体層２１６を形成することが所望されうる。他の実施形態では、半導体層２１６は、ＴＦＴ２００ａの閾値電圧の調整を可能にできるよう、ソースコンタクト２０７、ドレインコンタクト２１１およびゲートコンタクト２０３の近傍において高度にｎ型となるように形成される。したがって、ＴＦＴ２００ａの特性は、半導体層２１６におけるｎ型ドープの位置および程度に基づいて制御することができる。

【００４７】

図２ａに示されているように、誘電体層２１４は、ゲートコンタクト２０３を半導体層２１６から分離している。誘電体層２１４は、ゲートコンタクト２０３への電子流を阻止し、ソースコンタクト２０７と高い電子濃度を有するドレインコンタクト２１１との間に電子がチャネルを形成することを可能にする。誘電体層２１４は、例えばハフニウム酸化物（$HfO_2$）、二酸化ジルコニウム（$ZrO_2$）、二酸化ケイ素（$SiO_2$）、ケイ素窒化物（$Si_3N_4$）、または当業者に想到される他の任意の適切な材料のような材料から成るものであってよい。

【００４８】

ＴＦＴ２００ａは、任意選択手段としてのゲートチューニング層２２２を有することもできる。ゲートチューニング層２２２は、当業者には明らかであるように、所望に応じて、ゲートコンタクト２０３の有効バリア高さの調整および／または仕事関数の調整に使用される金属原子層でありうる。

【００４９】

ＴＦＴ２００ａでは、典型的にはゲート電極２０４、ソース電極２０８およびドレイン電極２１２のそれぞれが銅またはアルミニウムなどの高い導電率を有する金属から形成されており、これらの金属は、対応する電極を、ＴＦＴ２００ａが形成されている集積回路の残りの部分の適切な素子に電気的に接続するために使用される。

【００５０】

ＴＦＴ２００ａはまた、基板２２０上に形成された絶縁層２１８を含む。基板２２０は、トランジスタおよび集積回路などの部品およびデバイスを構築するための基礎として機能し、絶縁層２１８は、ソースコンタクト２０７およびドレインコンタクト２１１から誘電分離された基板２２０である。絶縁層２１８の例には、二酸化ケイ素（$SiO_2$）、ケイ素窒化物（$Si_3N_4$）、アルミニウム酸化物（$Al_2O_3$）などの材料が含まれ、基板２２０の例には、シリコン、ガラス、プラスチック材料および／または可撓性ポリマー、プリント回路板などが含まれる。幾つかの環境、例えば図２ａに示されているケースでは、ソース－チャネル界面部材２５０はソースコンタクト２０７とドレインコンタクト２１１との間に延在しているが、基板２２０の材料に応じて、絶縁層２１８として機能することもでき、この場合、絶縁層２１８は、ソースコンタクト２０７およびドレインコンタクト２１１を形成する前に形成されることになる。

【００５１】

上述したように、ＴＦＴ２００ａは、従来技術のＴＦＴと比較して改善された動作特性を有し、特に１０００ｎｍ以下のチャネル長さ寸法で作製された場合に特に高い閾値電圧で動作することが意図されている。

【００５２】

上述したように、ソース－チャネル界面部材２５０は、相補的に過剰となった負電荷の貯蔵部を形成するために用いられ、少なくともソースコンタクト２０７に隣接する半導体層２１６の領域においてチャネルを空乏化するように機能する。本発明の実施形態によって作製されたＴＦＴ、例えばＴＦＴ２００ａでは、ゲートコンタクト２０３からゲート誘電体層２１４、半導体層２１６およびソース－チャネル界面部材２５０を通ってのソースコンタクト２０７までの距離は、ゲートコンタクト２０３に印加される電圧によって誘導される電界が、ソース－チャネル界面部材２５０によって導入されて相補的に過剰となった負電荷の貯蔵部の阻止電位を低下させて、当該ＴＦＴすなわちＴＦＴ２００ａが「オン」状態となるように、選定される。このようなゲート電圧の印加がない場合、阻止電位によってＴＦＴは「オフ」状態となる。

【００５３】

ＴＦＴ２００ａは、その様々な素子が厚さの範囲内に形成される状態で作製することができる。当業者には明らかであるように、主たる制限要因は、ゲートコンタクト２０３がソースコンタクト２０７に十分に電気的に近接している必要があることであり、これにより、ゲート２０２に印加される閾値電圧が、ソース－チャネル界面部材２５０によって誘導される半導体層２１６内への電子流に対するバリアを有効に低減することに用いられる

。十分な電界が誘導されないことによって、ＴＦＴ２００ａをターンオンする能力が低減される。このことは、典型的にはＡｄａ（η）係数と称される、ＭＯＳＦＥＴなどの周知の基準にきわめて類似している。

【００５４】

ＴＦＴ２００ａの第１の例では、半導体層２１６が約２０ｎｍの厚さ（約８の誘電定数）で形成されており、ソース－チャネル界面部材２５０が約２ｎｍの厚さ（約１０の誘電定数）で形成されており、誘電体層２１４が約１０ｎｍの厚さ（約２４の誘電定数）で形成されている。

【００５５】

ＴＦＴ２００ａの別の例では、半導体層２１６が約５ｎｍの厚さ（１７の誘電定数）で形成されており、ソース－チャネル界面部材２５０が約０．５ｎｍの厚さ（約１０の誘電定数）で形成されており、誘電体層２１４が約５ｎｍの厚さ（約２４の誘電定数）で、形成されている。

【００５６】

半導体層２１６、誘電体層２１４およびソース－チャネル界面部材２５０のそれぞれの垂直方向厚さの実際の選定は、ある程度、選択される材料の特性および使用される作製技術に依存して行われる。ただし、本明細書の開示を考慮すれば、ここではこうした選定のうち特定のものは当業者の能力の範囲内に十分に含まれる。

【００５７】

図２ｃには、本発明の別の実施形態によるＴＦＴ２００ｃの断面図が示されている。ＴＦＴ２００ｃでは、ソース－チャネル界面部材２５０は、ソースコンタクト２０７とドレインコンタクト２１１との間に延在する連続した層ではなく、その代わりに、ソースコンタクト２０７およびドレインコンタクト２１１のそれぞれの箇所にのみ形成されている。ＴＦＴ２００ｃでは、ソース－チャネル界面部材２５０は、ソースコンタクト２０７およびドレインコンタクト２１１を形成する金属の触媒成長によって形成することができる。幾つかのケースでは、ソース－チャネル界面部材２５０は、酸化物または硫化物、または周期律表の第ＶＩ（Ａ）族に相当する他の元素、またはカルコゲンから成る。

【００５８】

図２ｄには、本発明の別の実施形態による別のＴＦＴ２００ｄの断面図が示されている。ＴＦＴ２００ｄでは、ソース－チャネル界面部材２５０は、ソースコンタクト２０７の箇所にのみ形成されており、ソースコンタクト２０７を形成している金属の触媒成長によって形成することができる。この場合、ドレインコンタクト２１１を形成する材料は、「貴である」ように、つまり酸化剤と直ちには相互作用しないように選択することができる。ソース－チャネル界面部材２５０は、酸化物または硫化物、または周期律表の第ＶＩ（Ａ）族に相当する他の元素、またはカルコゲンから形成可能である。

【００５９】

ドレインコンタクト２１１上のソース－チャネル界面部材２５０の有無は、ＴＦＴ２００ｃの電気特性を変化させる。ＴＦＴ２００ｃでは、ドレインコンタクト２１１上にソース－チャネル界面部材２５０が存在しないことにより、ＴＦＴ２００ｃの閾値電圧が、ＴＦＴ２００ａおよびＴＦＴ２００ｂに比べて約０．１Ｖから２Ｖだけ上昇する。ソース－チャネル界面部材２５０が酸化物または硫化物の触媒成長により形成される場合、ソースコンタクト２０７上でのソース－チャネル界面部材２５０の形成に加えて、ドレインコンタクト２１１上でのソース－チャネル界面部材２５０の形成が容易に可能となり、閾値電圧の低減が所望されない限り、ソース－チャネル界面部材２５０をドレインコンタクト２１１から除去する付加的な処理が必要なくなる。

【００６０】

次に、本発明の一実施形態によるＴＦＴ３００と種々の動作状態におけるその性能とを表す図３ａ～図３ｄを参照する。以下の図３、図４および図５のセットでは、理解しやすくするために、図から基板および絶縁層を省略してある。

【００６１】

本明細書に例示している種々の実施形態では、ソースコンタクト２０７に隣接したソース－チャネル界面部材２５０により、バイポーラ接合トランジスタ（ＢＪＴ）に機能的に類似した構造が導入される。本明細書に開示している実施形態のＴＦＴでは、電界効果トランジスタ（ＦＥＴ）アーキテクチャに、ソースコンタクトにおけるＢＪＴのエミッタに類似した構造が有効に組み合わされている。

【００６２】

これらに類似したＢＪＴ状構造は、直接のイオン短絡または再結合中心の収集のいずれかによって結合されたコレクタとベースとを有し、電子がエミッタ状構造からソースコンタクト２０７内へ注入される。ソースコンタクト３０７およびドレインコンタクト３１１のそれぞれの箇所にソース－チャネル界面部材３５０を有するＴＦＴ３００の概略図が、図３ａに概略的に示されている。

【００６３】

図３ｂには、ＴＦＴ３００が順方向アクティブ状態（ここでは$V_{DS}$＞０$V_{GS}$＞．$V_{Threshold}$）にある場合のＴＦＴ３００の一例の断面図が示されている。図３ｃには、ＴＦＴ３００がオフ状態（ここでは$V_{DS}$＞０$V_{GS}$＜$V_{Threshold}$）にある場合の図３ｂの断面図が示されている。図３ｄには、ＴＦＴ３００ａが０Ｖ状態（ここでは$V_{DS}$＞０$V_{GS}$＜$V_{Threshold}$）にある場合のＴＦＴ３００の一例の断面図が示されている。

【００６４】

ＴＦＴ３００は図２ａのＴＦＴ２００ａと同様であり、ソースコンタクト３０７、ソース電極３０６、ドレインコンタクト３１１、ドレイン電極３１０、ゲート電極３０２、ゲートコンタクト３０３、誘電体層３１４、ソース－チャネル界面部材３５０およびｎ型半導体層３１６は、図２ａのＴＦＴ２００ａに関して上述したそれぞれの素子と同様である。

【００６５】

ＴＦＴ３００の実施形態では、ＴＦＴ２００ａと同様に、ソース－チャネル界面部材３５０がソースコンタクト３０７とドレインコンタクト３１１との間に延在し、これにより、ソースコンタクト３０７およびドレインコンタクト３１１の箇所にＢＪＴ等価物を有するゲートリミテッドジャンクション電界効果トランジスタ（ＪＦＥＴ）またはアキュムレーションＭＯＳＦＥＴに類似した構造が形成される。

【００６６】

図３ｂには、順方向アクティブ状態（または「オン」状態）のＴＦＴ３００の動作が示されている。順方向アクティブ状態は、ドレイン電圧（$V_{DS}$）が０Ｖよりも大きく、ゲート電圧（$V_{GS}$）が閾値電圧（$V_{Threshold}$）よりも大きい場合に発生する。順方向アクティブ状態では、電子蓄積層３３０が誘電体層３１４の下方のゲートコンタクト３０３の下に形成される。当該動作状態では、蓄積層３３０がソースコンタクト３０７からドレインコンタクト３１１への電子流を可能にする。

【００６７】

図３ｃには、「オフ」状態モードにあるＴＦＴ３００が示されている。ＴＦＴ３００は、ゲート電圧（$V_{GS}$）が閾値電圧（$V_{Threshold}$）を下回ったときに動作がオフ状態となる。図示の実施形態では、ドレイン電圧（$V_{DS}$）が０Ｖよりも大きくなったときにもソースコンタクト３０７とドレインコンタクト３１１との間の電子流が大幅に低減されるかまたは実質的に消去されるよう、ゲートコンタクト３０３の下方の半導体層３１６に空乏領域３３５が形成される。

【００６８】

図３ｄには、ＴＦＴ３００に電圧が印加されていない、「０Ｖ」状態にあるＴＦＴ３００が示されている。ゲート電圧（$V_{GS}$）が０Ｖであるかまたは０Ｖ付近にある場合、空乏領域３３５がより顕著となってソースコンタクト３０７およびドレインコンタクト３１１の双方に近接し、これにより、ソースコンタクト３０７とドレインコンタクト３１１との間の電子流が大幅に低減されるかまたは実質的に消去される。これにより、ＴＦＴ３０

０がエンハンストオフ状態となり、ＴＦＴ３００における寄生チャネルが低減されるかまたは実質的に消去される。

【００６９】

次に図４ａ～図４ｄを参照するが、これらの図には、本発明の一実施形態によるＴＦＴ４００と種々の動作状態でのその性能とが表されている。ＴＦＴ４００は図２ｃのＴＦＴ２００ｃと同様であり、ソースコンタクト４０７、ドレインコンタクト４１１、ゲートコンタクト４０３、誘電体層４１４、ソース－チャネル界面部材４５０およびｎ型半導体層４１６は、図２ｃのＴＦＴ２００ｃに関して上述したそれぞれの素子と同様である。

【００７０】

図４ａは、ＴＦＴ４００の概略的なモデルである。ＴＦＴ４００の実施形態では、ソース－チャネル界面部材４５０は、ソースコンタクト４０７およびドレインコンタクト４１１のそれぞれの上に形成されているが、これら２つの間に延在していない。これにより、図３ａと同様に、ソースコンタクト４０７およびドレインコンタクト４１１に、ＢＪＴに類似した構造を有するＪＦＥＴと同様のデバイスが有効に形成される。

【００７１】

図４ｂには、順方向アクティブ状態（ここでは、$V_{DS}>0$ $V_{GS}>V_{Threshold}$）にあるＴＦＴ４００が示されている。順方向アクティブ状態にあるＴＦＴ３００と同様に、電子蓄積層４３０は、誘電体層４１４の下方のゲートコンタクト４０３の下に形成されている。ここでの動作状態では、蓄積層４３０が、ソースコンタクト４０６からドレインコンタクト４１０への電子流を可能にしている。

【００７２】

図４ｃには、「オフ」状態（ここでは、$V_{DS}>0$ $V_{GS}<V_{Threshold}$）にあるＴＦＴ４００が示されており、この場合、空乏領域４３５により、ソースコンタクト４０７とドレインコンタクト４１１との間の電子流が阻止される。

【００７３】

図４ｄには、０Ｖ状態にあるＴＦＴ４００が示されている。ＴＦＴ３００と同様に、ＴＦＴ４００のゲート電圧（$V_{GS}$）が０Ｖであるかまたは０Ｖ近傍にある場合、空乏領域４３５がより顕著となってソースコンタクト４０７およびドレインコンタクト４１１の双方へ接近し、これにより、ソースコンタクト４０７とドレインコンタクト４１１との間の電子流が大幅に低減されるかまたは実質的に消去される。これにより、ＴＦＴ４００はエンハンストオフ状態となり、ＴＦＴ４００の寄生チャネルが低減されるかまたは実質的に消去される。

【００７４】

ＴＦＴ３００とＴＦＴ４００との間の蓄積層および空乏領域の勾配およびコンフィグレーション（例えば厚さ）の差は、デバイスにおけるソース－チャネル界面部材の有無の程度の差により生じる。ソース－チャネル界面部材がより高い濃度でより高度に分散されて存在することにより、ｎ型半導体チャネルの良好な空乏層制御が達成される。

【００７５】

次に図５ａ～図５ｅを参照するが、これらの図には、本発明の一実施形態によるＴＦＴ５００および様々な動作状態におけるその性能が表されている。ＴＦＴ５００は、図２ｄのＴＦＴ２００ｄと同様であり、ソース電極５０７、ソースコンタクト５０６、ドレイン電極５１１、ドレインコンタクト５１０、ゲート電極５０３、ゲートコンタクト５０２、誘電体層５１４、ソース－チャネル界面部材５５０およびｎ型半導体層５１６は、図２ｄのソース電極２０８、ソースコンタクト２０７、ドレイン電極２１２、ドレインコンタクト２１１、ゲート電極２０４、ゲートコンタクト２０３、誘電体層２１４、ソース－チャネル界面部材２５０および半導体層２１６と同様である。

【００７６】

図５ａは、ＴＦＴ５００の概略的なモデルである。ＴＦＴ５００では、ソース－チャネル界面部材５５０は、ソースコンタクト５０６のみに隣接しており、これにより、ソースコンタクト５０６に、ＢＪＴを有するＪＦＥＴが有効に形成される。

【００７７】
図５ｂには順方向アクティブ状態にあるＴＦＴ５００が示されており、図５ｃには「オフ」状態にあるＴＦＴ５００が示されており、図５ｄには０Ｖ状態にあるＴＦＴ５００が示されている。
【００７８】
ＴＦＴ５００の蓄積層５３０および空乏領域５３５，５４０の特性は、図３ａのＴＦＴ３００および図４ａのＴＦＴ４００と同様であり、ここで、空乏領域５４０は、０Ｖ状態における図４ｄの空乏領域４３５の非対称のバージョンである。
【００７９】
次に図６を参照するが、この図は、本発明の一実施形態によるＴＦＴを製造する方法６００を示すフローチャートである。図６の方法６００を、当該方法に関連する様々なステップの例を示す図７ａ～図７ｎを参照してＴＦＴ７００について、また図８ａ～図８ｄを参照してＴＦＴ８００ａおよびＴＦＴ８００ｂについて論じる。
【００８０】
本明細書で使用される「形成」または「形成する」なる用語は、本開示に記載の構造を製造するための任意の適切な方式を包含することが意図されている。ここで、「形成」または「形成する」とは、原子層堆積、化学蒸着、プラズマエンハンスト化学蒸着、スパッタリング、イオンインプランテーション、酸化、電気化学的堆積、分子線エピタキシなどのプロセスを含みうる。特定の適切なプロセスの選択は、充分に当業者の裁量の範囲内にある。
【００８１】
方法６００はステップ６０５から開始され、当該ステップ６０５では、ソースコンタクト７０７およびドレインコンタクト７１１が絶縁層７１８の頂部上に形成され、この絶縁層７１８自体は次いで図７ａに示されているように基板７２０の頂部上に形成される。図７ａは、図７ｈの線Ｂ－Ｂに沿って切断されたＴＦＴ７００の断面図を示しており、図７ｈは対応する上面図を示している。
【００８２】
上述したように、絶縁層７１８は、二酸化ケイ素（$SiO_2$）、ケイ素窒化物（$Si_3N_4$）、アルミニウム酸化物（$Al_2O_3$）などの材料から形成することができる。基板７２０は、トランジスタおよび集積回路、イメージセンサおよびディスプレイなどの部品およびデバイスを構築するための基礎としての機能に適しうる任意の適切な基板であってよく、その例には、シリコン、可撓性ポリマーおよび他のプラスチック、セラミック材料、光学ガラス、金属などが含まれるが、これらに限定されない。
【００８３】
幾つかのケースでは、ソースコンタクト７０７およびドレインコンタクト７１１は、リソグラフィプロセスを介した堆積によって形成される。しかし、当業者には明らかであるように、ソースコンタクト７０７およびドレインコンタクト７１１を形成する方法は特に限定されず、当業者に明らかである他の種々のプロセスによって形成されてもよい。
【００８４】
ソースコンタクト７０７とドレインコンタクト７１１とが同じ材料から形成される場合、ステップ６０５において、ソースコンタクト７０７およびドレインコンタクト７１１の双方を同じステップで同時に形成することができる。ソースコンタクト７０７とドレインコンタクト７１１とが異なる材料から成る場合、ソースコンタクト７０７とドレインコンタクト７１１とを別個のステップで形成することができる。
【００８５】
ステップ６１０では、ソース－チャネル界面部材７５０が形成される。図７ｉの線Ｃ－Ｃに沿って切断された断面図である図７ｂに示されている例では、ソース－チャネル界面部材７５０は、ソースコンタクト７０７およびドレインコンタクト７１１の頂部上に形成され、これらの間の絶縁層７１８の領域にわたって延在する。ソース－チャネル界面部材７５０は、以下に限定されるわけではないが、原子層堆積、スパッタリングまたは化学蒸

着などの堆積技術を含む任意の適切な技術によって形成されたｐ型半導体であってよい。

【００８６】

ただし、ソース－チャネル界面部材７５０を別の方式で形成することもでき、これにつき、本発明の別の実施形態による、図７ｂのものと同様の、図８ｃのＴＦＴ８００の線Ｄ－Ｄに沿って切断された断面図を説明する図８ａを参照する。ＴＦＴ８００では、ソース－チャネル界面部材８５０は、ソースコンタクト８０７およびドレインコンタクト８１１双方の下方にある金属構造を制御された状態で酸化することによって形成されたものである。図示されているように、このようにすることで、ソースコンタクト８０７上に形成されるソース－チャネル界面部材８５０と、ドレインコンタクト８１１上に形成されるソース－チャネル界面部材８５０とが生じる。

【００８７】

図８ｂには、本発明の別の実施形態によるＴＦＴ８００ｂの、図８ｄの線Ｅ－Ｅに沿って切断された断面図が示されている。ＴＦＴ８００ｂでは、ドレインコンタクト８１１は、貴である（すなわち酸化しない）材料から形成されており、ソース－チャネル界面部材８５０は、ちょうどソースコンタクト８０７の下方にある金属構造を制御された状態で酸化することによって形成されている。図示されているように、このようにすることで、ソースコンタクト８０７上のみにソース－チャネル界面部材８５０が生じる。

【００８８】

再び図７ａ～図７ｎおよび方法６００を参照すると、ステップ６１５において、ｎ型半導体層７１６が形成される。図７ｃには、ソース－チャネル界面部材７５０の頂部を含めてＴＦＴ７００を横断して半導体層７１６が形成された後の、図７ｊの線Ｆ－Ｆに沿って切断された断面図が示されている。

【００８９】

ステップ６２０では、誘電体層７１４が形成される。図７ｋの線Ｇ－Ｇに沿って切断された断面図である図７ｄに示されているように、誘電体層７１４は、半導体層７１６の頂部を含めてデバイス全体にわたって形成される。誘電体層７１４は、好ましくは高誘電率を有する材料から形成されるが、$SiO_2$または$Si_3N_4$などの他の材料を使用することもできる。

【００９０】

ステップ６２５では、ゲートコンタクト７０３が形成される。図７ｌの線Ｈ－Ｈに沿って切断された断面図である図７ｅに示されているように、ゲートコンタクト７０３は誘電体層７１４上に形成される。幾つかのケースでは、誘電体層７１４とゲートコンタクト７０３との間に任意選択手段としてのゲートチューニング層７２２を形成することもできる。この場合、図７ｅに示されているように、まずゲートチューニング層７２２が形成され、このゲートチューニング層７２２の頂部上にゲートコンタクト７０３が形成される。

【００９１】

ステップ６３０では、誘電体層７１４およびその下方にある半導体層７１６およびソース－チャネル界面部材７５０の不所望の部分が除去される。図７ｍのＴＦＴ７００の線Ｉ－Ｉに沿って切断された断面図である図７ｆには、ゲートコンタクト７０３が、誘電体層７１４の部分ならびにその下方にある半導体層７１６およびソースチャネル界面層７５０の部分を除去するためのマスクとして使用可能であることが示されている。

【００９２】

ステップ６３５では、図７ｎの線Ｊ－Ｊに沿って切断された断面図である図７ｇに示されているように、ゲート電極７０４、ソース電極７０８およびドレイン電極７１２が形成される。

【００９３】

幾つかの状況においては、本発明の実施形態によるＴＦＴを垂直方向コンフィグレーションで作製することが所望されうる。したがって、図９ａ、図９ｂおよび図９ｃには、このように垂直方向に形成されるＴＦＴの実施形態が示されている。当業者に理解されるように、垂直方向に形成されるＴＦＴは「パッケージング密度」の増大（すなわち所与の水

平方向領域におけるデバイス数の増大）を可能にし、これは、幾つかの用途、例えばディスプレイスクリーンまたはイメージセンサにとって重要でありうる。さらに、本発明によるＴＦＴは様々な基板上に作製することができるので、本発明によるＴＦＴを上下に相互に「積層」してこれによりデバイス密度を増大させることができ、これは、多くの異なる用途にとってきわめて望ましいこととなりうる。例えば、本発明により、垂直方向ＴＦＴおよび関連する任意の相互接続部または他の部品の層が形成可能となり、次いで、こうした層の上に例えば二酸化ケイ素などの絶縁材料の層が形成可能となり、さらにこの絶縁層が、その上に形成される別のＴＦＴのセットのための基板および絶縁層として使用可能となる。ＴＦＴの複数の層をこうした方式で形成することにより、従来技術と比較して回路密度を大幅に増大できることが想定される。

【００９４】

図９ａには、ゲート９０２、ソース９０６およびドレイン９１０を含むＴＦＴ９００ａが示されている。ゲート９０２はゲートコンタクト９０３およびゲート電極９０４を含み、ソース９０６はソースコンタクト９０７およびソース電極９０８を含み、ドレイン９１０はドレインコンタクト９１１およびドレイン電極９１２を含む。ＴＦＴ９００ａはまた、ＴＦＴ９００ａのゲート９０２の周囲に誘電体層９１４を含み、さらに基板９２０の上方に形成された第１の絶縁層９１８と第２の絶縁層９２５とを含む。ＴＦＴ９００ａはさらに、ｎ型半導体層９１６およびソース－チャネル界面部材９５０を含む。所望に応じて、ＴＦＴ９００ａは、図示されているようなゲートチューニング層９２２を含むこともできる。

【００９５】

ＴＦＴ９００ａでは、ソースコンタクト９０７およびソース電極９０８を含むソース９０６が、第１の絶縁層９１８の頂部上に形成されたＴＦＴ９００ａの（図の向きに関しての）底部にある。ＴＦＴ９００ａの中央に露出されるソースコンタクト９０７の部分を残して、ソースコンタクト９０７の部分の上方に、第２の絶縁層９２５が形成される。ドレインコンタクト９１１およびその上に形成されたドレイン電極９１２は、ソースコンタクト９０７の露出部分の両側に形成されている。ソースコンタクト９０７は、第２の絶縁層９２５によってドレインコンタクト９１１から絶縁されている。

【００９６】

ＴＦＴ９００ａでは、ソース－チャネル界面部材９５０は、上述したソースコンタクト９０７の露出部分と、第２の絶縁層９２５の内面と、ドレインコンタクト９１１上とに形成されている。ゲートコンタクト９０３は（任意選択手段としての）ゲートチューニング層９２２によって取り囲まれており、このゲートチューニング層９２２自体は次いで誘電体層９１４によって取り囲まれている。半導体層９１６は、誘電体層９１４とソース－チャネル界面部材９５０との間に形成されている。

【００９７】

図９ｂには、ＴＦＴ９００ａに類似しているがソース－チャネル界面部材９５０の拡がりおよび位置が変更された、本発明の別の実施形態であるＴＦＴ９００ｂが示されている。

【００９８】

特に、ＴＦＴ９００ｂでは、ソース－チャネル界面部材９５０は、ソースコンタクト９０７の上面全体にわたる層として形成されている。図９ｂに示されているように、図９ａの実施形態とは異なり、ソース－チャネル界面部材９５０は、ＴＦＴ９００ｂの第２の絶縁層９２５およびドレインコンタクト９１１の内面には存在しない。代わりに、半導体層９１６が、誘電体層９１４と第２の絶縁層９２５の内面とドレインコンタクト９１１との間に形成されている。

【００９９】

図９ｃには、本発明の別の実施形態によるＴＦＴ９００ｃの断面図が示されている。図９ａのＴＦＴ９９０ａおよび図９ｂのＴＦＴ９００ｂと同様に、ＴＦＴ９００ｃは、本発明の一実施形態による垂直方向ＴＦＴの実現形態である。

【０１００】
ただし、ＴＦＴ９００ｃは、その底部コンタクトがドレインコンタクト９１１であるという点で上述したＴＦＴ９００ａおよびＴＦＴ９００ｂとは異なる。これに対して、ＴＦＴ９００ｃの頂部コンタクトはソースコンタクト９０７である。図９ｃに示されているように、ソース－チャネル界面部材９５０はソースコンタクト９０７の周囲に形成されている。ソース－チャネル界面部材９５０は、第２の絶縁層９２５の存在によってドレインコンタクト９１１から分離されており、半導体層９１６によって誘電体層９１４から分離されている。
【０１０１】
図９ａ、図９ｂおよび図９ｃの実施形態には本発明の態様による垂直方向ＴＦＴの「対称の」実現形態が示されているが、当業者にはこのような対称性が必須ではないことが容易に理解されるであろう。例えば、図９ｄにはＴＦＴ９００ｄの非対称の実現形態が示されており、ここでは、ＴＦＴ９００ｂの（図の向きに関しての）右側が省略されている。本発明の態様による垂直方向ＴＦＴの他の様々な非対称のかつ／または縮小された面積を有する実現形態も、ここでは当業者には明らかであろう。
【０１０２】
ここでは当業者には明らかであるように、ＴＦＴ９００ａ、ＴＦＴ９００ｂ、ＴＦＴ９００ｃおよびＴＦＴ９００ｄは、本明細書に開示する本発明の他の実施形態と同様に機能する。上述したように、ＴＦＴ９００ａ、ＴＦＴ９００ｂ、ＴＦＴ９００ｃおよびＴＦＴ９００ｄは、垂直円筒、平行六面体、六角柱などとして形成することができ、これらの様々な可能形状により、ＴＦＴ９００ａ、ＴＦＴ９００ｂ、ＴＦＴ９００ｃおよびＴＦＴ９００ｄを１つのデバイス内に形成することのできる密度が最適化されるように、ＴＦＴ９００ａ、ＴＦＴ９００ｂ、ＴＦＴ９００ｃおよびＴＦＴ９００ｄの「フットプリント」を選択することができる。これにより、特にメモリセル密度の増大が重要な目標であるＤＲＡＭメモリなどの用途において、複数の利点が提供される。
【０１０３】
さらに、上でも述べたように、ＴＦＴ９００ａ、ＴＦＴ９００ｂおよびＴＦＴ９００ｃは、回路素子密度を増大させるために「積層する」ことができる。特に、ＴＦＴ９００ａ、ＴＦＴ９００ｂまたはＴＦＴ９００ｃのアレイを、（ＴＦＴ９００ａ、ＴＦＴ９００ｂおよびＴＦＴ９００ｃを含む）回路素子の下方層を覆う基板および／または絶縁体の上に形成することができ、さらに次いでこれらが基板および／または絶縁体とその頂部上に形成されたＴＦＴ９００ａ、ＴＦＴ９００ｂおよびＴＦＴ９００ｃの別のアレイとによって覆われ、これにより真の３Ｄ集積回路が形成される。
【０１０４】
次に、上述したＴＦＴ９００ａと同様の、垂直方向ＴＦＴ１２００を製造する方法１０００のフローチャートである図１０ａおよび図１０ｂを参照する。図１０ａおよび図１０ｂの方法１０００につき、当該方法に関連する様々なステップを示す図１１ａ～図１１ｖを参照して説明する。
【０１０５】
方法１０００はステップ１００５において開始され、このステップ１００５では、ソース電極９０８およびソースコンタクト９０７が第１の絶縁層９１８上に形成され、この第１の絶縁層９１８自体は、次いで図１１ａに示されているように、基板９２０上に形成されている。図１１ａは、線Ｋ－Ｋに沿って切断された図１１ｌの断面図である。ソースコンタクト９０７は、銅、タングステンまたは当業者に想到される垂直方向トランジスタの作製に使用可能な他の任意の材料から成るものであってよい。特に、ソースコンタクト９０７の材料は、ここで当業者に以下にて明らかとなるように、ＴＦＴ１２００の動作中の蓄積層への電子の注入の所望の効果を提供するために、材料の仕事関数および表面酸化特性に基づいて選択される。ソース電極９０８およびソースコンタクト９０７は、所望に応じて同一の要素であってよいことも想定される。
【０１０６】

ステップ１０１０では、図１１ｍの線Ｌ－Ｌに沿って切断された断面図である図１１ｂに示されているように、ソースコンタクト９０７の上方に第２の絶縁層９２５が形成される。見て取れるように、第２の絶縁層９２５は、ソースコンタクト９０７の上面全体にわたって形成されている。第２の絶縁層９２５は、ポリマーのスピンコーティング、誘電体の化学蒸着などを含む、当業者に想到される任意の適切な技術を使用して形成することができる。

【０１０７】

ステップ１０１５では、図１１ｎの線Ｍ－Ｍに沿って切断された断面図である図１１ｃに示されているように、ドレインコンタクト９１１が形成される。図示されているように、ドレインコンタクト９１１は、第２の絶縁層９２５の上面全体にわたって形成されている。

【０１０８】

ステップ１０２０では、ドレインコンタクト９１１の不所望の材料が除去される。当該不所望の材料は、当業者に想到される任意の適切な方式で、例えばパターニングおよびエッチングなどによって、除去することができる。図１１ｏの線Ｎ－Ｎに沿って切断された断面図である図１１ｄには、ステップ１０２０の結果が示されている。所望に応じてドレインコンタクト９１１の不所望の材料を除去することができ、これにより、ドレインコンタクト９１１が六角形などの幾何学的形状で形成され、ＴＦＴ１２００のパッケージング密度の増大が可能となりうることが当業者には明らかであろう。

【０１０９】

ステップ１０２５では、図１１ｐの線Ｏ－Ｏに沿って切断された断面図である図１１ｅに示されているように、第２の絶縁層９２５の不所望の部分がソースコンタクト９０７の箇所まで除去される。幾つかの実施形態では、第２の絶縁層９２５の不所望の部分は、下方にあるソースコンタクト９０７上で停止するように選択されたエッチングプロセスによって除去されるが、当業者に想到される、第２の絶縁層９２５の不所望の部分を除去する他の任意の適切な方法も使用可能である。

【０１１０】

ステップ１０３０では、ステップ１０２５の結果の上にソース－チャネル界面部材９５０が形成される。図１１ｑの線Ｐ－Ｐに沿って切断された断面図である図１１ｆに示されているように、ソース－チャネル界面部材９５０は、この時点で、ドレインコンタクト９１１の上方およびソースコンタクト９０７の露出部分の上方を含むＴＦＴ１２００の上面全体にわたって形成される。ソース－チャネル界面部材９５０は様々な方式で形成することができ、一実施形態では原子層堆積技術を使用して堆積される。

【０１１１】

ステップ１０３５では、図１１ｒの線Ｑ－Ｑに沿って切断された断面図である図１１ｇに示されているように、ｎ型半導体層９１６がソース－チャネル界面部材９５０の上方に形成される。半導体層９１６は様々な方式で形成することができ、一実施形態では原子層堆積技術を使用して堆積される。

【０１１２】

ステップ１０４０では、図１１ｓの線Ｒ－Ｒに沿って切断された断面図である図１１ｈに示されているように、誘電体層９１４が形成される。誘電体層９１４は、半導体層９１６上に形成されている。誘電体層９１４の材料の選択は特に限定されず、誘電体層９１４は、当業者に想到される高い誘電率を有する任意の適切な材料であってよい。

【０１１３】

ステップ１０４５では、（任意選択手段としての）ゲートチューニング層９２２が誘電体層９１４の上方に形成可能であり、ゲートコンタクト９０３がゲートチューニング層９２２の上方に形成される。ゲートチューニング層９２２およびゲートコンタクト９０３は、当業者に想到される、原子層堆積技術を含む様々な方式で形成することができる。ゲートチューニング層９２２が設けられない場合、ゲートコンタクト９０３は、直接に誘電体層９１４上に形成される。ステップ１０４５の結果が、図１１ｔの線Ｓ－Ｓに沿って切断

された断面図である図１１ｉに示されている。

【０１１４】

ステップ１０５０では、図１１ｕの線Ｔ－Ｔに沿って切断された断面図である図１１ｊに示されているように、下方にある層もしくはフィーチャを露出させるために、形成された様々な層から不所望の材料が除去される。図示されているように、ドレインコンタクト９１１、ソース－チャネル界面部材９５０、半導体層９１６、誘電体層９１４、ゲートチューニング層９２２およびゲートコンタクト９０３が適切に露出される。種々の層から不所望の材料を除去する方法は特に限定されず、当業者には明らかであるように、機械的研磨、ウェットケミカルエッチング、ドライケミカルエッチング、原子層エッチングなどを含む様々な方式で達成することができる。

【０１１５】

ステップ１０５５では、ドレイン電極９１２およびゲート電極９０４が形成される。図１１ｖの線Ｕ－Ｕに沿って切断された断面図である図１１ｋに示されている実施形態では、ドレイン電極９１２およびゲート電極９０４がマスキングアプローチを使用して堆積可能およびパターニング可能である。ただし、ドレイン電極９１２およびゲート電極９０４の形成に使用される方法は特に限定されず、当業者には様々な適切な方法が明らかであろう。

【０１１６】

図１２ａおよび図１２ｂには、本発明による、上述したＴＦＴ９００ｂと同様のＴＦＴ１３００の別の実施形態を製造するまたは作製する方法１１００のフローチャートが示されている。方法１１００につき、図１３ａ～図１３ｖを参照して説明する。

【０１１７】

方法１１００は、絶縁層９１８が形成された基板９２０から開始される。ステップ１１０５において、図１３ｌの線ＢＬ－ＢＬに沿って切断された断面図である図１３ａに示されているように、ソース電極９０８およびソースコンタクト９０７が絶縁層９１８上に形成される。当業者には明らかであるように、ソース電極９０８とソースコンタクト９０７とは、同じ材料から形成される場合、同一の部品であってよい。ステップ１１０５は、図１０のステップ１００５に類似しており、図１３ａおよび図１３ｌはそれぞれ図１１ａおよび図１１ｌに類似している。

【０１１８】

ステップ１１１０では、ソースコンタクト９０７上にｐ型半導体部材９５０が形成される。図１３ｍの線ＢＭ－ＢＭに沿って切断された断面図である図１３ｂに示されているように、ソース－チャネル界面部材９５０は、ソースコンタクト９０７の上面全体にわたる層として形成されている。ソース－チャネル界面部材９５０は様々な方式で形成することができ、幾つかの実施形態では原子層堆積技術を使用して堆積されるが、ソース－チャネル界面部材９５０を形成する方法は特に制限されず、例えばソースコンタクト９０７の金属表面の触媒作用により適切な金属酸化物を形成することによって、または当業者には明らかであるようなその他の適切な方法によって、形成することができる。

【０１１９】

ステップ１１１５では、図１３ｎの線ＢＮ－ＢＮに沿って切断された断面図である図１３ｃに示されているように、ソース－チャネル界面部材９５０上に第２の絶縁層９２５が形成される。幾つかの実施形態では、第２の絶縁層９２５はポリマーのスピンコーティングを使用して堆積されるが、第２の絶縁層９２５を形成する方法は特に限定されず、第２の絶縁層９２５は、例えば誘電体の化学蒸着（“ＣＶＤ”）または当業者には明らかであるような他の任意の適切な方法を使用して堆積可能である。

【０１２０】

ステップ１１２０では、ドレインコンタクト９１１が形成される。図１３ｏの線ＢＯ－ＢＯに沿って切断された断面図である図１３ｄに示されているように、ドレインコンタクト９１１は、第２の絶縁層９２５の上面全体に形成される。この場合にも、ドレインコンタクト９１１を形成する方法は特に制限されず、当業者には適切な方法が明らかであろう

。
【０１２１】
ステップ１１２５では、図１３ｐの線ＢＰ－ＢＰに沿って切断された断面図である図１３ｅに示されているように、不所望の材料がドレインコンタクト９１１から除去される。ドレインコンタクト９１１から不所望の材料を除去する方法は、特に限定されない。さらに、所望に応じて、不所望の材料をエッチングなどによって除去することができ、これにより、得られるＴＦＴのパッケージング密度を高めるために、ドレインコンタクト９１１を、所定のパターンで、例えば図示されている六角形パターンまたはストライプパターン（図示せず）などのパターンで形成することができる。
【０１２２】
ステップ１１３０では、図１３ｑの線ＢＱ－ＢＱに沿って切断された断面図である図１３ｆに示されているように、不所望の材料が第２の絶縁層９２５から除去される。図示されているように、第２の絶縁層９２５は、ソース－チャネル界面部材９５０の箇所まで除去されている。
【０１２３】
方法１１００のステップ１１３５～ステップ１１５５は、上述した方法１０００のステップ１０３５～ステップ１０５５に類似している。図１３ｒの線ＢＲ－ＢＲに沿って切断された断面図である図１３ｇに示されているステップ１１３５では、ｎ型半導体層９１６がソース－チャネル界面部材９５０の上方に形成される。ｎ型半導体層２０５は、当業者には明らかなように、原子層堆積技術を含む様々な方式で形成することができる。
【０１２４】
ステップ１１４０では、半導体層９１６の上方に誘電体層９１４が形成される。これは、図１３ｓの線ＢＳ－ＢＳに沿って切断された断面図である図１３ｈに示されている。ここでも、誘電体層９１４は、当業者に明らかなような様々な適切な方式で形成することができる。
【０１２５】
ステップ１１４５では、図１３ｔの線ＢＴ－ＢＴに沿って切断された断面図である図１３ｉに示されているように、誘電体層９１４の上方にゲートコンタクト９０３が形成される。図示されているように、所望に応じて、ゲートコンタクト９０３が形成される前に、誘電体層９１４上に任意選択手段としてのゲートチューニング層９２２を形成することができる。ゲートチューニング層９２２およびゲートコンタクト９０３は、当業者に想起される任意の適切なプロセスで、例えば原子層堆積技術によって、形成可能である。
【０１２６】
ステップ１１５０では、図１３ｕの線ＢＵ－ＢＵに沿って切断された断面図である図１３ｊに示されているように、ＴＦＴ１３００が処理されて不所望の材料が除去され、下方にある層およびフィーチャが露出される。図１３ｊの層およびフィーチャを露出させるために除去される材料は、任意の適切な方式で、例えばＴＦＴ１３００の機械的研磨によって、除去することができる。図示の実施形態では、下方にある層が露出され、六角形パターンが形成される。
【０１２７】
ステップ１１５５では、ドレイン電極９１２およびゲート電極９０４が形成される。図１３ｖの線ＢＶ－ＢＶに沿って切断された断面図である図１３ｋに示されているように、所望に応じて、ドレイン電極９１２およびゲート電極９０４が、マスキングプロセスによって、六角形パターン、ストライプパターンまたは他のパターンでパターニング可能である。
【０１２８】
ここまでで明らかなように、本発明は、新規な半導体デバイスの様々な実施形態を含む。特に、本発明は、２００ｎｍ未満のチャネル寸法で作製された場合であっても改善された性能を有するＴＦＴを開示する。
【０１２９】

本発明の実施形態による半導体デバイスについて想定される別の利点は、バックエンド（“ＢＥＯＬ”）プロセスにおいて半導体デバイスを作製できることである。

【０１３０】

当業者に知られているように、半導体作製プロセスは、多くの場合、フロントエンドプロセス（“ＦＥＯＬ”）とバックエンドプロセスとに区別されている。従来、集積回路のトランジスタ、キャパシタ、抵抗およびインダクタは、まずＦＥＯＬプロセスによってウェハ上に形成される。これらのデバイスがウェハ上に作製されると、次いでこれらがＢＥＯＬプロセスによって処理され、このプロセスにおいてメタライゼーション層およびボンディングサイトが形成される。

【０１３１】

従来、ウェハ（または他の基板）につきＦＥＯＬ処理が完了すると、従来の半導体デバイスの作製に必要とされる温度にウェハが曝されることで、ＦＥＯＬプロセスによって既にウェハ上に形成されている半導体構造および半導体デバイスが破壊されることになるため、ＢＥＯＬプロセス中にウェハに付加的なデバイスを追加することは一般に不可能であった。

【０１３２】

近年、半導体材料もしくはチャネル材料としてインジウムガリウム亜鉛酸化物（“ＩＧＺＯ”）を使用するＢＥＯＬプロセスとしてＴＦＴを作製する試みがなされている。こうしたデバイスによってある程度の成功が達成されているが、これらは、概して低い閾値電圧を有し、高いリークレベルまたは劣悪な「オフ」特性を生じるというように、所望の通りの良好な実行を行えない傾向がある。さらに、ＩＧＺＯデバイスの作製に使用されるプロセスは制御が困難であることが判明しており、得られるデバイスは脆弱であって、アニーリングなどの他のＢＥＯＬプロセスに耐えさせることが困難でありうる。

【０１３３】

対照的に、本発明の実施形態によるＴＦＴは、先に作製されたＦＥＯＬデバイスまたは構造に損傷を与えず、２００ｎｍ未満の半導体長さまたはチャネル長さにおいても良好に機能しかつ他のＢＥＯＬプロセスによる損傷を受けないことが判明している技術およびプロセスによって作製できる。

【０１３４】

上に詳述したように、本発明の実施形態によるＴＦＴは、６つの基本的な作製プロセス、すなわち、それぞれ典型的には複数の可能な方式で達成可能な、ソース形成、ドレイン形成、ゲート形成、半導体形成、誘電体形成もしくは絶縁体形成、およびソース－チャネル界面部材形成を使用している。ＢＥＯＬ　ＴＦＴまたはＦＥＯＬもしくは代替的なプロセスで作製されたＴＦＴの作製に使用される、当該作製プロセスのそれぞれに対する１つもしくは複数の適切な代替形態の選択は、当業者の通常の技能の範囲内にある。

【０１３５】

一例として、本発明によるＴＦＴの作製をどのように決定するかにおいて、作製プロセス中に３００℃の温度を超過しないことが所望される場合、スパッタリングおよびパターニングによってソース形成、ドレイン形成およびゲート形成が達成され、原子層堆積によって半導体層形成が達成され、原子層堆積によって誘電体形成もしくは絶縁体形成が達成され、ソースコンタクトの酸化（材料が酸化性金属である場合）によってまたは退行的にドープされた単原子半導体層のスパッタリング、例えばゲルマニウムもしくはケイ素のスパッタリングによってソース－チャネル界面部材の形成が達成される。明らかであるように、選択されるこれらの作製技術のそれぞれは３００℃未満の温度で実行可能であるので、ＦＥＯＬプロセスにおいて先に作製されたデバイスおよび構造への影響が生じない。

【０１３６】

さらにここまでで明らかなように、本発明は、１０００ｎｍ未満の半導体長さまたはチャネル長さ、特に２００ｎｍ未満の半導体長さまたはチャネル長さで製造された場合であっても良好な性能を有する新規な薄膜半導体スイッチングデバイスを提供する。新規なデバイスの製造技術および製造方法も教示しており、これらの技術および方法により、新規

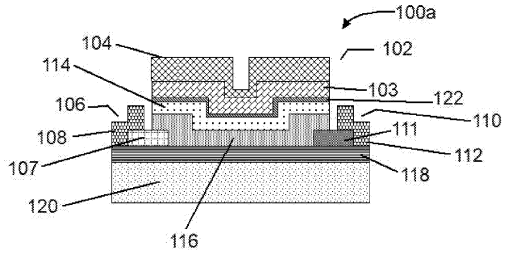
なデバイスをＢＥＯＬデバイスとして製造することも可能である。

【０１３７】

本発明の上述した実施形態は本発明の例であることが意図されており、当業者であれば、添付の特許請求の範囲によってのみ定義される本発明の範囲から逸脱することなく、変更および修正を行えるはずである。

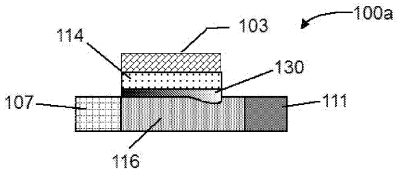
【図面】

【図１ａ】



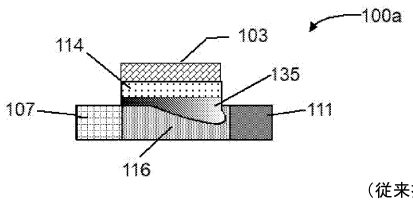

（従来技術）

【図１ｂ】



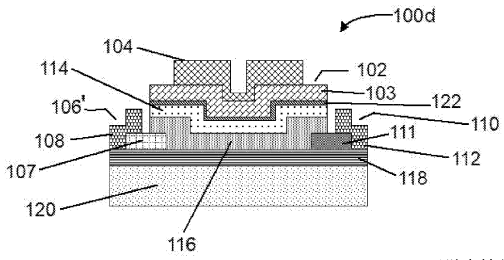

（従来技術）

【図１ｃ】



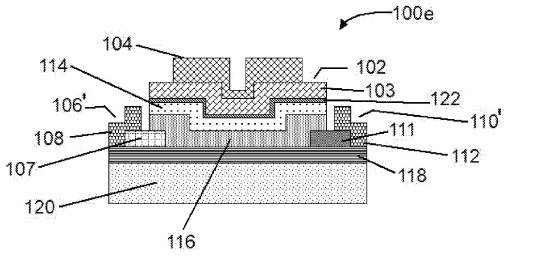

（従来技術）

【図１ｄ】




（従来技術）

【図１ｅ】




（従来技術）

【図２ａ】

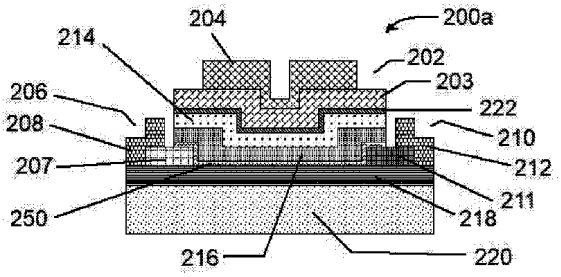



Fig. 2a

【図２ｂ】

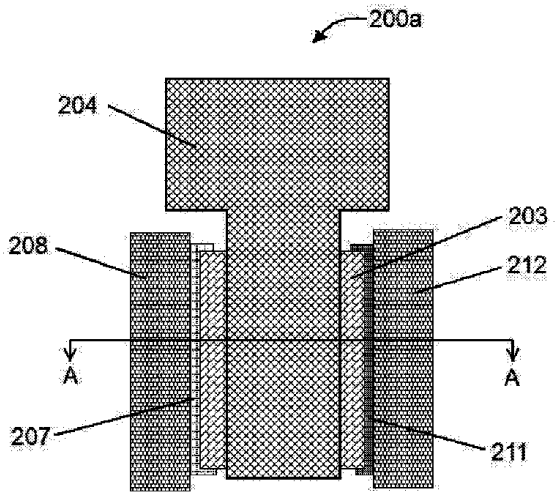



Fig. 2b

【図２ｃ】

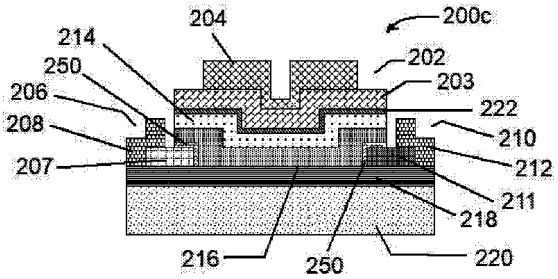



Fig. 2c

【図２ｄ】

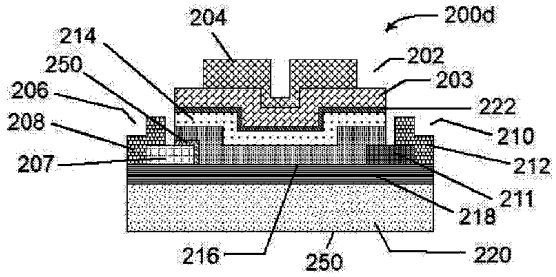



Fig. 2d

【図３ａ】

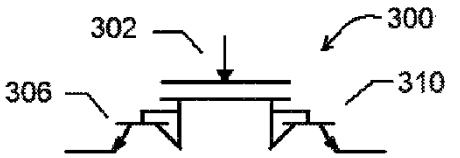



Fig. 3a

【図３ｂ】

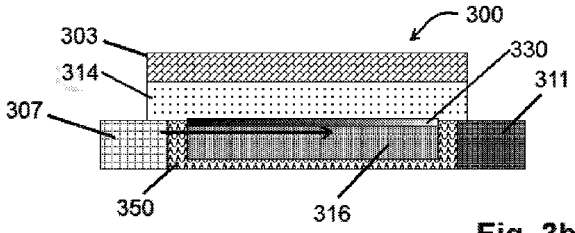



Fig. 3b

【図３ｃ】

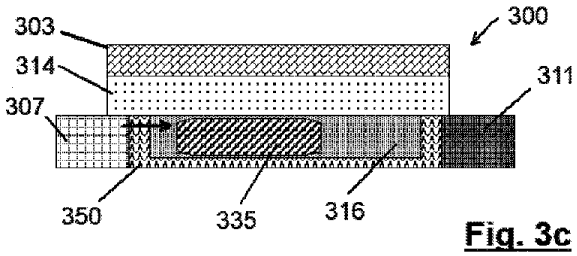



Fig. 3c

【図３ｄ】

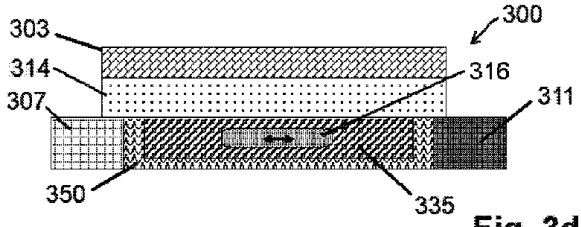



Fig. 3d

【図４ａ】

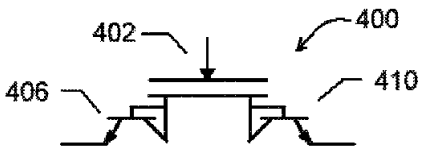



Fig. 4a

【図４ｂ】

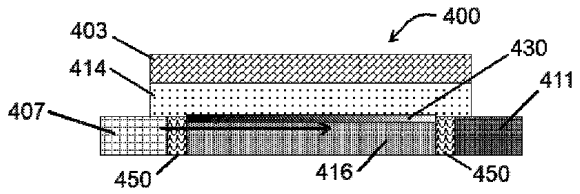



Fig. 4b

【図４ｃ】

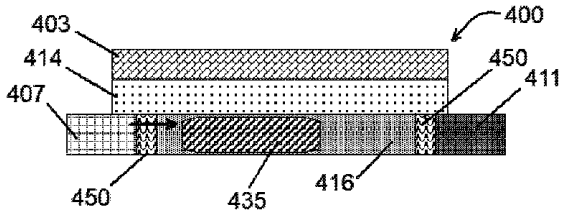



Fig. 4c

【図４ｄ】

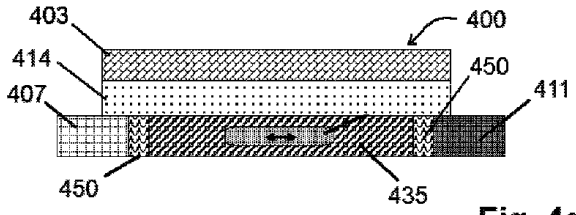



Fig. 4d

【図５ａ】

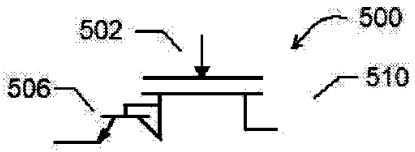



Fig. 5a

【図５ｂ】

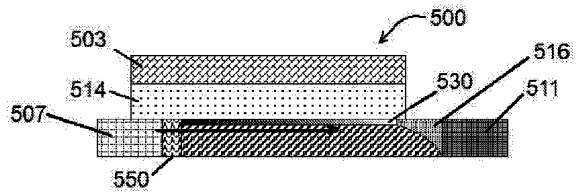



Fig. 5b

【図５ｃ】

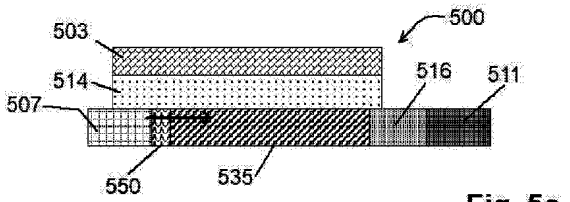



Fig. 5c

【図５ｄ】

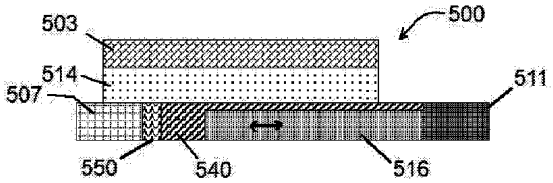
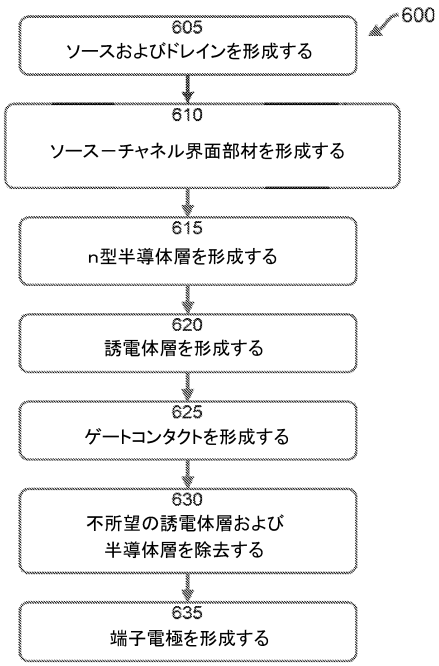



Fig. 5d

【図６】




【図７ａ】

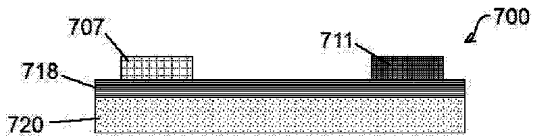



Fig. 7a

【図７ｂ】

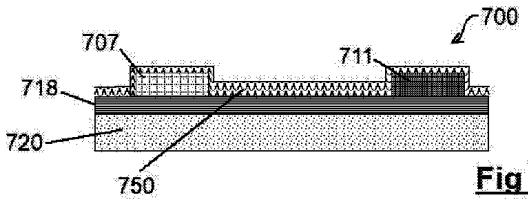



Fig 7b

【図７ｃ】

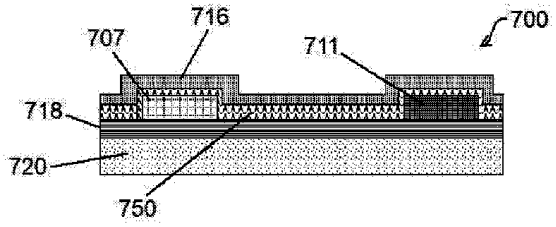



Fig. 7c

【図７ｄ】

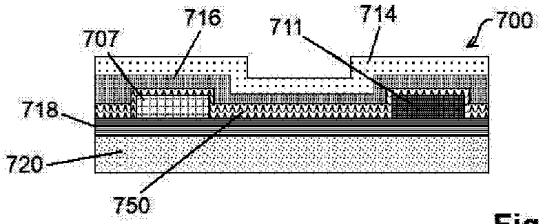



Fig. 7d

【図７ｅ】

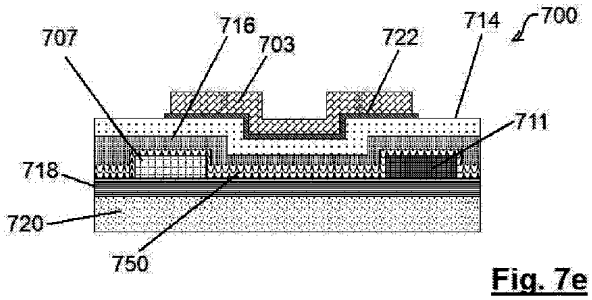



Fig. 7e

【図７ｆ】

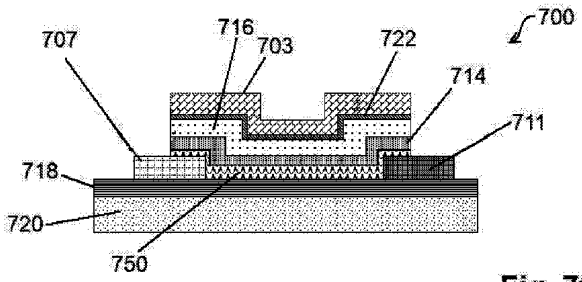



Fig. 7f

【図７ｇ】

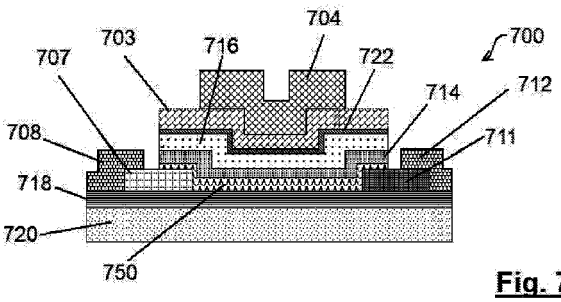



Fig. 7g

【図７ｈ】

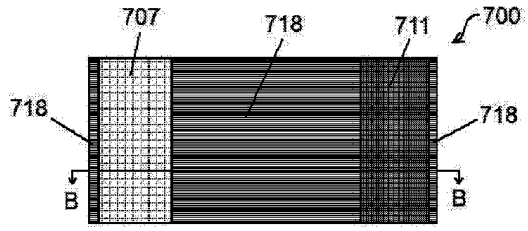



Fig. 7h

【図７ｉ】

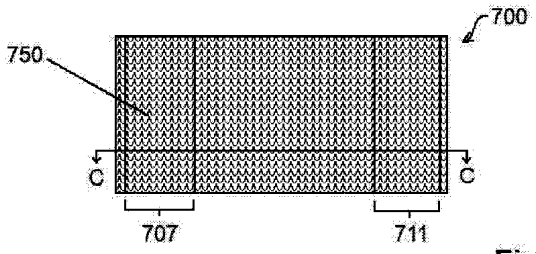



Fig. 7i

【図７ｊ】

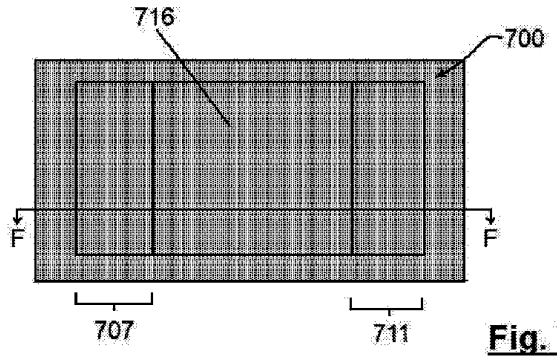



Fig. 7j

【図７ｋ】

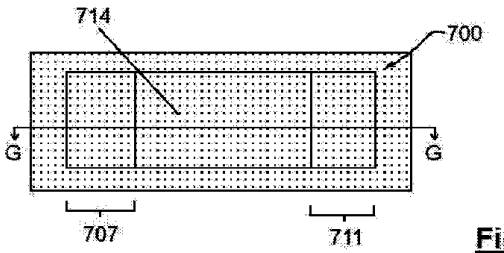



Fig. 7k

【図７ｌ】

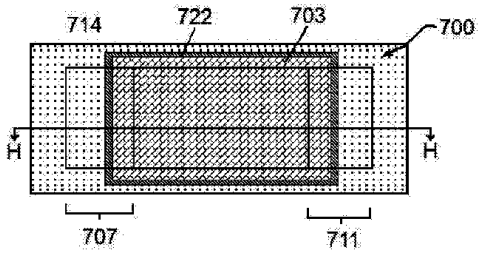



Fig. 7l

【図７ｍ】

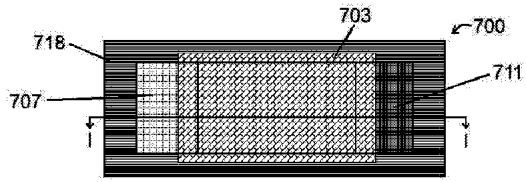



Fig. 7m

【図７ｎ】

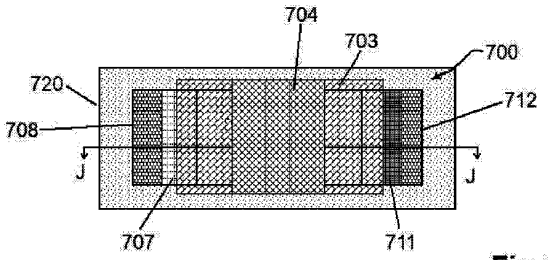



Fig. 7n

【図８ａ】

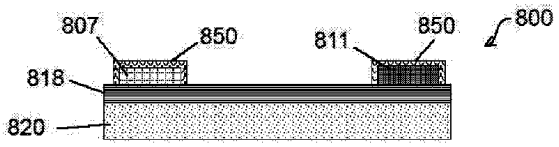



Fig 8a

【図８ｂ】

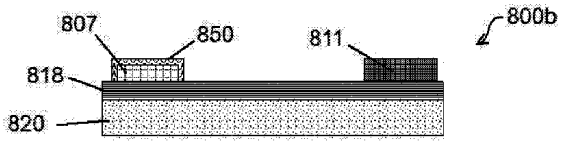



Fig. 8b

【図８ｃ】

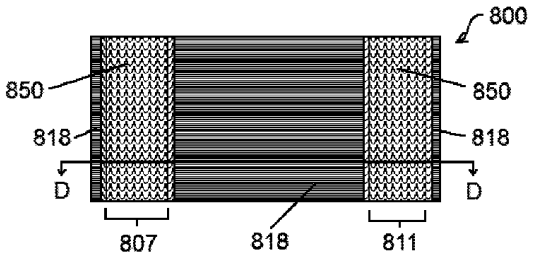



Fig 8c

【図８ｄ】

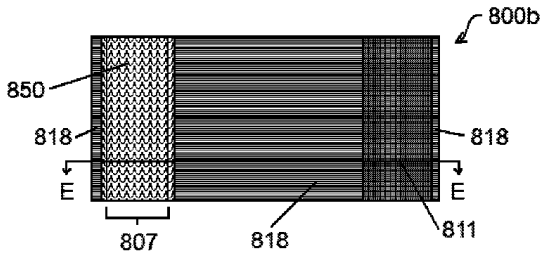



Fig. 8d

【図９ａ】

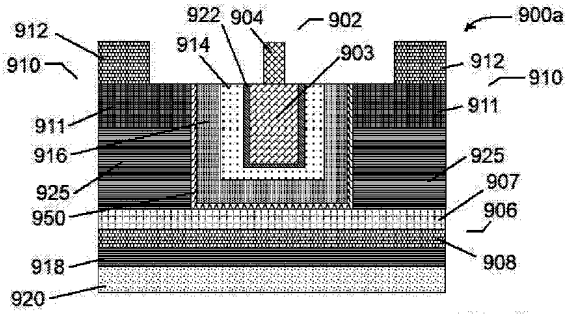



Fig. 9a

【図９ｂ】

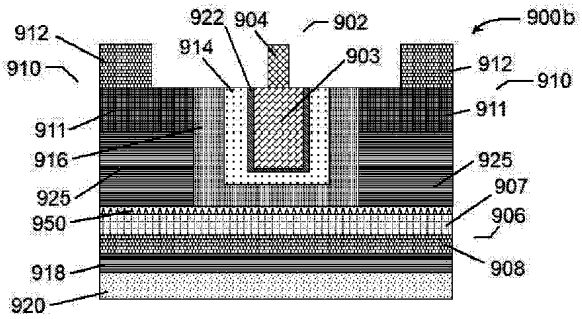



Fig. 9b

【図９ｃ】

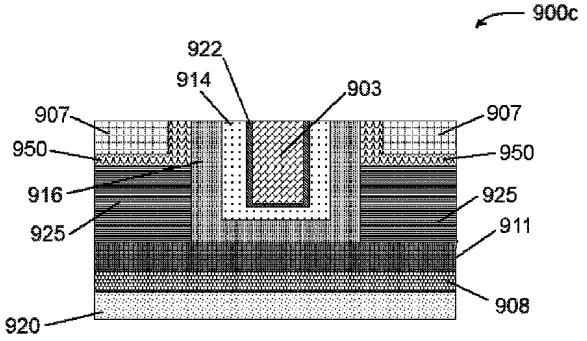



Fig. 9c

【図９ｄ】

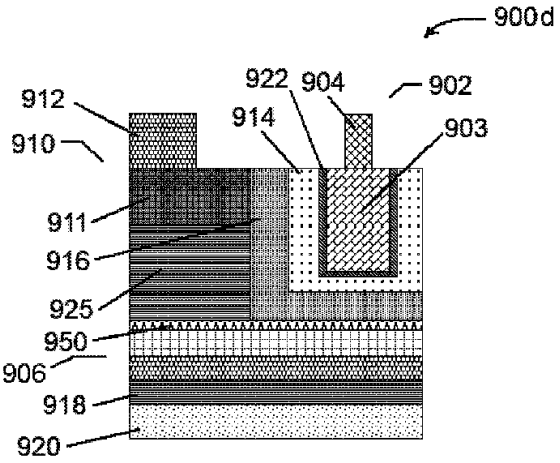
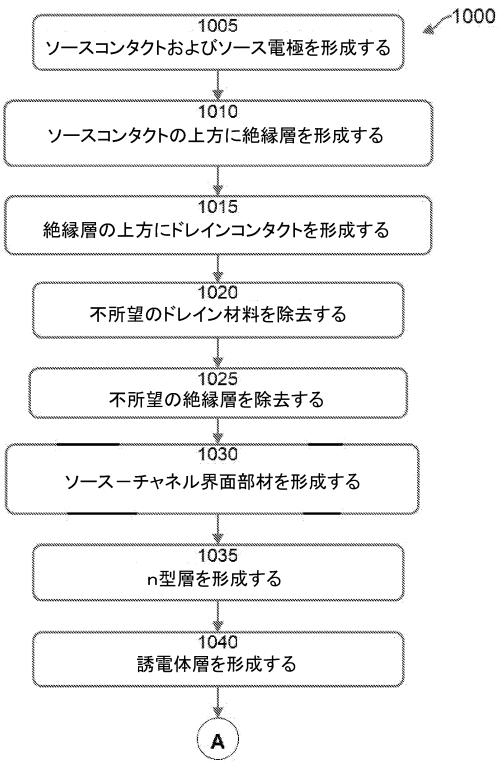
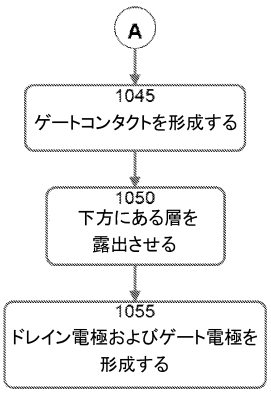



Fig. 9d

【図１０ａ】




【図１０ｂ】



【図１１ａ】

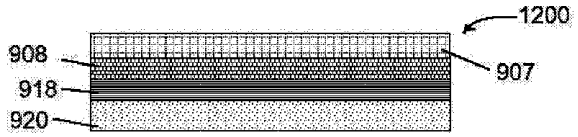



Fig. 11a

【図１１ｂ】

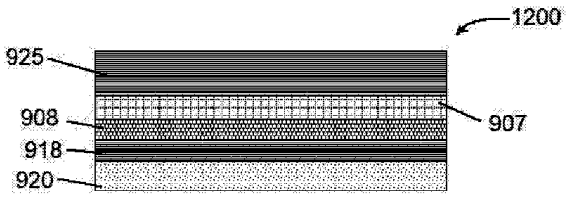



Fig. 11b

【図１１ｃ】

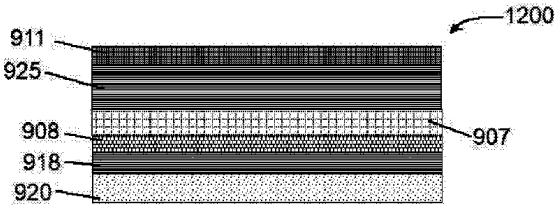



Fig. 11c

【図１１ｄ】

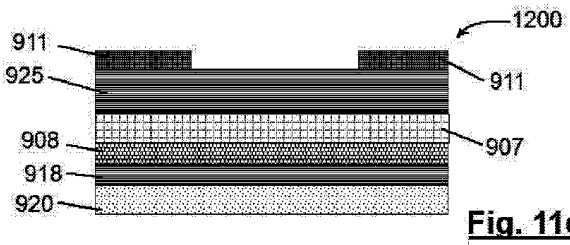



Fig. 11d

【図１１ｅ】

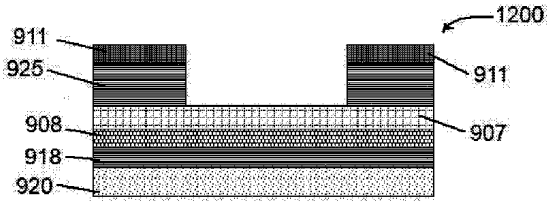



Fig. 11e

【図１１ｆ】

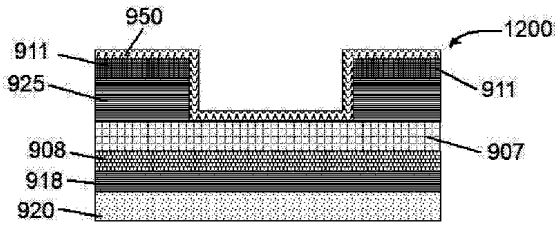



Fig. 11f

【図１１ｇ】

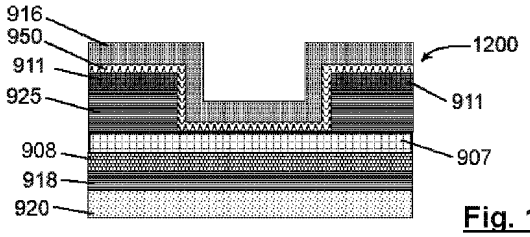



Fig. 11g

【図１１ｈ】

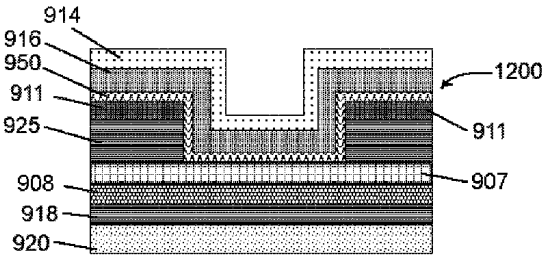



Fig. 11h

【図１１ｉ】

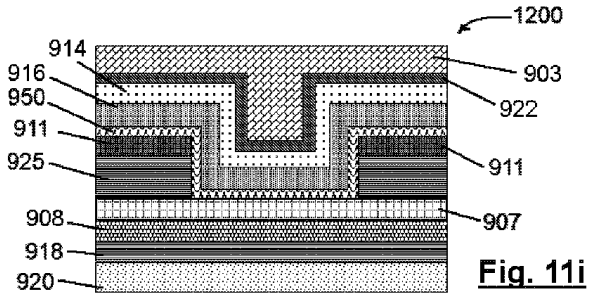



Fig. 11i

【図１１ｊ】

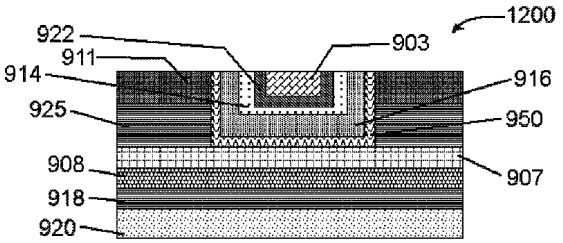



Fig. 11j

【図１１ｋ】

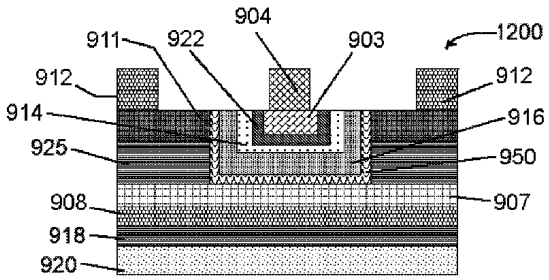



Fig. 11k

【図１１ｌ】

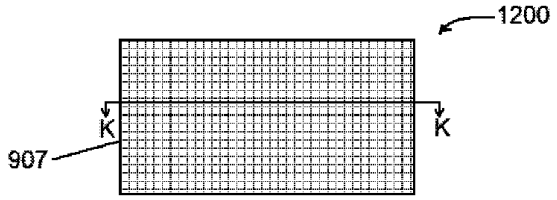



Fig. 11l

【図１１ｍ】




Fig. 11m

【図１１ｎ】

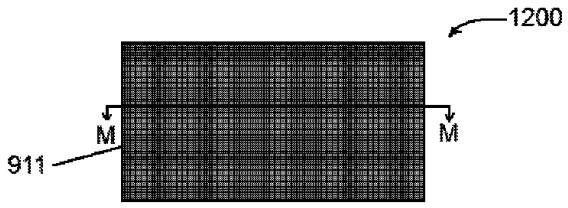



Fig. 11n

【図１１ｏ】

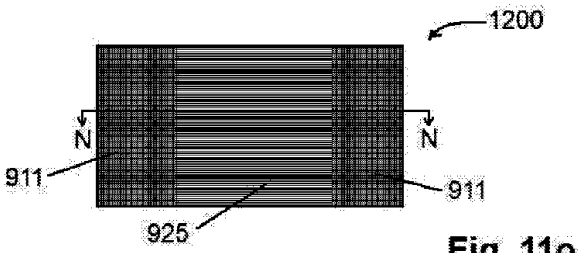



Fig. 11o

【図１１ｐ】

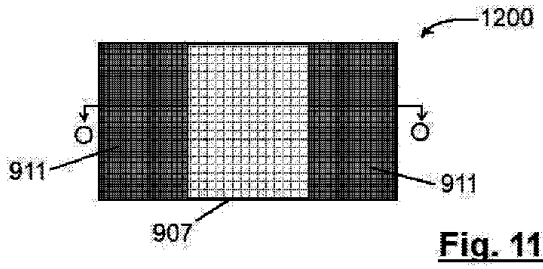



Fig. 11p

【図１１ｑ】

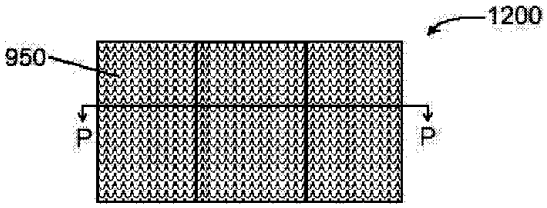



Fig. 11q

【図１１ｒ】

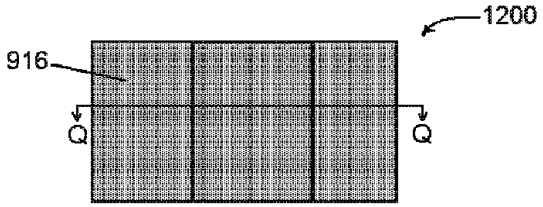



Fig. 11r

【図１１ｓ】

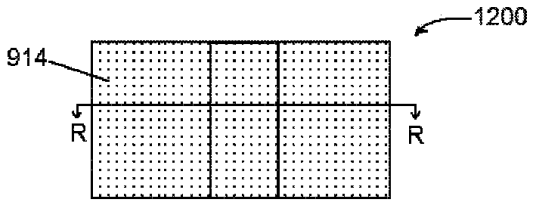



Fig. 11s

【図１１ｔ】

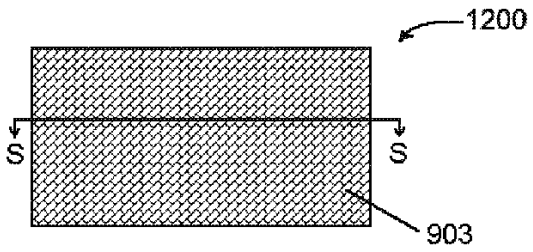



Fig. 11t

【図１１ｕ】

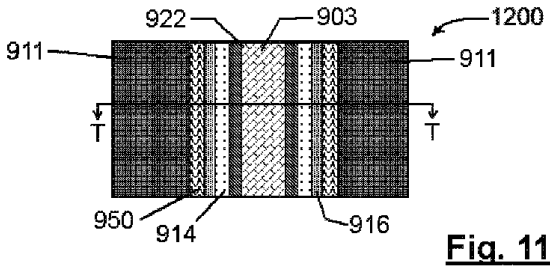



Fig. 11u

【図１１ｖ】

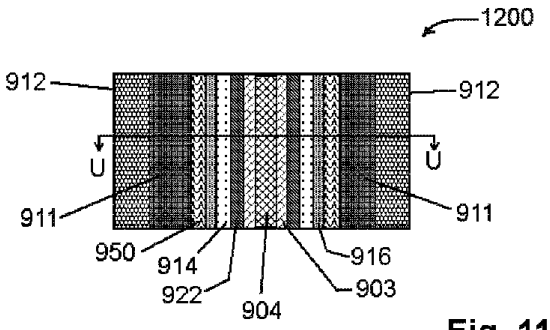
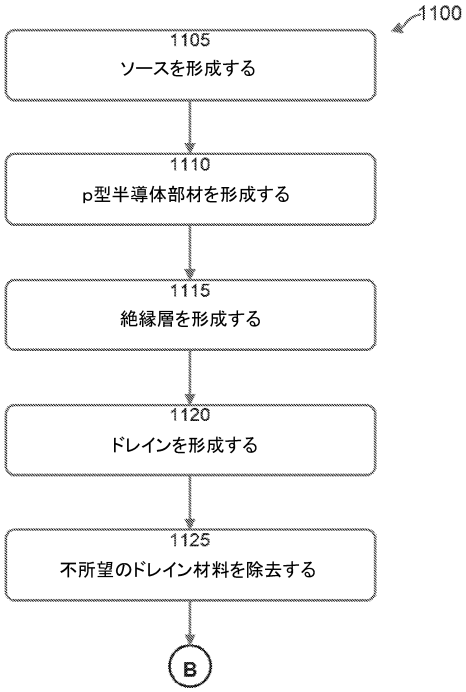



Fig. 11v

【図１２ａ】




【図１２ｂ】




【図１３ａ】

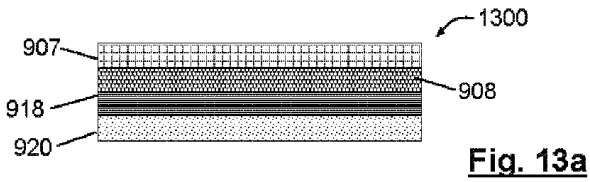



Fig. 13a

【図１３ｂ】

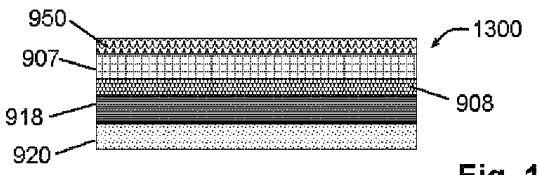



Fig. 13b

【図１３ｃ】

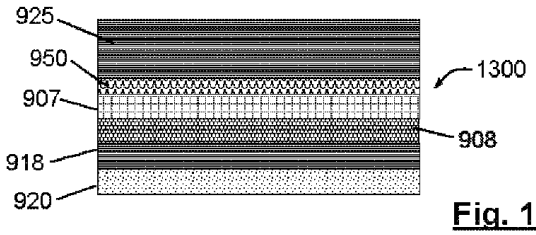



Fig. 13c

【図１３ｄ】

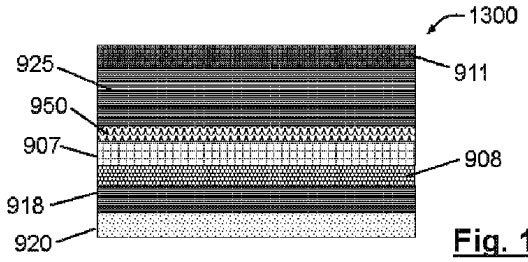



Fig. 13d

【図１３ｅ】

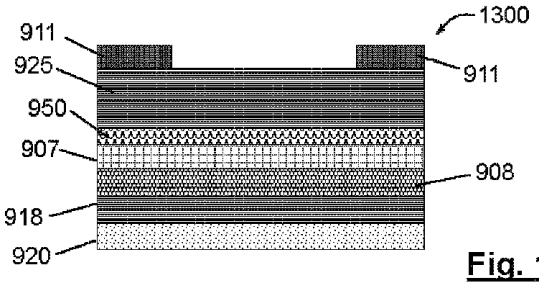



Fig. 13e

【図１３ｆ】

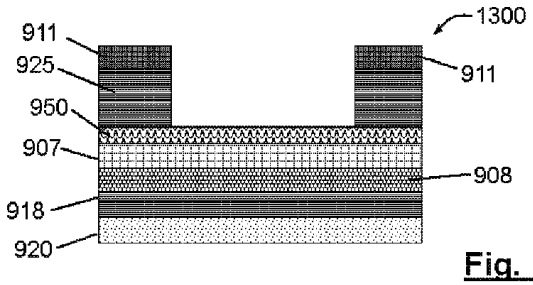



Fig. 13f

【図１３ｇ】

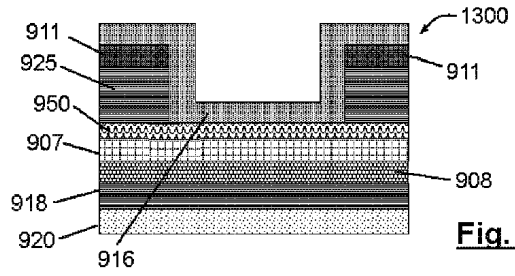



Fig. 13g

【図１３ｈ】

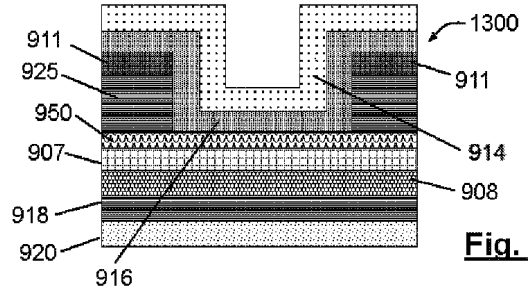



Fig. 13h

【図１３ｉ】

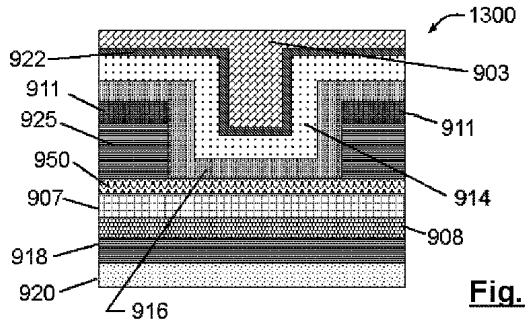



Fig. 13i

【図１３ｊ】

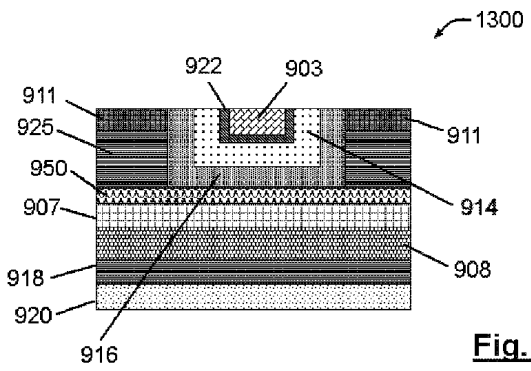



Fig. 13j

【図１３ｋ】

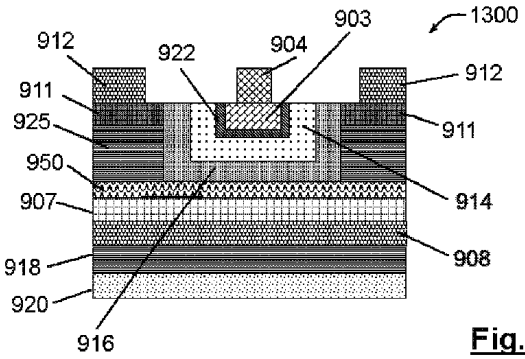



Fig. 13k

【図１３ｌ】

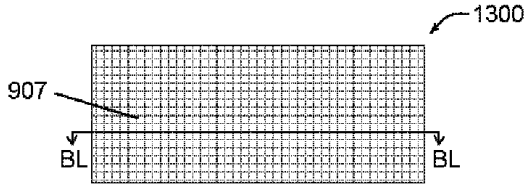



Fig. 13l

【図１３ｍ】

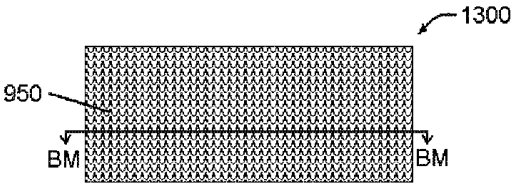



Fig. 13m

【図１３ｎ】

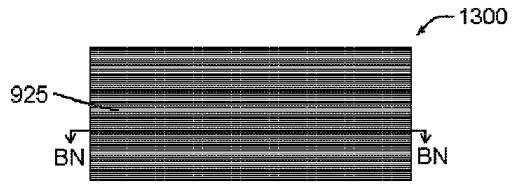



Fig. 13n

【図１３ｏ】

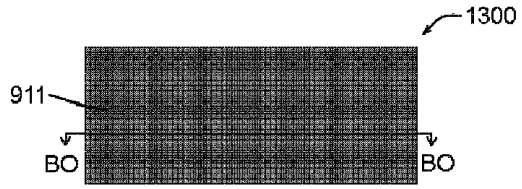



Fig. 13o

【図１３ｐ】

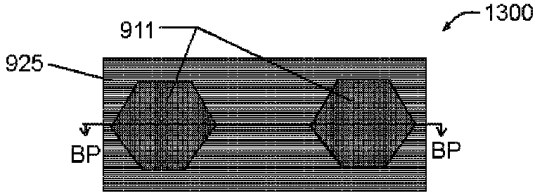



Fig. 13p

【図１３ｑ】

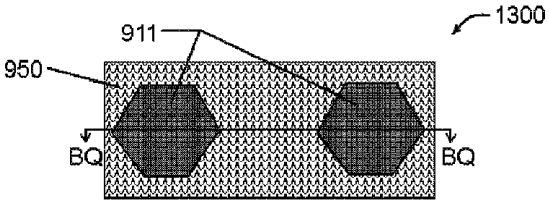



Fig. 13q

【図１３ｒ】

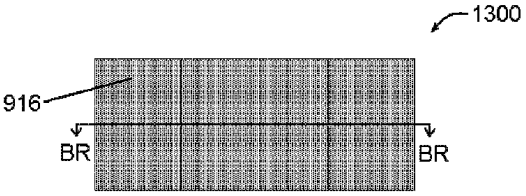



Fig. 13r

【図１３ｓ】

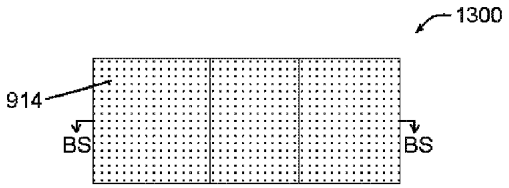



Fig. 13s

【図１３ｔ】

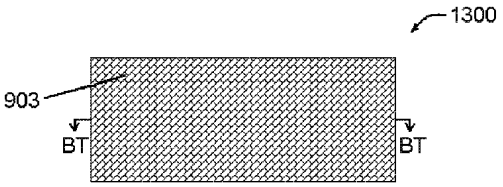



Fig. 13t

【図１３ｕ】

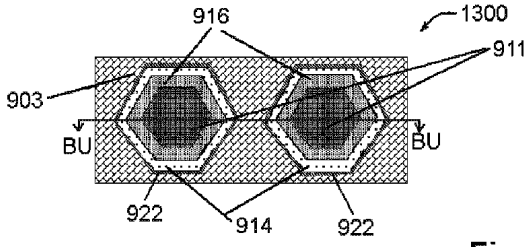



Fig. 13u

【図１３ｖ】

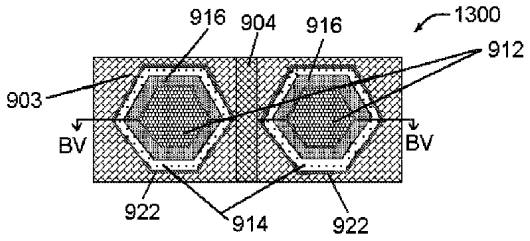



Fig. 13v

【手続補正書】
【提出日】令和5年2月13日(2023.2.13)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
薄膜トランジスタであって、
基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたソースと、
前記絶縁層上に形成されており、前記ソースから離間されているドレインと、
前記絶縁層上に形成されており、前記ソースと前記ドレインとの間に延在するｎ型半導体材料と、
少なくとも前記ソースを前記半導体材料に電気的に接続するソース－チャネル界面部材と、
前記半導体層の上方に形成されたゲート誘電体層と、
正の電圧が印加されたときに電流が前記ソースから前記ソース－チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへと流れることができるように、前記誘電体層の上方に形成されたゲートと
を含む、薄膜トランジスタ。
【請求項２】
前記ｎ型半導体材料は金属酸化物である、請求項１記載の薄膜トランジスタ。
【請求項３】
前記ｎ型半導体材料は、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項１記載の薄膜トランジスタ。
【請求項４】
前記ｎ型半導体材料は、亜鉛酸化物およびスズ酸化物のうちの一方である、請求項１記載の薄膜トランジスタ。
【請求項５】
前記絶縁層は前記基板である、請求項１記載の薄膜トランジスタ。
【請求項６】
前記ソース－チャネル界面部材は前記絶縁層である、請求項１記載の薄膜トランジスタ。
【請求項７】
前記ソース－チャネル界面部材は、前記ソースおよび前記ドレインの双方を前記半導体材料に電気的に接続する、請求項１記載の薄膜トランジスタ。
【請求項８】
前記ソース－チャネル界面部材はｐ型半導体である、請求項１記載の薄膜トランジスタ。
【請求項９】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項８記載の薄膜トランジスタ。
【請求項１０】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項１記載の薄膜トランジスタ。
【請求項１１】

前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項１記載の薄膜トランジスタ。
【請求項１２】
前記半導体材料は原子層堆積によって形成されている、請求項１記載の薄膜トランジスタ。
【請求項１３】
前記ソース－チャネル界面部材は原子層堆積によって形成されている、請求項１記載の薄膜トランジスタ。
【請求項１４】
前記基板は可撓性ポリマーである、請求項１記載の薄膜トランジスタ。
【請求項１５】
前記ソースは前記ドレインから垂直方向に離間されている、請求項１記載の薄膜トランジスタ。
【請求項１６】
前記薄膜トランジスタがさらに第２の絶縁層を含み、
前記ソースおよび前記ドレインの一方が前記絶縁層上に形成されており、
前記第２の絶縁層が前記ソースおよび前記ドレインの一方上に形成されており、
前記第２の絶縁層が、前記ソースおよび前記ドレインの一方から上方へ向かって延在する内面を有する垂直方向中空部を形成しており、
前記ソース－チャネル界面部材が、前記中空部の内面上および該中空部内のドレイン部分上に層を形成しており、
前記ｎ型半導体材料が前記ソース－チャネル界面部材の層上に層を形成しており、
前記ゲート誘電体層が前記ｎ型半導体上に層を形成しており、
ゲート誘電体層上と前記ソースおよび前記ドレインの他方上とに形成されたゲートが、前記ソース－チャネル界面部材と電気的にコンタクト接続された状態で、前記第２の絶縁層の頂部上に形成されている、
請求項１５記載の薄膜トランジスタ。
【請求項１７】
前記薄膜トランジスタがさらに第２の絶縁層を含み、前記ソースが前記絶縁層上に形成されており、
前記ソース－チャネル界面部材が前記ソース上に形成されており、
前記第２の絶縁層が前記ソース上に形成されており、
前記第２の絶縁層が、前記ソースから上方へ向かって延在する内面を有する垂直方向中空部を形成しており、
前記ｎ型半導体材料が、前記ソース－チャネル界面部材の層上と前記中空部の内面とに層を形成しており、
前記ゲート誘電体層は、前記ｎ型半導体上に層を形成しており、
前記ゲート誘電体層上および前記ドレイン上に形成されたゲートは、前記ｎ型半導体材料と電気的にコンタクト接続された状態で前記第２の絶縁層の頂部上に形成されている、
請求項１５記載の薄膜トランジスタ。
【請求項１８】
前記薄膜トランジスタがさらに第２の絶縁層を含み、前記ドレインが前記絶縁層上に形成されており、
前記第２の絶縁層が前記ドレイン上に形成されており、
前記第２の絶縁層が、前記ドレインから上方へ向かって延在する内面を有する垂直方向中空部を形成しており、
前記ドレインから上方へ向かって延在する垂直方向中空部を形成する前記第２の絶縁層が内面を有し、
前記ｎ型半導体材料が、前記垂直方向中空部の内面上と前記ドレイン上とに層を形成しており、

前記ゲート誘電体層が前記ｎ型半導体上に層を形成しており、
前記ソース－チャネル界面部材が前記ソースを前記ｎ型半導体材料に電気的に接続するように、前記ゲート誘電体層上に形成された前記ゲート、前記ソースおよび前記ソース－チャネル界面部材が前記第２の絶縁層の頂部上に形成されている、
請求項１５記載の薄膜トランジスタ。
【請求項１９】
垂直方向薄膜トランジスタであって、
実質的に平坦な基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたソースと、
前記ソース上に形成されており、内面を有する垂直方向ウェルを形成する第２の絶縁層と、
前記垂直方向ウェルの内面上と前記ソース上とに形成されたソース－チャネル界面部材と、
前記ソースが前記ソース－チャネル界面部材によって前記ｎ型半導体材料に電気的に接続されるように前記ソース－チャネル界面部材上に形成されたｎ型半導体材料と、
前記ｎ型半導体層の上方に形成されたゲート誘電体層と、
前記誘電体層の上方に形成されたゲートと、
前記ｎ型半導体材料と電気的にコンタクト接続された状態で前記絶縁層上に形成されたドレインと
を含み、前記ゲートに正の電圧が印加されたときに、電流が前記ソースから前記ソース－チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへと流れることができる、
垂直方向薄膜トランジスタ。
【請求項２０】
前記ｎ型半導体材料は、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２１】
前記トランジスタは六角柱形状として形成されている、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２２】
前記トランジスタは平行六面体として形成されている、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２３】
前記トランジスタは、少なくとも第２の垂直方向薄膜トランジスタを覆う基板上に形成されている、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２４】
前記ソース－チャネル界面部材はｐ型半導体である、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２５】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２６】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２７】
前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項１９記載の垂直方向薄膜トランジスタ。
【請求項２８】

垂直方向薄膜トランジスタであって、
実質的に平坦な基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたソースと、
前記ソース上に形成されたソース－チャネル界面部材と、
前記ソース－チャネル界面部材上に形成されており、前記ソース－チャネル界面部材から上方へ向かって延在する内面を有する垂直方向ウェルを形成する第２の絶縁層と、
前記ウェルの内面上と前記ソース－チャネル界面部材上とに形成されており、前記ソース－チャネル界面部材が前記ソースを前記ｎ型半導体材料に電気的に接続するｎ型半導体材料と、
前記半導体層の上方に形成されたゲート誘電体層と、
前記誘電体層の上方に形成されたゲートと、
前記ｎ型半導体材料に電気的にコンタクト接続された状態で前記第２の絶縁層上に形成されたドレインと
を含み、前記ゲートに正の電圧が印加されたときに、電流が前記ソースから前記ソース－チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへ流れることができる、
垂直方向薄膜トランジスタ。
【請求項２９】
前記ｎ型半導体材料が、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３０】
前記トランジスタは六角柱形状として形成されている、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３１】
前記トランジスタは平行六面体として形成されている、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３２】
前記トランジスタは、少なくとも第２の垂直方向薄膜トランジスタを覆う基板上に形成されている、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３３】
前記ソース－チャネル界面部材はｐ型半導体である、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３４】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３５】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３６】
前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項２８記載の垂直方向薄膜トランジスタ。
【請求項３７】
垂直方向薄膜トランジスタであって、
実質的に平坦な基板と、
前記基板上に形成された絶縁層と、
前記絶縁層上に形成されたドレインと、
前記ドレイン上に形成されており、前記ドレインから上方へ向かって延在する内面を有する垂直方向ウェルを形成する第２の絶縁層と、

前記ウェルの内面上および前記ドレイン上に形成されたｎ型半導体材料と、
前記半導体層の上方に形成されたゲート誘電体層と、
前記誘電体層の上方に形成されたゲートと、
ソースと、
前記第２の絶縁層上に形成されており、前記ソースを前記ｎ型半導体材料に電気的に接続するソース－チャネル界面部材と
を含み、前記ゲートに正の電圧が印加されたときに、電流が前記ソースから前記ソース－チャネル界面部材および前記半導体材料に形成されたチャネルを通って前記ドレインへと流れることができる、
垂直方向薄膜トランジスタ。
【請求項３８】
前記ｎ型半導体材料が、亜鉛酸化物、スズ酸化物、インジウム酸化物、インジウムガリウム亜鉛酸化物、ガリウム酸化物、ゲルマニウム酸化物およびこれらの組み合わせを含む群から選択される、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項３９】
前記トランジスタは六角柱形状として形成されている、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４０】
前記トランジスタは平行六面体として形成されている、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４１】
前記トランジスタは、少なくとも第２の垂直方向薄膜トランジスタを覆う基板上に形成されている、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４２】
前記ソース－チャネル界面部材はｐ型半導体である、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４３】
前記ｐ型半導体は、前記ソースの触媒成長によって形成された酸化物である、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４４】
前記ソース－チャネル界面部材は圧電誘導双極子である、請求項３７記載の垂直方向薄膜トランジスタ。
【請求項４５】
前記ソース－チャネル界面部材は制御可能なトンネルバリアである、請求項３７記載の垂直方向薄膜トランジスタ。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００９
【補正方法】変更
【補正の内容】
【０００９】
本発明の第１の態様により、薄膜トランジスタであって、基板と、基板上に形成された絶縁層と、絶縁層上に形成されたソースと、絶縁層上に形成されており、ソースから離間されているドレインと、絶縁層上に形成されており、ソースとドレインとの間に延在するｎ型半導体材料と、少なくともソースを半導体材料に電気的に接続するソース－チャネル界面部材と、半導体層の上方に形成されたゲート誘電体層と、正の電圧が印加されたときに電流がソースからソース－チャネル界面部材および半導体材料に形成されたチャネルを通ってドレインに流れることができるように誘電体層の上方に形成されたゲートとを含む、薄膜トランジスタが提供される。
【手続補正３】

【補正対象書類名】明細書
【補正対象項目名】００６３
【補正方法】変更
【補正の内容】
【００６３】
図３ｂには、ＴＦＴ３００が順方向アクティブ状態（ここでは$V_{DS}$＞０$V_{GS}$＞．$V_{Threshold}$）にある場合のＴＦＴ３００の一例の断面図が示されている。図３ｃには、ＴＦＴ３００がオフ状態（ここでは$V_{DS}$＞０$V_{GS}$＜$V_{Threshold}$）にある場合の図３ｂの断面図が示されている。図３ｄには、ＴＦＴ３００ａが０Ｖ状態（ここでは$V_{DS}$＞０$V_{GS}$＜$V_{Threshold}$）にある場合のＴＦＴ３００の一例の断面図が示されている。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００７０
【補正方法】変更
【補正の内容】
【００７０】
図４ａは、ＴＦＴ４００の概略的なモデル４０２である。ＴＦＴ４００の実施形態では、ソース－チャネル界面部材４５０は、ソースコンタクト４０７およびドレインコンタクト４１１のそれぞれの上に形成されているが、これら２つの間に延在していない。これにより、図３ａと同様に、ソースコンタクト４０７およびドレインコンタクト４１１に、ＢＪＴに類似した構造を有するＪＦＥＴと同様のデバイスが有効に形成される。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００７９
【補正方法】変更
【補正の内容】
【００７９】
次に図６を参照するが、この図は、本発明の一実施形態によるＴＦＴを製造する方法６００を示すフローチャートである。図６の方法６００を、当該方法に関連する様々なステップの例を示す図７ａ～図７ｎを参照してＴＦＴ７００について、また図８ａ～図８ｄを参照してＴＦＴ８００ａおよびＴＦＴ８００ｂについて論じる。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００８１
【補正方法】変更
【補正の内容】
【００８１】
方法６００はステップ６０５から開始され、当該ステップ６０５では、ソースコンタクト７０７およびドレインコンタクト７１１が絶縁層７１８の頂部上に形成され、この絶縁層７１８自体は次いで図７ａに示されているように基板７２０の頂部上に形成される。図７ａは、図７ｈの線Ｂ－Ｂに沿って切断されたＴＦＴ７００の断面図を示しており、図７ｈは対応する上面図を示している。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００８６
【補正方法】変更
【補正の内容】
【００８６】
ただし、ソース－チャネル界面部材７５０を別の方式で形成することもでき、これにつ

き、本発明の別の実施形態による、図７ｂのものと同様の、図８ｃのＴＦＴ８００の線Ｄ－Ｄに沿って切断された断面図である図８ａを参照する。ＴＦＴ８００では、ソース－チャネル界面部材８５０は、次いで基板８２０上に形成された絶縁層８１８上に形成されているソースコンタクト８０７およびドレインコンタクト８１１双方の下方にある金属構造を制御された状態で酸化することによって形成されたものである。図示されているように、このようにすることで、ソースコンタクト８０７上に形成されるソース－チャネル界面部材８５０と、ドレインコンタクト８１１上に形成されるソース－チャネル界面部材８５０とが生じる。

【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００９９
【補正方法】変更
【補正の内容】
【００９９】
図９ｃには、本発明の別の実施形態によるＴＦＴ９００ｃの断面図が示されている。図９ａのＴＦＴ９００ａおよび図９ｂのＴＦＴ９００ｂと同様に、ＴＦＴ９００ｃは、本発明の一実施形態による垂直方向ＴＦＴの実現形態である。

【国際調査報告】

**INTERNATIONAL SEARCH REPORT**

International application No.
**PCT/IB2022/056349**

A. CLASSIFICATION OF SUBJECT MATTER

IPC: ***H01L 29/786*** (2006.01)

CPC: , H01L 29/786 (2021.01), H01L 29/7869 (2020.01), H01L 29/78642 (2020.01), H01L 2229/00 (2020.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Keywords used across the whole IPC

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used)
Canadian Patent Office Database (Intellect), Questel Orbit. Keywords: (semiconductor, substrate, insulating, layer, gate, dielectric, voltage, source, drain)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | WO 2011/055620 (Yamazaki et al.), 12 May 2011 (12-05-2011)<br>*See paragraphs [0007] – [0010], claims, Figures 1, 2, 10, 11, 15, and 16 | 1 to 45 |
| A | WO 2020/167658 (Yan et al.), 20 August 2020 (20-08-2020)<br>*See whole document | 1 to 45 |
| A | US 2016/0315196 (Barlage et al.), 27 October 2016 (27-10-2016)<br>*See whole document | 1 to 45 |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

| | | | |
|---|---|---|---|
| * | Special categories of cited documents: | "T" | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" | document defining the general state of the art which is not considered to be of particular relevance | "X" | document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "D" | document cited by the applicant in the international application | "Y" | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "E" | earlier application or patent but published on or after the international filing date | "&" | document member of the same patent family |
| "L" | document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | | |
| "O" | document referring to an oral disclosure, use, exhibition or other means | | |
| "P" | document published prior to the international filing date but later than the priority date claimed | | |

| | |
|---|---|
| Date of the actual completion of the international search<br>20 September 2022 (20-09-2022) | Date of mailing of the international search report<br>06 October 2022 (06-10-2022) |
| Name and mailing address of the ISA/CA<br>Canadian Intellectual Property Office<br>Place du Portage I, C114 - 1st Floor, Box PCT<br>50 Victoria Street<br>Gatineau, Quebec K1A 0C9<br>Facsimile No.: 819-953-2476 | Authorized officer<br>Mazen Hijazi (819) 639-5249 |

Form PCT/ISA/210 (second sheet ) (July 2022)

**INTERNATIONAL SEARCH REPORT**
Information on patent family members

International application No.
**PCT/IB2022/056349**

| Patent Document Cited in Search Report | Publication Date | Patent Family Member(s) | Publication Date |
|---|---|---|---|
| WO2011055620A1 | 12 May 2011 (12-05-2011) | WO2011055620A1 | 12 May 2011 (12-05-2011) |
| | | JP2011119718A | 16 June 2011 (16-06-2011) |
| | | JP5731795B2 | 10 June 2015 (10-06-2015) |
| | | JP2015165577A | 17 September 2015 (17-09-2015) |
| | | JP6014196B2 | 25 October 2016 (25-10-2016) |
| | | JP2017011296A | 12 January 2017 (12-01-2017) |
| | | JP6279684B2 | 14 February 2018 (14-02-2018) |
| | | JP2018101788A | 28 June 2018 (28-06-2018) |
| | | JP6444551B2 | 26 December 2018 (26-12-2018) |
| | | JP2019024144A | 14 February 2019 (14-02-2019) |
| | | JP6659810B2 | 04 March 2020 (04-03-2020) |
| | | JP2019179932A | 17 October 2019 (17-10-2019) |
| | | JP6817378B2 | 20 January 2021 (20-01-2021) |
| | | KR102223595B1 | 05 March 2021 (05-03-2021) |
| | | KR20200047775A | 07 May 2020 (07-05-2020) |
| | | KR102286284B1 | 06 August 2021 (06-08-2021) |
| | | KR20190066086A | 12 June 2019 (12-06-2019) |
| | | KR20210096328A | 04 August 2021 (04-08-2021) |
| | | TW201135941A | 16 October 2011 (16-10-2011) |
| | | TWI525834B | 11 March 2016 (11-03-2016) |
| | | TW201613109A | 01 April 2016 (01-04-2016) |
| | | US8633480B2 | 21 January 2014 (21-01-2014) |
| | | US2014131704A1 | 15 May 2014 (15-05-2014) |
| | | US9093544B2 | 28 July 2015 (28-07-2015) |
| | | US2015333089A1 | 19 November 2015 (19-11-2015) |
| | | US10249647B2 | 02 April 2019 (02-04-2019) |
| WO2020167658A1 | 20 August 2020 (20-08-2020) | WO2020167658A1 | 20 August 2020 (20-08-2020) |
| | | WO2020167658A4 | 05 November 2020 (05-11-2020) |
| | | CN113424319A | 21 September 2021 (21-09-2021) |
| | | EP3925004A1 | 22 December 2021 (22-12-2021) |
| | | JP2022519537A | 24 March 2022 (24-03-2022) |
| | | US2020258897A1 | 13 August 2020 (13-08-2020) |
| | | US11398492B2 | 26 July 2022 (26-07-2022) |
| | | US2021210506A1 | 08 July 2021 (08-07-2021) |
| US2016315196A1 | 27 October 2016 (27-10-2016) | US2016315196A1 | 27 October 2016 (27-10-2016) |
| | | CA2932446A1 | 11 June 2015 (11-06-2015) |
| | | US2015071613A1 | 12 March 2015 (12-03-2015) |
| | | US2017250287A1 | 31 August 2017 (31-08-2017) |
| | | WO2013152439A1 | 17 October 2013 (17-10-2013) |
| | | WO2015081416A1 | 11 June 2015 (11-06-2015) |

Form PCT/ISA/210 (patent family annex ) (July 2022)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(74)代理人　100098501
弁理士　森田 拓
(74)代理人　100116403
弁理士　前川 純一
(74)代理人　100134315
弁理士　永島 秀郎
(74)代理人　100162880
弁理士　上島 類
(72)発明者　ダグラス ダブリュー． バーレイジ
カナダ国 アルバータ エドモントン ６２ アヴェニュー １０９３１
(72)発明者　リン ジェム シュート
カナダ国 アルバータ エドモントン １０９ ストリート ノースウェスト ７０３－１０１０５
(72)発明者　ケネス シー． キャディエン
カナダ国 アルバータ エドモントン ５７ アヴェニュー ノースウェスト １５１０４
(72)発明者　アレックス マンリック マ
カナダ国 アルバータ エドモントン ３８ ストリート ノースウェスト ３４５６
(72)発明者　エリック ウィルソン ミルバーン
カナダ国 アルバータ エドモントン １１２ ストリート ノースウェスト ９８２８

Ｆターム（参考）　5F110　AA06 CC05 CC09 DD01 DD02 DD05 DD12 DD13 DD14 DD24
EE01 EE02 EE03 EE04 EE15 EE42 EE44 EE45 FF01 FF02 FF03
FF05 FF27 FF28 FF29 GG01 GG19 GG23 GG25 GG28 GG42 HK01
HK02 HK03 HK08 HK09 HK10 HK11 HK17 HK21 HK22 HK25 HK31
HK32 HK33 HK34 HM02 HM12 HM14 QQ19