

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3554959号
(P3554959)

(45) 発行日 平成16年8月18日(2004. 8. 18)

(24) 登録日 平成16年5月21日(2004. 5. 21)

(51) Int.Cl.⁷

GO 1 R 31/316

GO 1 R 31/28

F I

GO 1 R 31/28

C

H

請求項の数 4 (全 8 頁)

(21) 出願番号	特願平11-2972	(73) 特許権者	000006507
(22) 出願日	平成11年1月8日(1999.1.8)		横河電機株式会社
(65) 公開番号	特開2000-206206(P2000-206206A)		東京都武蔵野市中町2丁目9番32号
(43) 公開日	平成12年7月28日(2000.7.28)	(72) 発明者	石橋 昌宏
審査請求日	平成14年4月16日(2002.4.16)		東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
		(72) 発明者	谷村 大輔
			東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
		(72) 発明者	成川 健一
			東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
		審査官	篠崎 正
			最終頁に続く

(54) 【発明の名称】 IC テスタ

(57) 【特許請求の範囲】

【請求項1】

被試験対象に試験信号を入力し、このときの被試験対象の出力をもとに被試験対象の良否を判定する IC テスタにおいて、
被試験対象の出力を A / D 変換する A / D 変換器と、
この A / D 変換器の出力を取り込み、良否判定のための信号処理を行う信号処理手段と、
前記 A / D 変換器と信号処理手段との間に介在し、A / D 変換器の動作タイミングに応じて A / D 変換器の出力を一時記憶し、記憶したデータは信号処理手段の動作タイミングに応じて読み出される記憶手段と、
前記記憶手段の読み出しタイミングを与えるストロブ信号を記憶手段の読み出し時間だけ遅延させ、遅延信号を前記信号処理手段にデータ取り込み信号として与える遅延手段と

10

を具備したことを特徴とする IC テスタ。

【請求項2】

被試験対象に試験信号を入力し、このときの被試験対象の出力をもとに被試験対象の良否を判断する IC テスタにおいて、
被試験対象の出力を A / D 変換する A / D 変換器と、
この A / D 変換器の出力を取り込み、良否判定のための信号処理を行う信号処理手段と、
前記 A / D 変換器と信号処理手段との間に介在し、A / D 変換のタイミングから A / D 変換時間だけ経過したタイミングで A / D 変換器の出力を記憶し、前記信号処理手段のデー

20

タ取り込みタイミングよりも自身のデータ読み出し時間だけ先行したタイミングで記憶データが読み出される記憶手段と、
を具備したことを特徴とする I C テスタ。

【請求項 3】

A / D 変換のタイミングを与えるストロブ信号を A / D 変換時間だけ遅延させ、遅延信号を前記記憶手段に書き込み信号として与える遅延手段を具備したことを特徴とする 請求項 2 記載の I C テスタ。

【請求項 4】

前記記憶手段は F I F O で構成したことを特徴とする請求項 2 記載の I C テスタ。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、被試験対象に試験信号を入力し、このときの被試験対象の出力をもとに被試験対象の良否を判定する I C テスタに関するものである。

【0002】

【従来の技術】

I C テスタには、デジタル L S I を検査するテスタ、アナログ L S I とデジタル L S I が混在したミックスド L S I を検査するテスタ等がある。

【0003】

図 2 は I C テスタの従来例の構成図である。

20

図 2 で、入力信号発生部 1 は被試験対象 (D U T とする) 2 に動作のきっかけを与える入力信号を発生する。入力信号の発生タイミングはストロブ信号 S T B 1 で決められる。入力信号処理部 3 は入力信号発生部 1 が発生した入力信号のレベル、波形等を D U T 2 の入力規格に合わせるように処理する。このようにして D U T 2 に与えられた信号が試験信号である。試験信号は既知の信号である。

【0004】

出力信号処理部 4 は、D U T 2 の出力アナログ信号に増幅、濾波等の処理を行う。

A / D 変換器 (アナログ・デジタル変換器) 5 は、出力信号処理部 4 を経た信号を A / D 変換する。変換はストロブ信号 S T B 2 のタイミングで行う。

信号処理手段 6 は、A / D 変換器 5 の出力を取り込んで必要な信号処理を施し、D U T 2 が正常な応答波形の信号を出力したかどうかを判定する。信号処理手段 6 は、例えば D S P (D i g i t a l S i g n a l P r o c e s s o r) で構成される。A / D 変換器 5 の出力の取り込みはストロブ信号 S T B 3 のタイミングで行う。D U T 2、入力信号処理部 3 及び出力信号処理部 4 からなる系を D U T 周辺回路とする。

30

【0005】

なお、入力信号処理部 3 と出力信号処理部 4 は測定の実要求により存在しなくてもよい。

【0006】

図 3 は図 2 の I C テスタの動作タイミングを示した図である。

入力信号発生部 1、A / D 変換器 5 及び信号処理手段 6 は、それぞれストロブ信号により動作タイミングが制御される。このようなストロブ信号を用いて D U T を良否判定する動作を説明する。

40

【0007】

まず、時刻 T s t r b 1 に発生するストロブ信号 S T B 1 により入力信号発生部 1 から信号 V 1 が出力される。信号 V 1 は入力信号処理部 3 を通って D U T 2 に入力され、D U T 2 は入力に対する応答を信号 V 2 として出力する。このとき、D U T 周辺回路における信号伝達の遅れにより、信号 V 2 は信号 V 1 に対して所定の遅れをもって出現する。

【0008】

A / D 変換器 5 は時刻 T s t r b 2 に現れるストロブ信号 S T B 2 により信号 V 2 を A / D 変換し、信号 V 3 をデジタルデータとして出力する。この場合も A / D 変換器 5 内部の変換時間のために信号 V 2 と V 3 の間には遅れが生じる。デジタルデータ V 3 は時刻 T

50

s t r b 3に発生するストローブ信号S T B 3のタイミングで信号処理手段6に取り込まれ、適切なデータ処理を施した後、D U Tが問題のない応答をしたかどうかを判定する。

【0009】

次に、レートについて説明する。

レートはI Cテストに固有に設けられている。レートはI Cテストにおけるタイミング動作の単位であり、テスト全体の制御の1セットをなす時間単位である。

例えば、メモリI Cにクロックを与えながら、データをクロックに同期してに有力している場合は、1クロックの時間内で1つのデータが記憶されることになり、このときの1クロック幅の時間間隔を1レートとしている。テストプログラムでは1レート中の各部の動作を1セットとして記述している。

10

【0010】

原則として、D U Tに与える入力信号の発生タイミング(図3のタイミングT s t r b 1)と、D U Tの出力信号の取り込みタイミング(図3のタイミングT s t r b 3)はレートの区切りに対してある決まった時間関係を保っている。つまり、レートの始まりの時刻から各ストローブ信号が発生するまでの遅延時間はテストプログラムで記述されている。

【0011】

D U Tには入力信号を受けてからこれに応じた出力信号が現れるまでにある遅延時間が存在する。従って、ストローブ信号S T B 1とS T B 2との間には上述した遅延時間あるいはそれ以上の時間間隔を要する。この遅延時間を $\Delta t d$ とする。D U Tを測定するレートはD U Tのテスト仕様により決定されるもので、この時間間隔を $t r a t e$ とする。

20

【0012】

ここで、仮にストローブ信号S T B 1をレートの始まりから($t r a t e - \Delta t d$)以降の位置に発生させると、ストローブ信号S T B 2が次以降のレート期間に入ってしまう、同一レート内で信号発生とその信号に対する応答信号の取り込み及び解析ができなくなる。ストローブ信号S T B 3についても同様である。これは、テストプログラムを記述する上で信号発生から信号解析までの記述が1セットの中にまとまらないことになり、プログラムの作成・解析の上で非常に分りづらいものになる。

【0013】

テストをする者の要求からストローブ信号S T B 1をレートの終わりに近い場所に置きたい場合や、D U Tの応答の遅延時間が1レートを超える場合があり、この場合にも同一レート内に信号発生と信号解析の処理が入らないという問題が発生する。

30

【0014】

この問題を解決するために、I Cテストの中にはN C C (N e x t C y c l e C o m p a r e)の機能を備えたテストがある。

N C C機能は、一連の信号発生から応答取り込み、解析のタイミングを決めるストローブ信号について、次のレートにかかるような遅延時間でも、同一セットにまとめた記述がテストプログラム上でできる機能である。

I Cテストの機種によっては応答の取り込みタイミングが複数レート後まで記述できるものもあり、N C C機能によってテストプログラムが見やすく解析しやすいものとなる。

【0015】

40

しかし、N C C機能はI Cテストの設計に大きな負担を掛けるもので、またぐことのできるレート数を増やすとそれだけシステムが大規模になり、コストアップ、設計工数の増大等の弊害を発生させることになる。したがって、またぐことのできる許容レート数は制限されるのが現状である。

【0016】

ストローブ信号S T B 2とストローブ信号S T B 3の位置変化について説明する。

A/D変換器5の変換タイミングを与えるストローブ信号S T B 2は、A/D変換器5の前段にあるD U T周辺回路のレンジ設定等の条件により、最適な位置が変化するのが通常である。信号処理手段6の信号取り込みタイミングT s t r b 3とT s t r b 2の相対時間($T s t r b 3 - T s t r b 2$)は既述のようにA/D変換器5の変換時間で決まる固

50

定値である。従って、タイミングT s t r b 3をタイミングT s t r b 2の変化に追従させる必要がある。もし、追従させないと、連続的にA/D変換を行って変換データを信号処理手段6に取り込んでいる場合に、変換データを取り込む前に次の変換データが信号V3に現れることがあるので、不都合が生じる。

【0017】

一方、最近のA/D変換器の中には、その内部構成より変換タイミングT s t r b 2から出力に変換データが現れるまでにN C C機能でカバーしきれないほどの長い時間が必要なものがある。このため、タイミングT s t r b 3をタイミングT s t r b 1及びT s t r b 2のあるレートとは異なるレートに設けなくてはならず、T s t r b 2の位置変化に追従させるためのテストプログラムの既述が紛らわしくなっていた。

10

【発明が解決しようとする課題】

本発明は上述した問題点を解決するためになされたものであり、A/D変換器と信号処理手段との間に記憶手段を介在させ、A/D変換器と信号処理手段との間に記憶手段を介在させ、A/D変換器と信号処理手段の動作タイミングに合わせてデータの受け渡しを行うことによって、N C C機能の設定可能レート数の上限を超えるレートの遅れが発生する場合でも、容易なテストプログラム記述で検査を行えるI Cテストを実現することを目的とする。

【0018】

【課題を解決するための手段】

本発明は次のとおりの構成になったI Cテストである。

20

【0019】

(1) 被試験対象に試験信号を入力し、このときの被試験対象の出力をもとに被試験対象の良否を判定するI Cテストにおいて、

被試験対象の出力をA/D変換するA/D変換器と、

このA/D変換器の出力を取り込み、良否判定のための信号処理を行う信号処理手段と、前記A/D変換器と信号処理手段との間に介在し、A/D変換器の動作タイミングに応じてA/D変換器の出力を一時記憶し、記憶したデータは信号処理手段の動作タイミングに応じて読み出される記憶手段と、

前記記憶手段の読み出しタイミングを与えるストロブ信号を記憶手段の読み出し時間だけ遅延させ、遅延信号を前記信号処理手段にデータ取り込み信号として与える遅延手段と

30

を具備したことを特徴とするI Cテスト。

【0020】

(2) 被試験対象に試験信号を入力し、このときの被試験対象の出力をもとに被試験対象の良否を判断するI Cテストにおいて、

被試験対象の出力をA/D変換するA/D変換器と、

このA/D変換器の出力を取り込み、良否判定のための信号処理を行う信号処理手段と、前記A/D変換器と信号処理手段との間に介在し、A/D変換のタイミングからA/D変換時間だけ経過したタイミングでA/D変換器の出力を記憶し、前記信号処理手段のデータ取り込みタイミングよりも自身のデータ読み出し時間だけ先行したタイミングで記憶データが読み出される記憶手段と、

40

を具備したことを特徴とするI Cテスト。

【0021】

(3) A/D変換のタイミングを与えるストロブ信号をA/D変換時間だけ遅延させ、遅延信号を前記記憶手段に書き込み信号として与える遅延手段を具備したことを特徴とする請求項2記載のI Cテスト。

【0022】

(4) 前記記憶手段はF I F Oで構成したことを特徴とする請求項2記載のI Cテスト。

【0024】

【発明の実施の形態】

50

以下図面を用いて本発明を詳しく説明する。

図1は本発明の一実施例を示す構成図である。図1で図2と同一のものは同一符号を付ける。

図1で、記憶手段10は、A/D変換器5と信号処理手段6との間に介在し、A/D変換器5の動作タイミングに応じてA/D変換器5の出力を一時記憶する。記憶したデータは信号処理手段6の動作タイミングに応じて読み出される。記憶手段10は、例えばFIFO（先入れ先出し）メモリで構成する。

【0025】

遅延手段11は、A/D変換器5の変換タイミングを決めるストロブ信号STB2をA/D変換器5の変換時間だけ遅延させ、遅延信号を記憶手段10に書き込み信号として与える。

10

遅延手段12は、記憶手段10の読み出しタイミングを与えるストロブ信号STB3を記憶手段10の読み出し時間だけ遅延させ、遅延信号を信号処理手段6にデータ取り込み信号として与える。

遅延手段11と12は、例えばディレイラインにより構成される。

【0026】

遅延手段11と12により、記憶手段10は、A/D変換のタイミングからA/D変換時間だけ経過したタイミングでA/D変換器5の出力を記憶する。また、信号処理手段6のデータ取り込みタイミングよりも記憶手段10のデータ読み出し時間だけ先行したタイミングで記憶手段10から記憶データが読み出される。

20

【0027】

このようなICテストでは、出力信号処理部4から出力した信号はA/D変換器5に送られ、ストロブ信号STB2のタイミングでA/D変換される。

遅延手段11の遅延信号により、A/D変換の時間が経過した後に変換データは記憶手段10に記憶される。

ストロブ信号STB3により、記憶手段10の記憶データが読み出される。遅延手段12の遅延信号により、記憶手段10の読み出し時間が経過した後に読み出しデータが信号処理手段6に取り込まれる。

このようにしてA/D変換器5と信号処理手段6の動作タイミングに合わせてデータが転送される。

30

【0028】

【発明の効果】

本発明によれば次の効果が得られる。

【0029】

請求項1の発明によれば、A/D変換器と信号処理手段との間に記憶手段と遅延手段を介在させ、記憶手段の読み出しタイミングを与えるストロブ信号を記憶手段の読み出し時間だけ遅延させてデータの受け渡しを行っている。これによって、信号処理手段のデータ取り込みタイミングの遅延レート数の範囲を広げられ、NCC機能の設定可能レート数の上限を超えるレートの遅れが発生する場合でも、容易なテストプログラム記述で検査を行える。

40

【0030】

請求項2の発明によれば、A/D変換器と信号処理手段との間に記憶手段を介在させ、A/D変換器と信号処理手段のデータの受け渡しを信号処理手段のデータ取り込みタイミングよりも自身のデータ読み出し時間だけ先行したタイミングで行っている。これによって、信号処理手段のデータ取り込みタイミングの遅延レート数の範囲を広げられ、NCC機能の設定可能レート数の上限を超えるレートの遅れが発生する場合でも、容易なテストプログラム記述で検査を行える。

【0031】

請求項3の発明によれば、A/D変換データを確保するタイミングと、変換データを信号処理手段に取り込むタイミングを容易に設定できる。また、請求項4の発明によれば、

50

A/D変換をした順番に変換データを処理していくことができる。

【0032】

以上説明したように本発明によれば、NCC機能の設定可能レート数の上限を超えるレートの遅れが発生する場合でも、容易なテストプログラム記述で検査を行えるICテストを実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成図である。

【図2】ICテストの従来例の構成図である。

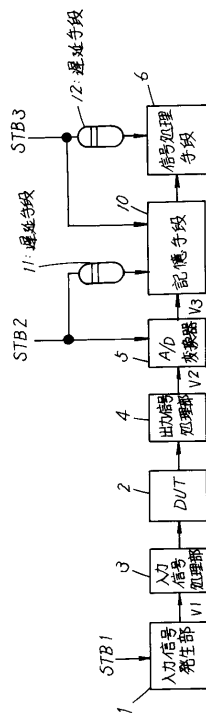
【図3】図2のICテストの動作タイミングを示した図である。

【符号の説明】

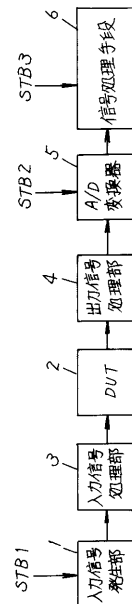
- 1 入力信号発生部
- 2 DUT
- 5 A/D変換器
- 6 信号処理手段
- 10 記憶手段
- 11, 12 遅延手段

10

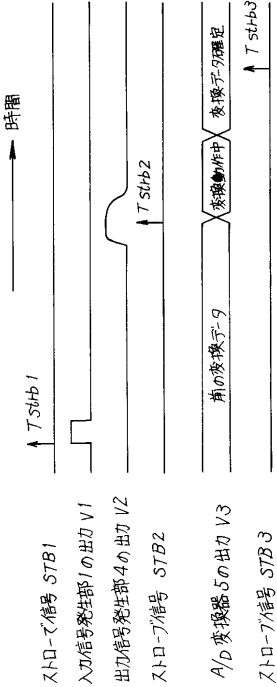
【図1】



【図2】



【図 3】



フロントページの続き

(56)参考文献 実開平02-128577 (JP, U)
特開平03-138579 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
G01R 31/28-31/3193