

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6427967号  
(P6427967)

(45) 発行日 平成30年11月28日(2018.11.28)

(24) 登録日 平成30年11月9日(2018.11.9)

(51) Int.Cl. F I  
**GO 1 R 29/02 (2006.01)** GO 1 R 29/02 L  
**HO 4 L 7/00 (2006.01)** HO 4 L 7/00

請求項の数 7 (全 23 頁)

(21) 出願番号	特願2014-118072 (P2014-118072)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成26年6月6日(2014.6.6)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2015-230296 (P2015-230296A)	(74) 代理人	100099759 弁理士 青木 篤
(43) 公開日	平成27年12月21日(2015.12.21)	(74) 代理人	100119987 弁理士 伊坪 公一
審査請求日	平成29年3月9日(2017.3.9)	(74) 代理人	100081330 弁理士 樋口 外治
		(72) 発明者	木船 雅也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 データ受信機、入出力装置、ジッタ測定装置およびジッタ測定方法

(57) 【特許請求の範囲】

【請求項1】

入力データ信号と第1クロック信号との位相差を生成して出力する第1位相比較器を含む、第1受信回路と、

前記入力データ信号と、前記第1クロック信号と無相関の参照クロック信号との位相差を生成して出力する第2位相比較器を含む、参照クロック生成回路と、

前記第1位相比較器からの第1位相比較出力信号および前記第2位相比較器からの第2位相比較出力信号を受け取り、前記第1位相比較出力信号および前記第2位相比較出力信号の相関関数の平均値により、ジッタ量を算出するジッタ算出回路と、を有するデータ受信機であって、

前記データ受信機は、前記第1受信回路、および、前記参照クロック生成回路として使用する第2受信回路の少なくとも2つの受信回路を含み、

前記データ受信機がデータ受信動作を行っているとき、

前記第1受信回路は、第1入力データ信号から前記第1クロック信号を生成し、前記第1入力データ信号を判定して第1出力データを出力し、

前記第2受信回路は、第2入力データ信号から前記参照クロック信号として使用する第2クロック信号を生成し、前記第2入力データ信号を判定して第2出力データを出力し、

前記データ受信機は、さらに、前記第1入力データ信号および前記第2入力データ信号を受け取るスイッチを有し、

前記データ受信機がジッタ測定動作を行っているとき、

前記スイッチは、前記第1および第2入力データ信号のいずれか一方を選択して、前記第1および第2受信回路の両方に入力する、

ことを特徴とするデータ受信機。

【請求項2】

入力データ信号と第1クロック信号との位相差を生成して出力する第1位相比較器を含む、第1受信回路と、

前記入力データ信号と、前記第1クロック信号と無相関の参照クロック信号との位相差を生成して出力する第2位相比較器を含む、参照クロック生成回路と、

前記第1位相比較器からの第1位相比較出力信号および前記第2位相比較器からの第2位相比較出力信号を受け取り、前記第1位相比較出力信号および前記第2位相比較出力信号の相関関数の平均値により、ジッタ量を算出するジッタ算出回路と、を有するデータ受信機であって、

前記参照クロック生成回路は、

前記第1クロック信号および前記入力データ信号から前記参照クロック信号を生成するデジタルDLL回路である、

ことを特徴とするデータ受信機。

【請求項3】

入力データ信号と第1クロック信号との位相差を生成して出力する第1位相比較器を含む、第1受信回路と、

前記入力データ信号と、前記第1クロック信号と無相関の参照クロック信号との位相差を生成して出力する第2位相比較器を含む、参照クロック生成回路と、

前記第1位相比較器からの第1位相比較出力信号および前記第2位相比較器からの第2位相比較出力信号を受け取り、前記第1位相比較出力信号および前記第2位相比較出力信号の相関関数の平均値により、ジッタ量を算出するジッタ算出回路と、を有するデータ受信機であって、

前記第1位相比較器および前記第2位相比較器は、アレクサンダー位相比較器であり、

前記ジッタ算出回路は、

前記第1および第2位相比較器の入出力特性の利得を算出する利得算出回路を含む、

ことを特徴とするデータ受信機。

【請求項4】

入力データ信号と第1クロック信号との位相差を生成して出力する第1位相比較器を含む、第1受信回路と、

前記入力データ信号と、前記第1クロック信号と無相関の参照クロック信号との位相差を生成して出力する第2位相比較器を含む、参照クロック生成回路と、

前記第1位相比較器からの第1位相比較出力信号および前記第2位相比較器からの第2位相比較出力信号を受け取り、前記第1位相比較出力信号および前記第2位相比較出力信号の相関関数の平均値により、ジッタ量を算出するジッタ算出回路と、

前記第1クロック信号および前記参照クロック信号との位相差を生成して出力する第3位相比較器とを有するデータ受信機であって、

前記ジッタ算出回路は、前記入力データ信号、前記第1クロック信号および前記参照クロック信号におけるジッタ量を算出可能となっている、

ことを特徴とするデータ受信機。

【請求項5】

伝送されたデータを受信する、請求項1乃至請求項4のいずれか1項に記載のデータ受信機と、

伝送するデータを送信する、データ送信機と、を有する、

ことを特徴とする入出力装置。

【請求項6】

被測定信号と第1クロック信号との位相差を生成して出力する第1位相比較器を含む、

10

20

30

40

50

第 1 回路と、

前記被測定信号と、前記第 1 クロック信号と無相関の第 2 クロック信号との位相差を生成して出力する第 2 位比較器を含む、第 2 回路と、

前記第 1 位比較器からの第 1 位比較出力信号および前記第 2 位比較器からの第 2 位比較出力信号を受け取り、前記第 1 位比較出力信号および前記第 2 位比較出力信号の相関関数の平均値により、前記被測定信号のジッタ量を算出するジッタ算出回路と、を有するジッタ測定装置であって、

前記ジッタ測定装置がデータ受信動作を行っているとき、

前記第 1 回路は、第 1 被測定信号から前記第 1 クロック信号を生成し、前記第 1 被測定信号を判定して第 1 出力データを出力し、

前記第 2 回路は、第 2 被測定信号から前記第 2 クロック信号を生成し、前記第 2 被測定信号を判定して第 2 出力データを出力し、

前記ジッタ測定装置は、さらに、前記第 1 被測定信号および前記第 2 被測定信号を受け取るスイッチを有し、

前記ジッタ測定装置がジッタ測定動作を行っているとき、

前記スイッチは、前記第 1 および第 2 被測定信号のいずれか一方を選択して、前記第 1 および第 2 回路の両方に入力する、

ことを特徴とするジッタ測定装置。

#### 【請求項 7】

入力データ信号と第 1 クロック信号を比較して第 1 位比較出力信号を生成し、

前記入力データ信号と、前記第 1 クロック信号と無相関の参照クロック信号を比較して第 2 位比較出力信号を生成し、

前記第 1 位比較出力信号および前記第 2 位比較出力信号の相関関数の平均値により、ジッタ量を算出し、

前記第 1 位比較出力信号における第 1 傾き、および、前記第 2 位比較出力信号における第 2 傾きを算出し、

前記第 1 位比較出力信号および前記第 2 位比較出力信号のエッジを、所定回数だけカウントして積分し、

前記積分した値を、前記第 1 傾きおよび前記第 2 傾きで除算して前記入力データ信号におけるジッタを生成する、

ことを特徴とするジッタ測定方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

この出願で言及する実施例は、データ受信機、入出力装置、ジッタ測定装置およびジッタ測定方法に関する。

#### 【背景技術】

#### 【0002】

近年、コンピュータやその他の情報処理機器に使用する半導体記憶装置(例えば、DRAM: Dynamic Random Access Memory)、プロセッサおよびスイッチ L S I (Large Scale Integration) 等は、その性能向上が顕著である。

#### 【0003】

そのため、システムの性能を向上するには、部品の性能向上に加えて、これらの部品あるいは要素間の信号伝送速度の向上(bit/sで測定される伝送容量の増加および伝送遅延の減少)が望まれている。

#### 【0004】

例えば、コンピュータ(サーバ)の性能向上は、SRAM(Static Random Access Memory)やDRAM等のメモリとプロセッサの間の信号伝送レートの向上が要望されている。また、サーバ以外にも、通信基幹向け装置等の情報処理機器の性能向上に伴って、装置内外での信号送受信のデータレートを高くすることが要望されている。

## 【 0 0 0 5 】

このようなデータレート向上を実現するためには、通信システムのデータ送信機、伝送線路(通信路)およびデータ受信機で生じる時間揺らぎの影響を抑えることが求められる。ここで、時間揺らぎは、送受信されるデータ波形や、受信回路内部でデータを受信するためのクロック信号に発生するものであって、例えば、各要素で発生するノイズに起因している。

## 【 0 0 0 6 】

例えば、アイパタン(アイダイアグラム)と呼ばれる波形は、例えば、データ送信機、伝送線路およびデータ受信機で生じる時間揺らぎの影響により、データの遷移時間(クロスポイント)が時間方向に広がりを持つ。このような時間揺らぎは、ジッタ(タイミングジッタ)と呼ばれているが、このジッタを適切に小さくすることが、通信システムを設計する上で重要なポイントとなっている。

10

## 【 0 0 0 7 】

従来、例えば、回路シミュレーションにおいて、入力データ信号やデータ受信機のクロック信号のジッタを評価し、回路パラメタを最適化してジッタを低減することが行われている。しかしながら、例えば、大規模な通信システムのモデル化は困難であり、また、データレートの高速化に伴って、ジッタ推定のシミュレーション誤差が問題となる。

## 【 0 0 0 8 】

さらに、実機での評価を行うことも考えられるが、例えば、内部信号のジッタ測定は難しく、また、パッケージやボードといった評価系の周波数帯域限界が存在するため、ジッタにおける高周波成分を外部に取り出すのは困難である。

20

## 【 0 0 0 9 】

ところで、従来、ジッタ測定装置としては、様々なものが提案されている。

## 【先行技術文献】

## 【特許文献】

## 【 0 0 1 0 】

【特許文献 1】特開 2 0 0 5 - 3 0 8 5 1 1 号公報

【特許文献 2】特開 2 0 0 3 - 3 2 2 6 6 6 号公報

## 【非特許文献】

## 【 0 0 1 1 】

【非特許文献 1】Hashimoto, T., et al., "Time-to-Digital Converter with Vernier Delay Mismatch Compensation for High Resolution On-Die Clock Jitter Measurement," IEEE Symposium on VLSI Circuits Dig. Tech. Papers, pp.166-167, June 2008

30

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【 0 0 1 2 】

前述したように、例えば、内部信号のジッタ測定は難しく、また、ジッタにおける高周波成分を外部に取り出すのは困難である。また、被測定信号としては、クロック信号のような周期信号に限定され、例えば、非周期信号である送受信データに適用することが困難である。

40

## 【 0 0 1 3 】

さらに、外部に被測定信号を取り出すことなく、チップ内部でジッタを測定し、その測定結果をチップ外部に出力することも考えられるが、そのための回路は、タイミング分解能を高くすると、大規模なものになってしまう。すなわち、大規模な回路を追加することなく、チップ内部でジッタを高精度に測定するのは、困難となっている。

## 【課題を解決するための手段】

## 【 0 0 1 4 】

一実施形態によれば、第 1 受信回路と、参照クロック生成回路と、ジッタ算出回路と、を有するデータ受信機が提供される。前記第 1 受信回路は、入力データ信号と第 1 クロック信号との位相差を生成して出力する第 1 位相比較器を含む。

50

## 【 0 0 1 5 】

前記第 2 受信回路は、前記入力データ信号と、前記第 1 クロック信号と無相関の参照クロック信号との位相差を生成して出力する第 2 位相比較器を含む。前記ジッタ算出回路は、前記第 1 位相比較器からの第 1 位相比較出力信号および前記第 2 位相比較器からの第 2 位相比較出力信号を受け取り、前記第 1 位相比較出力信号および前記第 2 位相比較出力信号の相関関数の平均値により、ジッタ量を算出する。前記データ受信機は、前記第 1 受信回路、および、前記参照クロック生成回路として使用する第 2 受信回路の少なくとも 2 つの受信回路を含み、前記データ受信機がデータ受信動作を行っているとき、前記第 1 受信回路は、第 1 入力データ信号から前記第 1 クロック信号を生成し、前記第 1 入力データ信号を判定して第 1 出力データを出力し、前記第 2 受信回路は、第 2 入力データ信号から前記参照クロック信号として使用する第 2 クロック信号を生成し、前記第 2 入力データ信号を判定して第 2 出力データを出力する。前記データ受信機は、さらに、前記第 1 入力データ信号および前記第 2 入力データ信号を受け取るスイッチを有し、前記データ受信機がジッタ測定動作を行っているとき、前記スイッチは、前記第 1 および第 2 入力データ信号のいずれか一方を選択して、前記第 1 および第 2 受信回路の両方に入力する。

10

## 【 発明の効果 】

## 【 0 0 1 6 】

開示のデータ受信機、入出力装置、ジッタ測定装置およびジッタ測定方法は、大規模な回路を追加することなく、チップ内部でジッタを高精度に測定することができるという効果を奏する。

20

## 【 図面の簡単な説明 】

## 【 0 0 1 7 】

【 図 1 】 図 1 は、ジッタの一例を説明するための図である。

【 図 2 】 図 2 は、ジッタ測定回路の一例を示すブロック図である。

【 図 3 】 図 3 は、データ受信機の第 1 実施例を説明するためのブロック図である。

【 図 4 】 図 4 は、データ受信機の第 2 実施例を説明するためのブロック図である。

【 図 5 】 図 5 は、図 4 に示すデータ受信機におけるデジタルコア部の一例を示すブロック図である。

【 図 6 】 図 6 は、入力データ信号に印加した正弦波ジッタと、本実施例に係るデータ受信機により測定されたジッタを比較して示す図である。

30

【 図 7 】 図 7 は、入力データ信号に印加したランダムジッタと、本実施例に係るデータ受信機により測定されたジッタを比較して示す図である。

【 図 8 】 図 8 は、本実施例に係るデータ受信機に適用されるアレクサンダー位相比較器(バンバン位相比較器)の一例を説明するための図(その 1)である。

【 図 9 】 図 9 は、本実施例に係るデータ受信機に適用されるアレクサンダー位相比較器(バンバン位相比較器)の一例を説明するための図(その 2)である。

【 図 1 0 】 図 1 0 は、データ受信機の第 3 実施例を説明するためのブロック図である。

【 図 1 1 】 図 1 1 は、データ受信機の第 4 実施例を説明するためのブロック図である。

【 図 1 2 】 図 1 2 は、データ受信機の第 5 実施例を説明するためのブロック図である。

【 図 1 3 】 図 1 3 は、入出力装置の一実施例を説明するためのブロック図である。

40

## 【 発明を実施するための形態 】

## 【 0 0 1 8 】

まず、データ受信機、入出力装置、ジッタ測定装置およびジッタ測定方法の実施例を詳述する前に、ジッタおよびジッタ測定回路の一例、並びに、その問題点を、図 1 および図 2 を参照して説明する。

## 【 0 0 1 9 】

図 1 は、ジッタの一例を説明するための図であり、入力データ波形を 1 U I (Unit Interval) で折り返し表示したアイパタン(アイダイアグラム)と呼ばれる波形の例を示すものである。なお、図 1 において、縦軸は電圧を示し、横軸は時間を示す。

## 【 0 0 2 0 】

50

図 1 に示されるように、アイパタンの波形は、例えば、データ送信機、伝送線路およびデータ受信機で生じる時間揺らぎの影響により、データの遷移時間(クロスポイント C P) が時間方向に広がりを持つ。このような時間揺らぎは、ジッタ(タイミングジッタ)と呼ばれているが、このジッタを適切に小さくすることが、通信システムを設計する上で重要なポイントとなる。

#### 【 0 0 2 1 】

ところで、回路シミュレーションにおいて、入力データ信号やデータ受信機のクロック信号のジッタを評価することにより、ある程度の精度で、回路パラメタを最適化し、ジッタを可能な限り最小化することができる。しかしながら、例えば、大規模な通信システムのモデル化は困難であり、また、データレートの高速化に伴って、ジッタ推定のシミュレーション誤差が課題となってきた。

10

#### 【 0 0 2 2 】

他の手法として、実機での評価を行うことにより、ジッタを求めることも可能である。例えば、入力データに対して、ジッタを意図的に重畳し、データ受信機の許容タイミング揺らぎを評価するジッタトレランス評価が提案されている。しかしながら、内部信号である、例えば、データ送信機やデータ受信機の内部クロック信号のジッタ評価は、困難である。

#### 【 0 0 2 3 】

すなわち、パッケージやボードといった評価系の周波数帯域限界が存在するため、例えば、ジッタにおける高周波成分を外部に取り出すのは困難であり、また、チップ外部で出力するために追加された I / O 回路込みのジッタの評価となる。その結果、チップ内部のジッタ評価を正確に行うことは、困難となっている。

20

#### 【 0 0 2 4 】

そこで、外部に被測定信号を取り出すことなく、チップ内部でジッタを測定し、その測定結果をチップ外部に出力するための回路(オンチップジッタ測定回路)を実装し、チップ内部のジッタ量を正確に評価することが提案されている。

#### 【 0 0 2 5 】

図 2 は、ジッタ測定回路の一例を示すブロック図であり、バーニア(Vernier)遅延線を使用したジッタ測定回路を示すものである。

#### 【 0 0 2 6 】

30

図 2 において、参照符号 D E 11, D E 21, ..., D E 81 は、遅延量  $s$  の遅延エレメント(遅延バッファ)を示し、D E 12, D E 22, ..., D E 82 は、遅延量  $f$  の遅延エレメントを示し、そして、P D 10, P D 20, ..., P D 80 は、位相比較器を示す。

#### 【 0 0 2 7 】

ここで、各遅延エレメントの遅延量  $s$ ,  $f$  は、 $f < s$  の関係が成立し、また、タイミング分解能  $D$  は、 $D = s - f$  で規定される。なお、各位相比較器 P D 10 ~ P D 80 は、それぞれ直列接続された遅延エレメント D E 11 ~ D E 81 を介して入力される被測定信号 C M P を、それぞれ直列接続された遅延エレメント D E 12 ~ D E 82 を介して入力される基準信号 C M P で取り込む(比較する)。

#### 【 0 0 2 8 】

40

そして、各位相比較器 P D 10 ~ P D 80 の出力信号 S d 1 ~ S d 8 をモニタし、例えば、信号 S d 1 ~ S d 8 のうち、高レベル『 1 』から低レベル『 0 』(または、『 0 』から『 1 』)に変化する個所を検出することにより、ジッタ測定を行うようになっている。

#### 【 0 0 2 9 】

なお、図 2 では、遅延エレメント D E 11 ~ D E 81, D E 12 ~ D E 82 および位相比較器 P D 10 ~ P D 80 は、8 ステージとされているが、実際には、例えば、数十ステージといった多数段設け、タイミング分解能  $D$  を高くしてジッタ測定を行う。

#### 【 0 0 3 0 】

このように、図 2 に示すジッタ測定回路は、例えば、基準信号 R E F のジッタが既知であれば、位相誤差を見積ることにより、被測定信号 C M P のジッタを評価することが可能

50

である。

【0031】

すなわち、図2に示すジッタ測定回路は、それぞれの信号パスに配置された多数の遅延エレメントDE11~DE81、DE12~DE82および位相比較器PD10~PD80により、 $D = (s - f)$ のタイミング精度で位相差を測定することができる。

【0032】

しかしながら、この回路で測定可能な位相差( $T$ )は、 $N$ 段の遅延バッファとすることにより、 $T = N * D$ の関係が成り立ち、タイミング精度と広い測定位相差を両立するには、回路実装面積が大きくなるという問題が生じる。

【0033】

或いは、周期信号である被測定信号におけるジッタを測定する場合、例えば、高速フーリエ変換(FFT:Fast Fourier Transform)を用いるため、やはり回路実装面積が大きくなってしまふことになる。すなわち、被測定信号がクロック信号等の周期信号に限定されると、非周期的な通常のデータ信号におけるジッタを測定するのは困難となる。

【0034】

以下、データ受信機、入出力装置、ジッタ測定装置およびジッタ測定方法の実施例を、添付図面を参照して詳述する。

【0035】

図3は、データ受信機の第1実施例を説明するためのブロック図である。図3において、参照符号1は第1受信回路、2は第2受信回路、3は乗算器、そして4は、ローパスフィルタを示す。

【0036】

第1実施例のデータ受信機(ジッタ測定回路)は、例えば、複数の受信回路を有する受信機における2つの受信回路(第1および第2受信回路)1,2を使用して、入力データ $DATA_{TA}$ におけるジッタを測定するものである。

【0037】

すなわち、本第1実施例は、データ受信機向けのジッタ測定回路に適したものであり、データ受信機における2つの受信回路1,2に対して同じデータを入力し、2つのリカバリクロック信号を(高周波側で)独立したクロック信号として使用する。

【0038】

ここで、図3に示す第1および第2受信回路1,2を含むデータ受信機は、単独のデータ受信機であってもよいが、例えば、データ信号を送信するデータ送信機と共に、入出力(I/O:Input/Output)回路を形成することもできる。

【0039】

さらに、第1および第2受信回路1,2、乗算器3およびローパスフィルタ4により、被測定信号( $DATA$ )のジッタを測定する専用のジッタ測定装置を形成することもできる。なお、ジッタ測定装置の場合には、第1および第2受信回路は、被測定信号のデータ自体を判定しなくてもよいため、ジッタ測定装置は、第1および第2回路1,2を有していればよい。

【0040】

なお、入力データ信号 $DATA$ は、非周期信号であり、また、第1および第2クロック信号 $CLK1$ , $CLK2$ は、基準クロック信号であって、例えば、クロックデータリカバリ(CDR:Clock Data Recovery)CDR1,CDR2の出力を使用することができる。

【0041】

すなわち、通常、複数チャネルに対応する複数の受信回路を含むデータ受信機における一部の回路(例えば、2つの受信回路1,2)を用いて、ジッタ測定回路を実現することができる。

【0042】

図3に示されるように、第1および第2受信回路1,2は、同様の回路構成を有する。すなわち、第1受信回路1(CDR1)は、第1位相比較器11(PD1)、第1チャージポ

10

20

30

40

50

ンプCP1、第1ループフィルタLF1および第1電圧制御発振器(Voltage-controlled oscillator)VCO1を有する第1回路ブロック10を含む。ここで、参照符号Kp1は、第1位比較器11の利得を示し、H1(s)は、第1ループフィルタLF1の開ループ伝達関数を示す。

【0043】

同様に、第2受信回路2(CDR2)は、第2位比較器21(PD2)、第2チャージポンプCP2、第2ループフィルタLF2および第2電圧制御発振器VCO2を有する第2回路ブロック20を含む。ここで、参照符号Kp2は、第2位比較器21の利得を示し、H2(s)は、第2ループフィルタLF2の開ループ伝達関数を示す。

【0044】

第1位比較器11は、入力データ信号 $DATA$ および第1リカバリクロック信号 $CLK1$ を受け取って、入力データ信号 $DATA$ と第1リカバリクロック信号 $CLK1$ の位相差を生成して出力する。

【0045】

第1位比較器11の出力信号SS1は、乗算器3に入力されると共に、第1回路ブロック10(CP1)に入力され、LF1およびVCO1を介して第1リカバリクロック信号 $CLK1$ が生成されるようになっている。

【0046】

同様に、第2位比較器21は、入力データ信号 $DATA$ および第2リカバリクロック信号 $CLK2$ を受け取って、入力データ信号 $DATA$ と第2リカバリクロック信号 $CLK2$ の位相差を生成して出力する。

【0047】

第2位比較器21の出力信号SS2は、乗算器3に入力されると共に、第2回路ブロック20(CP2)に入力され、LF2およびVCO2を介して第2リカバリクロック信号 $CLK2$ が生成されるようになっている。

【0048】

ここで、第1位比較器11の出力信号SS1および第2位比較器21の出力信号SS2を乗算する乗算器3の出力信号SS3、すなわち、 $(DATA)^2(s)$ は、次の式で与えられる。

$$(DATA)^2(s) = (DATA)^2(s) \cdot (1 + Kp1 \cdot H1(s))^{-1} \cdot (1 + Kp2 \cdot H2(s))^{-1}$$

【0049】

乗算器3の出力信号SS3は、ローパスフィルタ4に入力され、ローパスフィルタ4からは、入力データ信号 $DATA$ におけるジッタの期待値 $E[Kp1 \cdot Kp2 \cdot (DATA)^2(s)]$ が出力される。

【0050】

すなわち、第1位比較器11の出力信号SS1および第2位比較器21の出力信号SS2は、乗算器3により相関計算(期待値Eの計算)が行われ、さらに、ローパスフィルタ4により時間平均をとることでジッタが測定される。

【0051】

このように、乗算器3およびローパスフィルタ4により、第1および第2位比較器11, 21の出力信号SS1およびSS2の相関関数の平均値を算出して、入力データ信号 $DATA$ におけるジッタを生成するようになっている。

【0052】

以上、詳述したように、第1実施例のデータ受信機によれば、大規模な回路を追加することなく、チップ内部で被測定信号のジッタを高精度に測定することができる。すなわち、オンチップのジッタを精度良く取得することが可能となる。

【0053】

そして、取得した結果(測定したジッタ)を用いて、例えば、データ送受信機の回路パラメタを調整して低ビットエラーレートを実現し、さらに、高品質なデータ伝送システムを構築することが可能となる。このよう効果は、以下に述べる各実施例においても奏される

10

20

30

40

50

。

【 0 0 5 4 】

以上において、被測定信号(入力データ信号 DATA)と2つの基準クロック信号(第1および第2リカバリクロック信号 CLK<sub>1</sub>, CLK<sub>2</sub>)は互いに相関が無いと仮定している。これは、システムに問題を生じさせる興味ある高周波(第1および第2ループフィルタ LP<sub>1</sub>, LP<sub>2</sub>のカットオフ周波数以上)では、無理のない仮定となっている。

【 0 0 5 5 】

図4は、データ受信機の第2実施例を説明するためのブロック図である。図4と上述した図3の比較から明らかなように、第2実施例のデータ受信機では、ジッタ測定時に、第1受信回路1の入力データ信号 Din1と第2受信回路2の入力データ信号 Din2を受け取って一方を選択するスイッチ5が設けられている。

10

【 0 0 5 6 】

なお、図4における第1クロック信号 CK1および第2クロック信号(参照クロック信号)CK2は、図3における第1リカバリクロック信号 CLK<sub>1</sub>および第2リカバリクロック信号 CLK<sub>2</sub>に対応する。

【 0 0 5 7 】

さらに、第2実施例のデータ受信機において、第1および第2位相比較器11, 21の出力信号 SS1, SS2は、デマルチプレクサ61, 62(DMUX1, DMUX2)により低速化されてから、デジタルコア部7に入力されるようになっている。

【 0 0 5 8 】

すなわち、データ受信機が通常のデータ受信動作を行っているとき、スイッチ5は、第1受信回路1に対して入力データ信号 Din1を入力し、また、第2受信回路2に対して入力データ信号 Din2を入力するように、スイッチング制御する。

20

【 0 0 5 9 】

そして、入力データ信号におけるジッタを測定する場合には、スイッチ5を切り替えて、例えば、第1および第2受信回路1, 2(第1および第2位相比較器11, 21)に対して、同じ入力データ信号 Din1を入力するように、スイッチング制御する。ここで、入力データ信号におけるジッタを測定する場合、スイッチ5を切り替えて、第1および第2位相比較器11, 21に対して、同じ入力データ信号 Din2を入力するようにしてもよい。

【 0 0 6 0 】

図5は、図4に示すデータ受信機におけるデジタルコア部の一例を示すブロック図である。なお、図5では、スイッチ5は省略されており、第1および第2位相比較器11, 21に対して同じ入力データ信号 Din1が入力されるようになっている。

30

【 0 0 6 1 】

図5に示されるように、デジタルコア部7は、アンドゲート71, 72、オアゲート73, 74、エッジカウンタ75、積分器76および利得算出回路77を有する。ここで、アンドゲート71には、デマルチプレクサ61, 62により低速化された位相比較器11, 21の位相比較結果(PD1-UP, PD2-UP)が入力され、アンドゲート72には、低速化された位相比較器11, 21の位相比較結果(PD1-DN, PD2-DN)が入力されている。

【 0 0 6 2 】

また、オアゲート73には、デマルチプレクサ61, 62により低速化された位相比較器11, 21の位相比較結果(PD1-UP, PD1-DN)が入力され、オアゲート74には、アンドゲート71, 72の出力信号が入力されている。

40

【 0 0 6 3 】

さらに、オアゲート73の出力信号は、エッジカウンタ75に入力されて、第1位相比較器11の出力信号の立ち上がりエッジ(PD1-UP)および立下りエッジ(PD1-DN)のデータ遷移回数を所定回数カウントして、リセット信号 RSTを積分器76に出力する。ここで、エッジカウンタ75によりカウントするのは、ランダムデータの遷移回数をカウントすることになる。

【 0 0 6 4 】

50

そして、積分器 7 6 は、エッジカウンタ 7 5 からのリセット信号 R S T に従って、第 1 および第 2 位比較器 1 1 , 2 1 の出力信号が共に『 1 』または『 0 』になる乗算結果を積分し、この積分値を相関値として出力する。ここで、積分器 7 6 から出力される相関値は、例えば、図 3 を参照して説明した期待値  $E [ K p 1 \cdot K p 2 \cdot ( \sigma_{DATA}^2(s) )]$  に相当する。

【 0 0 6 5 】

また、利得算出回路 7 7 は、デマルチプレクサ 6 1 , 6 2 により低速化された第 1 位比較器 1 1 および第 2 位比較器 2 1 の出力信号を受け取り、第 1 位比較器 1 1 の利得  $K p 1$  および第 2 位比較器 2 1 の利得  $K p 2$  を算出する。

【 0 0 6 6 】

ここで、利得算出回路 7 7 は、例えば、アレクサンダー (Alexander) 位比較器 (バンバン (Bang-Bang) 位比較器) とされた第 1 および第 2 位比較器 1 1 , 2 1 ( P D 1 , P D 2 ) の利得 (  $K p 1$  ,  $K p 2$  ) を算出するための回路である。

【 0 0 6 7 】

このように、デジタルコア部 7 には、ランダムデータを取り扱うためのエッジディテクタ (データの遷移を検出する回路) 7 1 ~ 7 6 、および、利得を算出するための積分器 (位相検出器の時間平均を算出する回路) 7 7 が設けられている。

【 0 0 6 8 】

そして、積分器 7 6 から出力される相関値 (期待値) を、第 1 および第 2 位比較器 1 1 , 2 1 の利得  $K p 1$  ,  $K p 2$  の積で除算する ( $E [ K p 1 \cdot K p 2 \cdot ( \sigma_{DATA}^2(s) )] / ( K p 1 \cdot K p 2$  ) ) ことにより、入力データ信号 (  $\sigma_{DATA}$  ) におけるジッタを得ることができる。

【 0 0 6 9 】

なお、この相関値を利得で除算する処理は、例えば、データ受信機に除算器を設けてもよいが、データ受信機の外部に設けられた演算処理装置 (プロセッサ) により処理することも可能である。

【 0 0 7 0 】

このように、データ受信機における 2 つの受信回路を利用することにより、占有面積の増加を抑えることが可能となる。また、データ受信機のためのデータ遷移検出回路 (デジタルコア部 7 の 7 1 ~ 7 6 ) により非周期信号に対してもそのジッタを測定することが可能となる。同時に、位比較器の利得を計算する回路 (デジタルコア部 7 の利得算出回路 7 7 ) により、良好なジッタの測定精度 (相対値ではなく絶対値) を実現することも可能となる。

【 0 0 7 1 】

図 6 は、入力データ信号に印加した正弦波ジッタと、本実施例に係るデータ受信機により測定されたジッタを比較して示す図である。ここで、図 6 ( a ) は、印加した正弦波ジッタと測定されたジッタを比較して示す図であり、図 6 ( b ) は、印加した正弦波ジッタと測定されたジッタの誤差を示す図である。

【 0 0 7 2 】

図 6 ( a ) において、参照符号 L L 1 は、被測定信号 (入力データ信号) に対して意図的に印加した周波数が 1 0 0 M H z の正弦波ジッタを示し、正方形のドットは、その被測定信号から、本実施例のデータ受信機により実際に測定されたジッタを示す。

【 0 0 7 3 】

なお、図 6 ( a ) において、縦軸は、測定ジッタ値 ( p S R M S ) を示し、横軸は、印加ジッタ量 ( p S R M S ) を示す。また、図 6 ( b ) において、縦軸は、誤差 ( p S ) を示し、横軸は、印加ジッタ量 ( p S R M S ) を示す。

【 0 0 7 4 】

図 6 ( a ) に示されるように、被測定信号に対して意図的に正弦波ジッタを印加した場合、本実施例のデータ受信機により実際に測定されたジッタは、その印加した正弦波ジッタとほぼ一致していることが分かる。すなわち、図 6 ( b ) に示されるように、本実施例により測定されたジッタと、印加した正弦波ジッタとの誤差は、 0 . 7 5 p S 以下の良好な範

10

20

30

40

50

囲となっていることが分かる。

【 0 0 7 5 】

図 7 は、入力データ信号に印加したランダムジッタと本実施例に係るデータ受信機により測定されたジッタを比較して示す図である。ここで、図 7 (a) は、印加したランダムジッタと測定されたジッタを比較して示す図であり、図 7 (b) は、印加したランダムジッタと測定されたジッタの誤差を示す図である。

【 0 0 7 6 】

図 7 (a) において、参照符号 L L 2 は、被測定信号に対して意図的に印加した周波数が 2 0 M H z ~ 1 0 0 M H z で不規則に変化するランダムジッタを示し、正方形のドットは、その被測定信号から、本実施例のデータ受信機により実際に測定されたジッタを示す。

10

【 0 0 7 7 】

なお、図 7 (a) において、縦軸は、測定ジッタ値 (pS RMS) を示し、横軸は、印加ジッタ量 (pS RMS) を示す。また、図 7 (b) において、縦軸は、誤差 (pS) を示し、横軸は、印加ジッタ量 (pS RMS) を示す。

【 0 0 7 8 】

図 7 (a) に示されるように、被測定信号に対して意図的にランダムジッタを印加した場合、本実施例のデータ受信機により実際に測定されたジッタは、その印加したランダムジッタとほぼ一致していることが分かる。すなわち、図 7 (b) に示されるように、本実施例により測定されたジッタと、印加したランダムジッタとの誤差は、0 . 2 5 p S 以下の良好な範囲となっていることが分かる。

20

【 0 0 7 9 】

図 6 (a) および図 6 (b)、並びに、図 7 (a) および図 7 (b) を参照して説明したように、本実施例に係るデータ受信機は、正弦波ジッタおよびランダムジッタを始めとして、入力データに含まれる様々なジッタを正しく測定することが可能である。

【 0 0 8 0 】

図 8 および図 9 は、本実施例に係るデータ受信機に適用されるアレクサンダー位相比較器 (バンバン位相比較器) の一例を説明するための図である。ここで、図 8 (a) は、図 3 ~ 図 5 における第 1 および第 2 位相比較器 1 1 , 2 1 ( P D 1 , P D 2 ) として適用されるアレクサンダー位相比較器 100 の論理回路図である。

【 0 0 8 1 】

30

また、図 8 (b) および図 8 (c) は、図 8 (a) に示す位相比較器 100 の動作を説明するための図であり、図 8 (b) は、クロック信号 C K が入力データ信号 D i n よりも進んでいる場合を示し、図 8 (c) は、遅れている場合を示す。さらに、図 9 (a) は、実際の位相比較器 100 の出力と位相差の関係を示し、図 9 (b) は、位相比較器の理想の入出力特性および実際に存在しているジッタの分布関数例を示す。

【 0 0 8 2 】

まず、図 8 (a) に示されるように、アレクサンダー位相比較器 100 ( 1 1 , 2 1 ) は、4 つの D 型フリップフロップ ( D F F ) 1 0 1 ~ 1 0 4 および 2 つの排他的論理和 ( X O R ) ゲート 1 0 5 , 1 0 6 を含む。

【 0 0 8 3 】

40

入力データ信号 D i n は、 D F F 1 0 1 および 1 0 2 のデータ入力端子 ( D 入力 ) に入力され、 D F F 1 0 1 の出力信号 ( Q 出力 ) は、 D F F 1 0 3 の D 入力および X O R ゲート 1 0 5 の一方の入力端子に入力される。 D F F 1 0 3 の Q 出力は、 X O R ゲート 1 0 6 の一方の入力端子に入力される。

【 0 0 8 4 】

D F F 1 0 2 の Q 出力は、 D F F 1 0 4 の D 入力に入力され、 D F F 1 0 4 の Q 出力は、 X O R ゲート 1 0 5 の他方の入力端子および X O R ゲート 1 0 6 の他方の入力端子に入力される。

【 0 0 8 5 】

ここで、 D F F 1 0 1 ~ 1 0 4 のクロック入力端子には、クロック信号 C K が入力され

50

ている。なお、D F F 1 0 3 の Q 出力を信号 A とし、D F F 1 0 4 の Q 出力を信号 B とし、そして、D F F 1 0 1 の Q 出力を信号 C とする。さらに、X O R ゲート 1 0 6 の出力信号を信号 X とし、X O R ゲート 1 0 5 の出力信号を信号 Y とする。

【 0 0 8 6 】

図 8 (a) に示す位相比較器 100 において、クロック信号 C K の立ち上がりタイミングが入力データ信号 D i n の立ち上がりタイミングよりも進んでいる場合、図 8 (b) に示されるように、信号 A , B , C は、A = 『 0 』 , B = 『 1 』 , C = 『 1 』 となる。その結果、位相比較器 100 の出力信号 X , Y は、X = 『 1 』 , Y = 『 0 』 となる。

【 0 0 8 7 】

逆に、図 8 (a) に示す位相比較器 100 において、クロック信号 C K の立ち上がりタイミングが入力データ信号 D i n の立ち上がりタイミングよりも遅れている場合、図 8 (c) に示されるように、信号 A , B , C は、A = 『 1 』 , B = 『 1 』 , C = 『 0 』 となる。その結果、位相比較器 100 の出力信号 X , Y は、X = 『 0 』 , Y = 『 1 』 となる。

【 0 0 8 8 】

ここで、位相比較器の理想の入出力特性は、図 9 (b) に示されるように、例えば、低レベルから高レベルへ垂直に立ち上がる。しかしながら、実際の位相比較器には、例えば、正規分布で示されるような分布関数のジッタが含まれている。

【 0 0 8 9 】

そのため、実際の位相比較器 100 における入出力特性(ジッタ有における入出力特性)は、位相差に対して、例えば、低レベルから高レベルへ、所定の傾きを持って立ち上がることになる。

【 0 0 9 0 】

このように、アレクサンダー位相比較器 100 は、『 0 』 および 『 1 』 のデジタル位相比較により設計は容易であるが、利得が動作環境に強く依存することになる。そこで、高精度のジッタ測定を実現するために、図 9 (a) に示されるゼロをクロスする傾き(利得)を取得するための構成を設けるようになっている。

【 0 0 9 1 】

なお、利得は、位相比較器を形成するトランジスタ素子のばらつきや温度特性により変化し、また、ジッタに対して変化するため、例えば、図 5 を参照して説明したような利得算出回路 7 7 が設けられている。

【 0 0 9 2 】

図 1 0 は、データ受信機の第 3 実施例を説明するためのブロック図である。第 3 実施例のデータ受信機は、被測定信号(入力データ信号 D i n)のジッタだけでなく、第 1 および第 2 受信回路 1 , 2 (C D R 1 , C D R 2)における第 1 および第 2 クロック信号 C K 1 , C K 2 のジッタも取得可能となっている。なお、受信回路 1 および 2 は、同じ構成とされている。また、図 1 0 における参照符号 8 は、例えば、図 5 におけるデジタルコア部 7 に相当する。

【 0 0 9 3 】

図 1 0 に示されるように、受信回路 1 は、位相比較器(P D) 1 1、チャージポンプ(C P) 1 2、ループフィルタ(L F) 1 3、電圧制御発振器(V C O) 1 4、デマルチプレクサ(DMUX) 1 5 , 1 6、および、位相比較器利得算出回路 1 7 を含む。

【 0 0 9 4 】

同様に、受信回路 2 は、位相比較器(P D) 2 1、チャージポンプ(C P) 2 2、ループフィルタ(L F) 2 3、電圧制御発振器(V C O) 2 4、デマルチプレクサ(DMUX) 2 5 , 2 6、および、位相比較器利得算出回路 2 7 を含む。

【 0 0 9 5 】

位相比較器 1 1 および 1 2 は、それぞれ図 8 (a) に示す位相比較器 100 をそのまま適用してもよいが、図 1 0 に示す例では、それぞれ D F F 1 1 1 , 1 1 2 および 2 1 1 , 2 1 2、並びに、論理回路 1 1 3 および 2 1 3 を含む。ここで、D F F 1 1 2 および 2 1 2 のクロック端子には、レベル反転されたクロック信号 C K 1 および C K 2 が入力されている。

10

20

30

40

50

## 【 0 0 9 6 】

位相比較器利得算出回路 1 7 および 2 7 は、それぞれ D F F 171 および 271、並びに、可変遅延器 172 および 272 を含み、後述する利得算出回路 812、822 を介して位相比較器 1 1 および 2 1 における利得を算出可能としている。ここで、D F F 171 および 271 のクロック端子には、レベル反転された可変遅延器 172 および 272 の出力信号が入力されている。

## 【 0 0 9 7 】

なお、受信回路 1 および 2 におけるチャージポンプ 1 2 および 2 2、ループフィルタ 1 3 および 2 3、電圧制御発振器 1 4 および 2 4、並びに、デマルチプレクサ 1 5、1 6 および 2 5、2 6 は、例えば、図 4 におけるものと同様であり、その説明は省略する。

## 【 0 0 9 8 】

受信回路 1 における D F F 111 および 112 の出力信号(Q 出力)は、デマルチプレクサ 1 5 により低速化された後、F I F O (First-In First-Out) バッファ 811 を介して相関器 813 および 803 に入力される。また、D F F 171 の出力信号は、デマルチプレクサ 1 6 により低速化された後、利得算出回路 812 に入力される。

## 【 0 0 9 9 】

受信回路 2 における D F F 211 および 212 の出力信号は、デマルチプレクサ 2 5 により低速化された後、F I F O バッファ 821 を介して相関器 823 および 803 に入力される。また、D F F 271 の出力信号は、デマルチプレクサ 2 6 により低速化された後、利得算出回路 822 に入力される。

## 【 0 1 0 0 】

ここで、通常のデータ受信動作を行っているとき、受信回路 1 は、スイッチ 5 からの入力データ信号 D in1 を受け取ってデータ判定を行い、データ信号 D out1 を出力する。すなわち、データ受信時において、D F F 111、112、171 のデータ入力端子には、対応する入力データ信号 D in1 が入力され、デマルチプレクサ 1 5 から、受信回路 1 により受信したデータ信号 D out1 が出力される。

## 【 0 1 0 1 】

同様に、通常のデータ受信動作を行っているとき、受信回路 2 は、スイッチ 5 からの入力データ信号 D in2 を受け取ってデータ判定を行い、データ信号 D out2 を出力する。すなわち、データ受信時において、D F F 211、212、271 のデータ入力端子には、対応する入力データ信号 D in2 が入力され、デマルチプレクサ 2 5 から、受信回路 2 により受信したデータ信号 D out2 が出力される。

## 【 0 1 0 2 】

そして、ジッタの測定を行っているとき、スイッチ 5 は、入力データ信号 D in1 および D in2 のいずれか一方を選択し、選択された入力データ信号(例えば、D in1)を、受信回路 1 および 2 の両方に対して入力する。

## 【 0 1 0 3 】

図 1 0 に示されるように、本第 3 実施例のデータ受信機は、さらに、位相比較器 9 1、デマルチプレクサ(DMUX) 9 2、可変遅延器 9 3、F I F O バッファ 801、利得算出回路 802、上述した相関器 803 およびカウンタ 804 を含む。

## 【 0 1 0 4 】

ここで、F I F O バッファ 801、利得算出回路 802、相関器 803 およびカウンタ 804 は、第 1 および第 2 クロック信号 C K 1、C K 2 のジッタを取得するための相関計算部 8 0 となっている。

## 【 0 1 0 5 】

位相比較器 9 1 は、D F F 910 を含み、D F F 910 のデータ入力端子には、受信回路 1 の電圧制御発振器 1 4 の出力信号が入力され、D F F 910 のクロック入力端子には、可変遅延器 9 3 を介して、受信回路 2 の電圧制御発振器 2 4 の出力信号が入力されている。

## 【 0 1 0 6 】

D F F 910 の出力信号は、デマルチプレクサ 9 2 で低速化された後、相関計算部 8 0 の F I F O バッファ 801 および利得算出回路 802 に入力されている。なお、F I F O バッファ

10

20

30

40

50

801の出力信号は、相関器813および823に入力され、利得算出回路802の出力信号は、そのまま外部へ出力されている。

【0107】

すなわち、本第3実施例のデータ受信機は、利得算出回路812, 802, 822の出力信号、および、カウンタ814, 804, 824の出力信号を、例えば、演算処理装置(プロセッサ)に出力して外部処理を行うようになっている。これにより、被測定信号(Din)のジッタだけでなく、受信回路1および2のリカバリクロック信号CK1, CK2のジッタも測定することができるようになっている。

【0108】

図11は、データ受信機の第4実施例を説明するためのブロック図であり、データ受信機に含まれる複数のCDRレーン(受信回路)のうち、2つのCDRレーン1および2によりジッタの測定を行うものを示している。

10

【0109】

図11に示す第4実施例のデータ受信機には、図10を参照して説明した第3実施例と同様に、デマルチプレクサ92の前段にクロック信号CK1, CK2が入力された位相比較器91(PDa)が設けられている。これにより、入力データ信号(Din1)のジッタだけでなく、リカバリクロック信号CK1, CK2のジッタも取得できるようになっている。

【0110】

なお、図11において、デマルチプレクサ92の出力信号は、カウンタ他94に入力されているが、このカウンタ他94には、例えば、図10を参照して説明したFIFOバッファ、利得算出回路および相関器等が含まれている。

20

【0111】

このように、例えば、データ受信機に含まれる2つのCDRレーン1, 2を利用することにより、新たに、位相比較器91、デマルチプレクサ92およびカウンタ他94を追加するだけで、入力データ信号およびクロック信号のジッタを測定することが可能になる。

【0112】

また、図11に示すデータ受信機により、専用のジッタ測定装置を形成することができるのはいうまでもない。この場合、2つのCDRレーンは、入力データ信号のデータ判定が不要なため、ジッタ測定装置は、第1回路1および第2回路2を有していればよい。

【0113】

30

図12は、データ受信機の第5実施例を説明するためのブロック図である。図12と上述した図11の比較から明らかなように、本第5実施例のデータ受信機は、受信回路(CDR)2の代わりにデジタルDLL2'を適用するようになっている。

【0114】

すなわち、デジタルDLL2'は、受信回路(CDR)1からのクロック信号(第1クロック信号)CK1を可変遅延器29に入力し、可変遅延器29の遅延量をアップダウンカウンタ28で制御してクロック信号(参照クロック信号)CK2'を生成する。

【0115】

ここで、可変遅延器29の遅延量は、例えば、VCO14の出力信号(CK1)のジッタ成分が時間的にランダムであれば、固定遅延(ただし、遅延量は0より大きい)であっても、ランダムに制御されることになる。すなわち、被測定信号(入力データ信号Din)と2つのクロック信号CK1, CK2'は互いに相関が無いことになる。

40

【0116】

アップダウンカウンタ28は、入力データ信号Dinをクロック信号CK2'で取り込むDFF(位相比較器)21の出力信号に従って、カウント値をインクリメントまたはデクリメントするようになっている。

【0117】

この図12に示す第5実施例のデータ受信機は、例えば、複数のCDRレーンを持たないデータ受信機(1つの受信回路を有するデータ受信機)、或いは、専用のジッタ測定装置として適用することができる。

50

## 【 0 1 1 8 】

図 1 3 は、入出力装置の一実施例を説明するためのブロック図であり、データ伝送システムの一例を示すものである。図 1 3 において、参照符号 3 0 , 3 1 は入出力装置 ( I / O 回路)、300 は伝送線路、R x 0 , R x 1 はデータ受信機、そして、T x 0 , T x 1 はデータ送信機を示す。

## 【 0 1 1 9 】

図 1 3 は、一方の I / O 回路 3 1 (データ送信機 T x 1) からのデータ信号を、伝送線路 300 を介して他方の I / O 回路 3 0 (データ受信機 R x 0) に伝送する様子を説明するためのものである。ここで、データ受信機 R x 1 は、データ受信機 R x 0 と同様の構成を有し、データ送信機 T x 0 は、データ送信機 T x 1 と同様の構成を有している。

10

## 【 0 1 2 0 】

データ送信機 T x 1 ( T x 0 ) は、送信データ D t t を増幅するドライバ 309 を含み、データ受信機 R x 0 ( R x 1 ) は、例えば、2 つの受信回路 301 , 302 およびジッタ算出回路 303 を含む。

## 【 0 1 2 1 】

受信回路 301 および 302 は、同様の構成を有し、等化回路 311、1 / 0 判定器 312 およびマルチプレクサ 313 を含む。ここで、1 / 0 判定器 312 は、受信データ信号 D r x ( D i n ) のデータを判定するものであり、例えば、前述したアレクサンダー位相比較器 ( 100 ) で兼用することができる。

## 【 0 1 2 2 】

一方のデータ送信機 T x 1 のドライバ 309 により増幅された送信データ D t t は、送信データ信号 D t x として伝送路 300 に入力され、伝送路 300 から受信データ信号 D r x ( 入力データ信号 D i n ) として他方のデータ受信機 R x 0 に入力される。

20

## 【 0 1 2 3 】

ここで、図 1 3 の波形図 E F a に示されるように、例えば、送信データ信号 D t x には、微小のジッタ J t x のみが含まれ、データアイ D e t x も大きくなっている。これに対して、図 1 3 の波形図 E F b に示されるように、例えば、受信データ信号 D r x ( D i n ) には、大きなジッタ J r x が含まれ、その結果、データアイ D e r x が小さく、1 / 0 判定器 312 によるデータ判定が難しくなっている。

## 【 0 1 2 4 】

ジッタ算出回路 303 は、デマルチプレクサ 331 , 332、論理回路部 333、利得算出回路 334、ローパスフィルタ 335 および乗算器 ( 除算器 ) 336 を含む。なお、乗算器 336 は、ローパスフィルタ 335 の出力信号 ( 期待値 E ) と、利得算出回路 334 の出力信号 ( 1 / K p 1 , 1 / K p 2 ) を乗算してジッタ測定値を出力するためのものである。なお、ローパスフィルタ 335 は、乗算器 336 の後段に設けることもできる。

30

## 【 0 1 2 5 】

このようにして、I / O 回路 3 0 のジッタ算出回路 303 により測定されたジッタは、例えば、等化回路 311 における等化係数を制御してジッタ量を低減し、ビットエラーレートの低減を図る。或いは、測定したジッタを用いて、例えば、I / O 回路 3 1 のデータ送信機 T x 1 ( ドライバ 309 ) の回路パラメタを調整することも可能である。

40

## 【 0 1 2 6 】

なお、I / O 回路 3 0 および 3 1 は、例えば、異なる通信装置間、サーバとメモリ装置間、1 つの回路基板 ( ボード ) に搭載された L S I チップ間、或いは、1 つの L S I チップ内における複数の素子や回路ブロック間のデータ伝送システムに適用することができる。

## 【 0 1 2 7 】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではない。また、明細書のそのような記載は、発明の利点および欠点を示すものでもない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解

50

されるべきである。

【0128】

以上の実施例を含む実施形態に関し、さらに、以下の付記を開示する。

(付記1)

入力データ信号と第1クロック信号との位相差を生成して出力する第1位比較器を含む、第1受信回路と、

前記入力データ信号と、前記第1クロック信号と無相関の参照クロック信号との位相差を生成して出力する第2位比較器を含む、参照クロック生成回路と、

前記第1位比較器からの第1位比較出力信号および前記第2位比較器からの第2位比較出力信号を受け取り、前記第1位比較出力信号および前記第2位比較出力信号の相関関数の平均値を算出してジッタを生成するジッタ算出回路と、を有する、

ことを特徴とするデータ受信機。

10

【0129】

(付記2)

前記データ受信機は、前記第1受信回路、および、前記参照クロック生成回路として使用する第2受信回路の少なくとも2つの受信回路を含み、

前記データ受信機がデータ受信動作を行っているとき、

前記第1受信回路は、第1入力データ信号から前記第1クロック信号を生成し、前記第1入力データ信号を判定して第1出力データを出力し、

前記第2受信回路は、第2入力データ信号から前記参照クロック信号として使用する第2クロック信号を生成し、前記第2入力データ信号を判定して第2出力データを出力する、

ことを特徴とする付記1に記載のデータ受信機。

20

【0130】

(付記3)

前記第1受信回路は、前記第1クロック信号として、前記第1入力データ信号から第1リカバリクロック信号を生成する第1クロックデータリカバリを含み、

前記第2受信回路は、前記第2クロック信号として、前記第2入力データ信号から第1リカバリクロック信号を生成する第2クロックデータリカバリを含む、

ことを特徴とする付記2に記載のデータ受信機。

30

【0131】

(付記4)

さらに、

前記第1入力データ信号および前記第2入力データ信号を受け取るスイッチを有し、前記データ受信機がジッタ測定動作を行っているとき、

前記スイッチは、前記第1および第2入力データ信号のいずれか一方を選択して、前記第1および第2受信回路の両方に入力する、

ことを特徴とする付記2または付記3に記載のデータ受信機。

【0132】

(付記5)

前記参照クロック生成回路は、

前記第1クロック信号および前記入力データ信号から前記参照クロック信号を生成するデジタルDLL回路である、

ことを特徴とする付記1に記載のデータ受信機。

40

【0133】

(付記6)

前記ジッタ算出回路は、前記入力データ信号におけるジッタを生成する、

ことを特徴とする付記1乃至付記5のいずれか1項に記載のデータ受信機。

【0134】

(付記7)

50

前記第 1 位相比較器および前記第 2 位相比較器は、アレクサンダー位相比較器であり、前記ジッタ算出回路は、

前記第 1 および第 2 位相比較器の入出力特性の利得を算出する利得算出回路を含む、ことを特徴とする付記 1 乃至付記 6 のいずれか 1 項に記載のデータ受信機。

【 0 1 3 5 】

(付記 8)

前記ジッタ算出回路は、さらに、

前記第 1 位相比較出力信号を受け取る第 1 デマルチプレクサと、

前記第 2 位相比較出力信号を受け取る第 2 デマルチプレクサと、

前記第 1 デマルチプレクサの出力および前記第 2 デマルチプレクサの出力を受け取り、前記第 1 位相比較器における入出力特性の位相差に対する第 1 傾き、および、前記第 2 位相比較器における入出力特性の位相差に対する第 2 傾きを算出する利得算出回路と、

前記第 1 デマルチプレクサの出力および前記第 2 デマルチプレクサの出力を受け取り、前記第 1 位相比較出力信号および前記第 2 位相比較出力信号のエッジを、所定回数だけカウントして積分する相関回路と、を含む、

ことを特徴とする付記 7 に記載のデータ受信機。

【 0 1 3 6 】

(付記 9)

さらに、

前記第 1 クロック信号および前記参照クロック信号との位相差を生成して出力する第 3 位相比較器を有し、

前記ジッタ算出回路は、前記入力データ信号、前記第 1 クロック信号および前記参照クロック信号におけるジッタを生成可能となっている、

ことを特徴とする付記 1 乃至付記 8 のいずれか 1 項に記載のデータ受信機。

【 0 1 3 7 】

(付記 10)

被測定信号と第 1 クロック信号との位相差を生成して出力する第 1 位相比較器を含む、第 1 回路と、

前記被測定信号と、前記第 1 クロック信号と無相関の第 2 クロック信号との位相差を生成して出力する第 2 位相比較器を含む、第 2 回路と、

前記第 1 位相比較器からの第 1 位相比較出力信号および前記第 2 位相比較器からの第 2 位相比較出力信号を受け取り、前記第 1 位相比較出力信号および前記第 2 位相比較出力信号の相関関数の平均値を算出して前記被測定信号のジッタを生成するジッタ算出回路と、を有する、

ことを特徴とするジッタ測定装置。

【 0 1 3 8 】

(付記 11)

伝送されたデータを受信する、付記 1 乃至付記 9 のいずれか 1 項に記載のデータ受信機と、

伝送するデータを送信する、データ送信機と、を有する、

ことを特徴とする入出力装置。

【 0 1 3 9 】

(付記 12)

第 1 入出力装置と、

第 2 入出力装置と、

前記第 1 および第 2 入出力装置間でデータ信号を伝送する伝送線路と、を有し、

前記第 1 および第 2 入出力装置は、それぞれ付記 11 に記載の入出力装置である、

ことを特徴とするデータ伝送システム。

【 0 1 4 0 】

(付記 13)

10

20

30

40

50

入力データ信号と第1クロック信号を比較して第1位相比較出力信号を生成し、  
 前記入力データ信号と、前記第1クロック信号と無相関の参照クロック信号を比較して  
 第2位相比較出力信号を生成し、  
 前記第1位相比較出力信号および前記第2位相比較出力信号の相関関数の平均値を算出  
 してジッタを生成する、  
 ことを特徴とするジッタ測定方法。

## 【0141】

(付記14)

前記ジッタを生成するのは、

前記第1位相比較出力信号における第1傾き、および、前記前記第2位相比較出力信  
 号における第2傾きを算出し、

前記第1位相比較出力信号および前記第2位相比較出力信号のエッジを、所定回数だ  
 けカウントして積分し、

前記積分した値を、前記第1傾きおよび前記第2傾きで除算して前記入力データ信号  
 におけるジッタを生成する、

ことを特徴とする付記13に記載のジッタ測定方法。

## 【符号の説明】

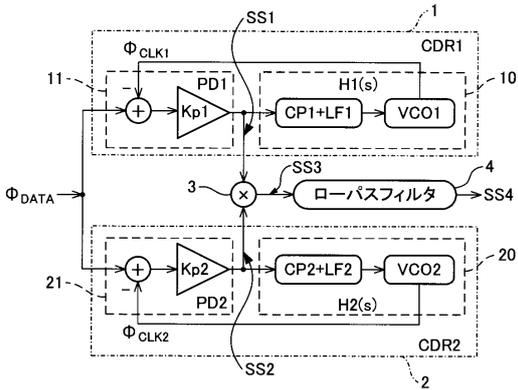
## 【0142】

- |   |                              |    |
|---|------------------------------|----|
| 1   | 第1受信回路(第1回路、CDR1)            |    |
| 2, 2'                                     | 第2受信回路(参照クロック生成回路、第2回路、CDR2) | 20 |
| 3, 336                                    | 乗算器                          |    |
| 4, 335                                    | ローパスフィルタ                     |    |
| 5, 51, 52                                 | スイッチ                         |    |
| 7, 8                                      | デジタルコア部(ジッタ算出回路)             |    |
| 10  | 第1回路ブロック                     |    |
| 11  | 第1位相比較器11(PD1)               |    |
| 12, 22                                    | チャージポンプ(CP)                  |    |
| 13, 23                                    | ループフィルタ(LF)                  |    |
| 14, 24                                    | 電圧制御発振器(VCO)                 |    |
| 15, 16, 25, 26, 61, 62, 92, 313, 331, 332 | デマルチプレクサ(DM                  | 30 |
| UX)                                       |                              |    |
| 17, 27                                    | 位相比較器利得算出回路                  |    |
| 20  | 第2回路ブロック                     |    |
| 21  | 第2位相比較器21(PD2)               |    |
| 28  | アップダウンカウンタ                   |    |
| 29, 93                                    | 可変遅延器                        |    |
| 30, 31                                    | 入出力装置(I/O回路)                 |    |
| 80, 303                                   | ジッタ算出回路                      |    |
| 91  | 位相比較器                        |    |
| 94  | カウンタ他                        | 40 |
| 100                                       | アレクサンダー位相比較器(バンバン位相比較器)      |    |
| 300                                       | 伝送線路                         |    |
| 301, 302                                  | 受信回路                         |    |
| 309                                       | ドライバ                         |    |
| 311                                       | 等化回路                         |    |
| 312                                       | 1/0判定器                       |    |
| 334, 802                                  | 利得算出回路                       |    |
| 333                                       | 論理回路部                        |    |
| 801                                       | FIFOバッファ                     |    |
| 803                                       | 相関器                          | 50 |



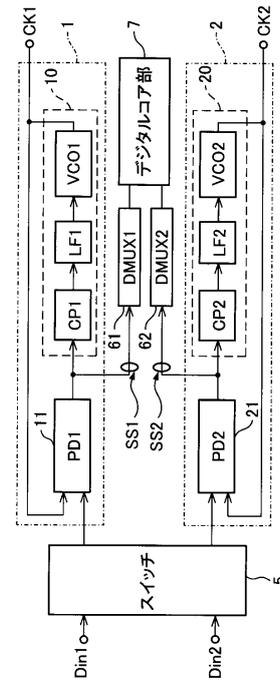
【図3】

図3



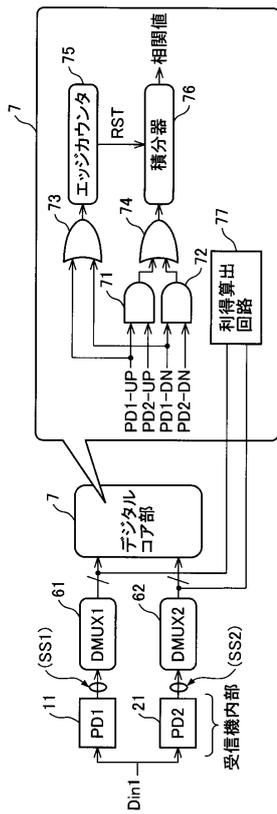
【図4】

図4



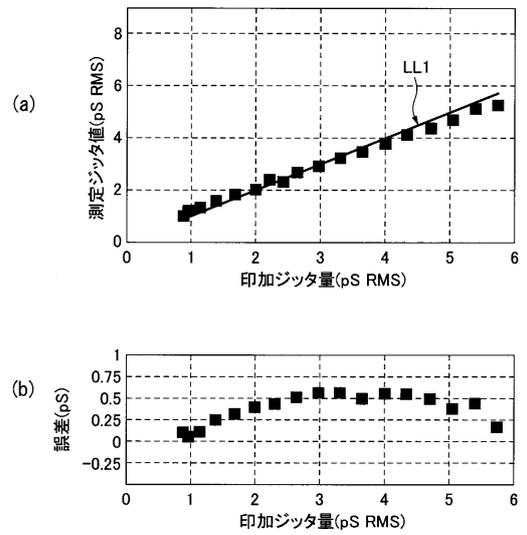
【図5】

図5

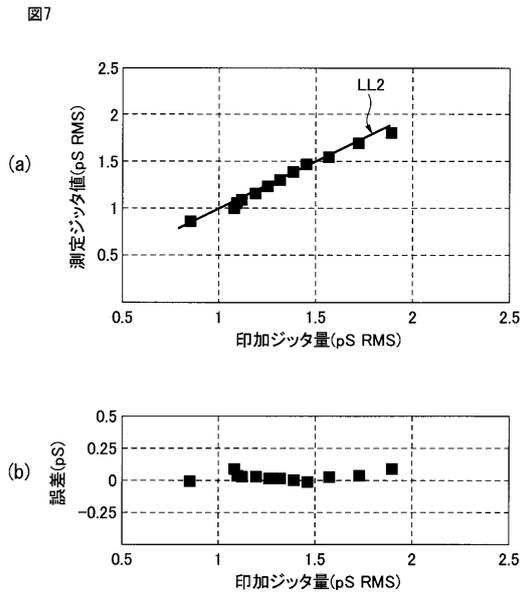


【図6】

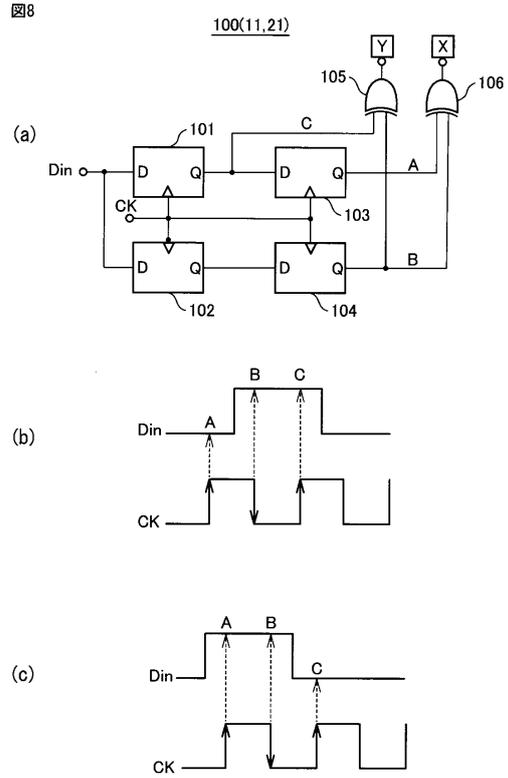
図6



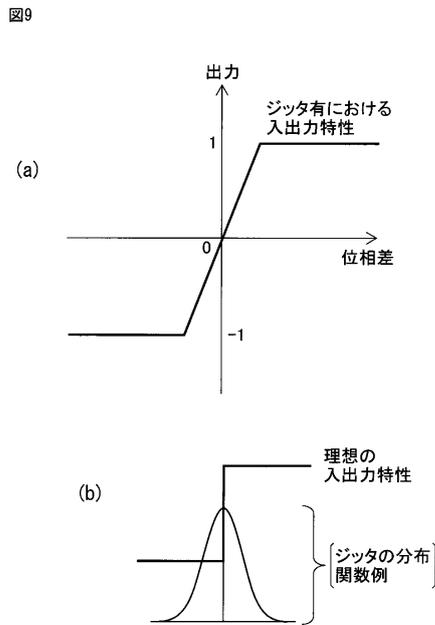
【 図 7 】



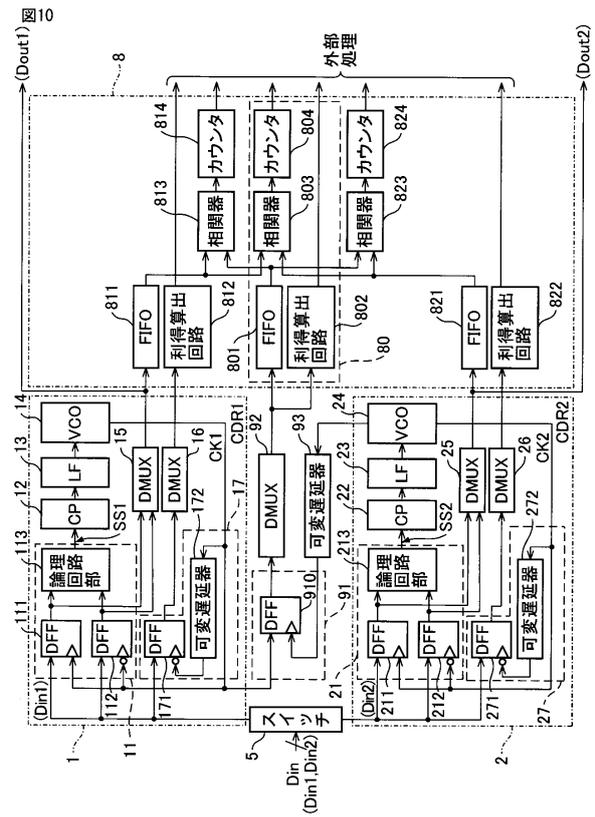
【 図 8 】



【 図 9 】

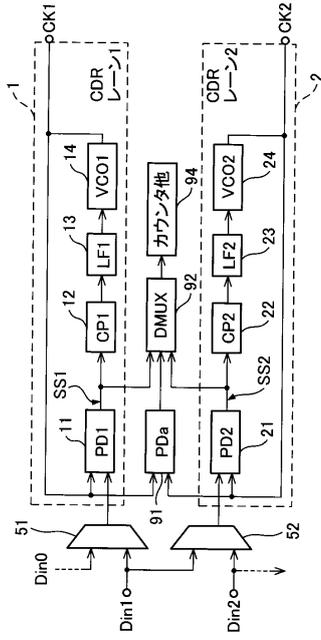


【 図 10 】



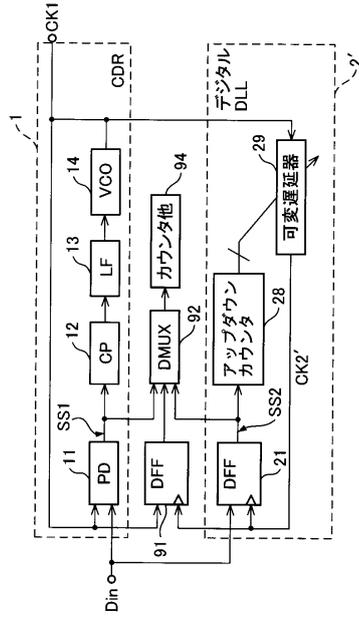
【図11】

図11



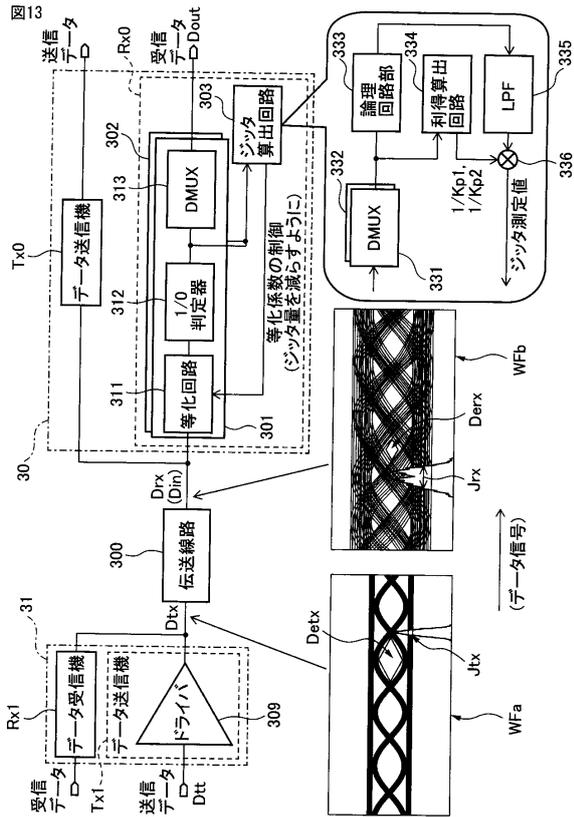
【図12】

図12



【図13】

図13



## フロントページの続き

- (72)発明者 田村 泰孝  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 アリ シェイコレスラミ  
カナダ国 オンタリオ エム5エス 3ジー4, トロント, キングス カレッジ ロード 10,  
ユニバーシティー オブ トロント
- (72)発明者 ジョシュア リアン  
カナダ国 オンタリオ エム5エス 3ジー4, トロント, キングス カレッジ ロード 10,  
ユニバーシティー オブ トロント
- (72)発明者 モハマド サデグ ジャラリ  
カナダ国 オンタリオ エム5エス 3ジー4, トロント, キングス カレッジ ロード 10,  
ユニバーシティー オブ トロント

審査官 永井 皓喜

- (56)参考文献 特開2005-308511(JP, A)  
特開2011-188027(JP, A)  
特開2010-183452(JP, A)  
特開2005-49233(JP, A)  
米国特許第5757652(US, A)  
特表2008-543184(JP, A)  
特開2010-252244(JP, A)

## (58)調査した分野(Int.Cl., DB名)

G01R 29/02  
G01R 29/26  
H04L 7/00  
H01L 25/02