



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월27일

(11) 등록번호 10-1572774

(24) 등록일자 2015년11월23일

- (51) 국제특허분류(Int. Cl.)
 C03C 4/00 (2006.01) C04B 37/00 (2006.01)
 C04B 37/02 (2006.01) H01L 21/52 (2006.01)
 H05K 1/02 (2006.01) H05K 3/34 (2006.01)
- (21) 출원번호 10-2014-7018264
- (22) 출원일자(국제) 2012년11월21일
 심사청구일자 2014년07월01일
- (85) 번역문제출일자 2014년07월01일
- (65) 공개번호 10-2014-0104469
- (43) 공개일자 2014년08월28일
- (86) 국제출원번호 PCT/JP2012/080121
- (87) 국제공개번호 WO 2013/111434
 국제공개일자 2013년08월01일
- (30) 우선권주장
 JP-P-2012-013663 2012년01월26일 일본(JP)
- (56) 선행기술조사문헌
 JP02293344 A
 JP2004104122 A
 JP2010184852 A

- (73) 특허권자
 가부시키가이샤 히타치세이사쿠쇼
 일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고
- (72) 발명자
 사와이, 유이찌
 일본 100-8280 도쿄도 지요다쿠 마루노우찌 1쵸메 6-6 가부시키가이샤 히타치세이사쿠쇼 내
 나이토, 다카시
 일본 100-8280 도쿄도 지요다쿠 마루노우찌 1쵸메 6-6 가부시키가이샤 히타치세이사쿠쇼 내
 (뒷면에 계속)
- (74) 대리인
 장수길, 이중희

전체 청구항 수 : 총 8 항

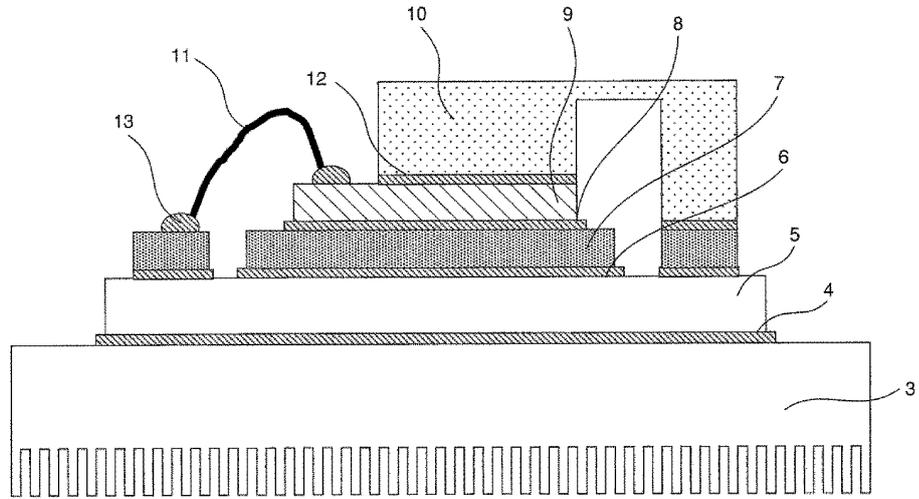
심사관 : 한정선

(54) 발명의 명칭 **접합체 및 반도체 모듈**

(57) 요약

금속, 세라믹, 반도체 중 어느 하나를 접착한 접합체의 접착성과 열전도성을 향상시킨다. 금속, 세라믹, 반도체 중 어느 하나인 제1 부재와 제2 부재를 접착한 접합체에 있어서, 상기 제1 부재의 면에 설치된 접착 부재를 개재해서 상기 제2 부재가 접착되고, 상기 접착 부재는 V₂O₅를 포함하는 유리와 금속 입자를 함유한다. 베이스 금속과 세라믹 기판과 금속 배선과 반도체 칩을 구비한 반도체 모듈에 있어서, 상기 베이스 금속의 면에 설치된 제1 접착 부재를 개재해서 상기 세라믹 기판이 접착되고, 상기 세라믹 기판의 면에 설치된 제2 접착 부재를 개재해서 상기 금속 배선이 접착되고, 상기 금속 배선의 면에 설치된 제3 접착 부재를 개재해서 상기 반도체 칩이 접착되고, 상기 제1 접착 부재와 제2 접착 부재와 제3 접착 부재는 V₂O₅를 포함하는 유리와 금속 입자를 함유한다.

대표도



(72) 발명자

아오야기, 다꾸야

일본 100-8280 도쿄도 지요다꾸 마루노우찌 1쵸메
6-6 가부시키가이샤 히타치세이사쿠쇼 내

후지에다, 다다시

일본 100-8280 도쿄도 지요다꾸 마루노우찌 1쵸메
6-6 가부시키가이샤 히타치세이사쿠쇼 내

모리, 무쯔히로

일본 100-8280 도쿄도 지요다꾸 마루노우찌 1쵸메
6-6 가부시키가이샤 히타치세이사쿠쇼 내

명세서

청구범위

청구항 1

금속, 세라믹, 반도체 중 어느 하나인 제1 부재와 제2 부재를 접착한 접합체에 있어서,
 상기 제1 부재의 면에 설치된 접착 부재를 개재해서 상기 제2 부재가 접착되고, 상기 접착 부재는 V_2O_5 를 포함하는 무연(無鉛) 유리와 금속 입자를 함유하고, 상기 무연 유리는 Ag_2O 를 10~60질량%, V_2O_5 를 5~65질량%, TeO_2 를 15~50질량% 포함하는 것을 특징으로 하는 접합체.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 제1 부재를 반도체 또는 금속, 상기 제2 부재를 금속 또는 세라믹으로 한 것을 특징으로 하는 접합체.

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서, 상기 무연 유리는 비정질보다도 결정질이 적고, 그 결정화도는 30% 이하인 것을 특징으로 하는 접합체.

청구항 8

제1항에 있어서, 상기 금속 입자가 Ag 혹은 Sn 함유 뿔납 중 적어도 하나이며, 상기 접착 부재의 30~95체적%를 차지하는 것을 특징으로 하는 접합체.

청구항 9

삭제

청구항 10

베이스 금속과 세라믹 기판과 금속 배선과 반도체 칩을 구비한 반도체 모듈에 있어서,
 상기 베이스 금속의 면에 설치된 제1 접착 부재를 개재해서 상기 세라믹 기판이 접착되고, 상기 세라믹 기판의 면에 설치된 제2 접착 부재를 개재해서 상기 금속 배선이 접착되고, 상기 금속 배선의 면에 설치된 제3 접착 부재를 개재해서 상기 반도체 칩이 접착되고,
 상기 제1 접착 부재와 제2 접착 부재와 제3 접착 부재는 V_2O_5 를 포함하는 무연 유리와 금속 입자를 함유하고, 상기 제1 접착 부재의 무연 유리 또는 제2 접착 부재의 무연 유리 또는 제3 접착 부재의 무연 유리는 Ag_2O 를 10~60질량%, V_2O_5 를 5~65질량%, TeO_2 를 15~50질량% 포함하는 것을 특징으로 하는 반도체 모듈.

청구항 11

삭제

청구항 12

삭제

청구항 13

제10항에 있어서, 상기 V_2O_5 는 비정질보다도 결정질이 적고, 그 결정화도는 30% 이하인 것을 특징으로 하는 반도체 모듈.

청구항 14

제10항에 있어서, 상기 제1 접착 부재의 금속 입자 또는 상기 제2 접착 부재의 금속 입자가 Ag 혹은 Sn 함유 뿔납 중 적어도 하나이며, 상기 제1 접착 부재 또는 상기 제2 접착 부재의 30~95체적%를 차지하는 것을 특징으로 하는 반도체 모듈.

청구항 15

제10항에 있어서, 상기 제3 접착 부재의 금속 입자가 Ag이며, 상기 제3 접착 부재의 60~95체적%를 차지하는 것을 특징으로 하는 반도체 모듈.

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 발명은 금속, 세라믹, 반도체를 접합하는 접합 부재와, 이를 이용한 반도체 모듈에 관한 것이다.

배경 기술

[0002] 일반적으로, 반도체 모듈은, 베이스 금속에 세라믹 기판을 접착하고, 세라믹 기판에 금속 배선을 접착하고, 또한 그 금속 배선에 반도체 칩 등의 소자를 접착하여 제조한다. 여기서 접착에 사용하는 접착제를 다이 본딩제라고 부른다. 종래의 파워 디바이스용 패키지의 소자 접착은 뿔납 접합이 주류였지만, 무연화의 필요성에 의해, Ag 분말과 수지를 혼합한 도전성 페이스트나 무연 뿔납이 대체 재료로서 사용되고 있다.

[0003] 반도체 칩 접합에 관해, 반도체 칩 등의 반도체 소자는 고 집적화 및 미세화의 경향이 있고, 그에 수반하여 단위 면적 당의 발열량이 증가하는 경향이 있다. 그로 인해 반도체 소자가 탑재된 반도체 모듈에 있어서는, 반도체 소자로부터 발생한 열을 외부로 효율적으로 배출할 필요가 있어, 다이 본딩제의 열전도성의 향상이 과제로 되어 있다.

[0004] 또한, 세라믹 기판 접합은, 주로 AlN이나 Si_3N_4 등의 세라믹 기판에 대해 메탈라이즈를 행하여, 메탈라이즈층과 반도체 칩, 혹은 메탈라이즈층과 베이스 금속을 무연 뿔납에 의해 접합한다. 강고한 메탈라이즈층의 형성 방법, 기판과 반도체 칩과의 열팽창 계수 차이의 완화, 기판의 방열성의 향상, 내열 사이클성 등의 장기 신뢰성의 향상이 필요하게 되고 있다.

[0005] 특허문헌 1에는 무연 뿔납 페이스트에 대해서 기재되어 있고, Bi 뿔납분과 Cu 금속분을 포함한, 열전도율 52W/mK의 무연 뿔납 페이스트를 제공하고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 출원 공개 제2011-251329호 공보

발명의 내용

해결하려는 과제

[0007] 그러나, 무연 뿔납은, 세라믹 기판을 미리 메탈라이즈 처리를 하지 않으면, 세라믹 기판과 금속 배선의 접착성이 저하된다. 또한, 무연 뿔납을 금속 배선과 반도체 칩의 접합에 사용하는 경우, 열전도율이 저하된다.

[0008] 본 발명의 목적은, 금속, 세라믹, 반도체중 어느 하나를 접착한 접합체의 접착성과 열전도성을 향상시키는 데 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위해, 본 발명은, 금속, 세라믹, 반도체중 어느 하나인 제1 부재와 제2 부재를 접착한 접합체에 있어서, 상기 제1 부재의 면에 설치된 접착 부재를 개재해서 상기 제2 부재가 접착되고, 상기 접착 부재는, V_2O_5 를 포함하는 유리과 금속 입자를 함유하는 것을 특징으로 한다.

[0010] 또한, 베이스 금속과 세라믹 기판과 금속 배선과 반도체 칩을 구비한 반도체 모듈에 있어서, 상기 베이스 금속의 면에 설치된 제1 접착 부재를 개재해서 상기 세라믹 기판이 접착되고, 상기 세라믹 기판의 면에 설치된 제2 접착 부재를 개재해서 상기 금속 배선이 접착되고, 상기 금속 배선의 면에 설치된 제3 접착 부재를 개재해서 상기 반도체 칩이 접착되고, 상기 제1 접착 부재와 제2 접착 부재와 제3 접착 부재는, V_2O_5 를 포함하는 유리과 금속 입자를 함유하는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명에 따르면, 접착성과 열전도성을 향상시킬 수 있다.

도면의 간단한 설명

- [0012] 도 1은 접합체의 구조 단면도이다.
- 도 2는 반도체 모듈의 구조 단면도이다.
- 도 3은 LED 조명 장치의 구조 단면도이다.
- 도 4는 반도체 장치의 구조 단면도이다.
- 도 5는 유리의 DTA 곡선이다.
- 도 6은 다이 세어 강도 시험 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 도 1에 도시한 바와 같이, 금속, 세라믹, 반도체 중 어느 하나인 부재(제1 부재 1-1, 제2 부재 1-2)를 접착한 접합체에 관한 것으로, 양자를 접합하는 접합 부재(2)는 유리과 금속 입자를 함유한다. 금속, 세라믹, 반도체중 어느 것에도 접착될 수 있는 유리로서, 산화 바나듐(V_2O_5)을 포함하는 것을 전제로 한다. 도면의 상하 방향의 두께는, 부재의 면내에 있어서의 어느 위치에 있어도 균일하지 않아도 좋다. 또한, 접착 부재(2)는 양 부재의 접착되는 측의 면 전체와 접착되어 있지 않아도 되고, 반대로 양 부재로부터 밀려 나와도 된다. 요점은, 접착 부재(2)는 제1 부재 1-1과 제2 부재 1-2 사이에 층상으로 형성되어 밀착되어 있으면 된다.

[0014] 또한, 본 발명의 접합체는, 통전되어 제1 부재 1-1과 제2 부재 1-2 사이에 온도차가 생기는 운전 상태로 하는 경우는, 양 부재를 접착할 뿐만 아니라, 양 부재 중 고온측의 부재로부터 저온측의 부재를 향해 접착 부재(2)를 통해 열이 이동할 수 있다. 따라서, 예를 들어 제1 부재 1-1를 발열체, 제2 부재 1-2가 방열체인 경우, 제1 부재 1-1로부터 접착 부재(2)를 경유해 제2 부재 1-2로 열을 배출할 수 있다.

- [0015] 접합 부재(2)는 페이스트로서 지급, 사용하는 것을 전제로 하고 있고, 페이스트를 도포, 건조 후에 가소를 행하여 유기 성분을 제거 한 후에, 부재끼리를 접합하는 본소성 공정을 거쳐 접합체를 얻는다. 그로 인해 유리는 비정질보다도 결정질이 적은 편이 바람직하고, 양호한 유동성을 재현하기 위해서는 결정화도가 30% 이하인 것이 바람직하다.
- [0016] 유리를 되도록 결정화시키지 않기 위해, TeO₂의 함유량을 적어도 15질량% 이상으로 한다. 또한, 유리의 결정화를 방지하기 위해 BaO나 WO₃을 첨가한다. 구체적으로는, 유리는, V₂O₅가 35~55질량%, TeO₂가 15~35질량%, P₂O₅가 4~20질량%, 및 Fe₂O₃, WO₃, MoO₃, MnO₂, Sb₂O₃, Bi₂O₃, BaO, K₂O, ZnO 중 1종 이상이 5~30질량%이다.
- [0017] 또한, 유리의 연화점을 낮게 하기 위해서는, TeO₂의 함유량을 적어도 15질량% 이상으로 하는 동시에 Ag₂O를 또 하나의 성분으로 한다. 구체적으로는, 유리는, 10~60질량%의 Ag₂O와 5~65질량%의 V₂O₅와 15~50질량%의 TeO₂를 함유한다. 상기 조성 범위 내에서 Ag₂O의 함유량을 늘릴수록 연화점을 저온화할 수 있다.
- [0018] 상기 접합 부재에 열전도성을 부여하기 위해, 산화 바나듐을 포함하는 유리와 반응하지 않는 금속 입자를 혼합한다. 상기 접합 부재를 구성하는 금속 입자는 Ag 혹은 Sn 함유 땀납 중 적어도 하나이며, 상기 접합 부재의 30~95체적%를 차지한다.
- [0019] 또한, 상기 접합 부재를 구성하는 금속 입자는 Ag이며, 상기 접합 부재의 60~95체적%를 차지한다.
- [0020] 본 발명을 적용한 형태의 하나는 반도체 모듈이며, 도 2에 도시한 바와 같이, 베이스 금속(3)의 상면에 제1 접착층(4)을 개재해서 접착된 세라믹 기판 등의 절연층(5), 그 절연층(5)의 상면에 제2 접착층(6)을 개재해서 접착된 금속 배선(7), 그 금속 배선(7)상에 제3 접착층(8)을 개재해서 접착된 반도체 칩(9)을 구비한다. 당해 절연층(5)과 제1 및 제2 접착층의 계면에 메탈라이즈층을 갖지 않고, 제1, 제2 및 제3 접착층은 산화 바나듐 유리 및 금속 입자를 함유한다. 절연층(5)으로서는 예를 들어 AlN나 Si₃N₄ 등의 열전도율이 높은 세라믹 기판을 들 수 있다.
- [0021] 즉, 본 발명의 반도체 모듈에는 제1, 제2 및 제3 접착층이 포함되지만, 제1, 제2 혹은 제3 접착층 중 어느 하나에만 본 발명을 적용하는 것도 당연히 가능하다.
- [0022] 접착 부재는, 접착되는 부재의 사이에 설치(제공)되어 있으면 된다. 도면에서는 접착되는 부재 중, 접착면이 작은 쪽(절연층(5)과 금속 배선(7)에서는 금속 배선(7), 금속 배선(7)과 반도체 칩(9)에서는 반도체 칩(9))의 면적보다도 접착 부재의 면적이 커지도록 묘사되어 있지만, 접착면이 작은 쪽의 면적보다도 접착 부재의 면적이 작은 것이어도 된다. 또한, 각 부재는 적어도 하나의 면에 있어서 접착 부재와 접하고 있으면 되지만, 측면 등의 복수의 면에도 접착층이 미치도록 해도 보다 강고하게 접착할 수 있다.
- [0023] 반도체 모듈로서는, 예를 들어 파워 디바이스를 들 수 있고, 큰 진동이나 장기적인 진동이 가해지는 장소, 고온에 노출되는 장소에 설치되는 경우가 있다. 그로 인해, 각 부품끼리 강고하게 접착되어 있을 필요가 있다. 본 발명에서는 연화된 산화 바나듐 유리가 각 부품과 높은 습윤성으로 밀착해 고화하므로, 베이스 금속(3), 절연층(5), 금속 배선(7), 반도체 칩(9)의 각각을 강고하게 접착할 수 있다. 따라서, 부품에 세라믹이 포함되어 있어도 메탈라이즈 처리를 하지 않고, 부품끼리의 접착성을 향상할 수 있다.
- [0024] 또한, 반도체 모듈에 사용되는 접착 부재는, 접착 부분을 통해 방열할 수 있는 것이 필요하다. 그로 인해, 본 발명의 접착 부재에는 금속 입자를 함유시켜, 접착제의 열전도율을 높이고 있다.
- [0025] 접착 부재에 포함되는 유리는 V₂O₅가 포함되는 것을 전제로 한다. 구체적으로는, V₂O₅가 35~55질량%, TeO₂가 15~35질량%, P₂O₅가 4~20질량%, 및 Fe₂O₃, WO₃, MoO₃, MnO₂, Sb₂O₃, Bi₂O₃, BaO, K₂O, ZnO 중 1종 이상이 5~30질량%로 한다. 이와 같은 조성 범위의 유리는 유리 전이점이 330℃ 이하이므로, 500℃ 이하의 온도에서도 충분히 연화되므로, 베이스 금속(3), 절연층(5), 금속 배선(7), 반도체 칩(9)중 어느 것도 양호하게 접착할 수 있다.
- [0026] 일반적으로 유리는 산화물이므로, 금속 입자를 혼합하여 가열하면, 대부분의 경우에 금속 입자는 산화된다. 본 발명을 구성하는 산화 바나듐 유리도 동일하게, Cu, Fe, Al 등의 금속 분말과 혼합해 가열하면 금속 분말은 산화된다. 한편 Ag는 산화되기 어려운 금속으로서 알려져 있고, 본 발명을 구성하는 산화 바나듐 유리와 혼합해 가열해도 산화되지 않는다. 거기에 더하여, 발명자들은, Sn계 무연 땀납(Sn-Ag-Cu계 땀납 혹은 Sn-Cu-Ni계 땀

납) 분말과 산화 바나듐 유리를 혼합하여 가열해도 거의 산화되지 않는 것을 발견하였다.

[0027] 금속 입자는 Ag 혹은 Sn 함유 뿔납(Sn-Ag-Cu계 뿔납)중 적어도 하나를 포함하는 것이 좋다. Ag 혹은 Sn 함유 뿔납은 산화 바나듐 유리와 혼합해도 산화되기 어려우므로, 접착 부재를 형성했을 때의 열전도율이 저하되기 어렵다. 일반적으로 제2 접착 부재(6)에 도전성은 필요하게 되지 않으므로, 전기의 양도체인 Ag 이외에도, Sn 함유 뿔납 분말이라도 되고, 양자를 혼합해도 된다. 또한, 금속 입자는, 제2 접착 부재(6)의 30-95체적%를 차지하면 좋다. 이와 같은 구성으로 함으로써, 절연층(5)과 금속 배선(7)을 양호하게 접착할 수 있고, 또한 적당한 열전도율을 가질 수 있다. 또한, 금속 입자가 제2 접착 부재(6)의 60-95체적%를 차지하도록 하면, 열전도율이 더욱 향상하여, 반도체 칩(9)의 발열을 보다 신속하게 배출할 수 있다.

[0028] 또한, 유리는, 10-60질량%의 Ag_2O 와, 5-65질량%의 V_2O_5 와, 15-50질량%의 TeO_2 를 함유하는 것이어도 좋다. 이와 같은 조성 범위로 함으로써 유리 전이점을 $250^{\circ}C$ 이하로 더욱 저온화할 수 있음과 함께, 충분한 열적 안정성을 확보할 수 있고, $400^{\circ}C$ 이하의 온도에서도 베이스 금속(3), 절연층(5), 금속 배선(7), 반도체 칩(9) 모두 양호하게 접착할 수 있다.

[0029] 제3 접착층(8)에만 본 발명을 적용한 반도체 모듈은, 금속 배선(7) 상에 제3의 접착층(8)을 개재해서 접착된 반도체 칩(9)을 구비한다. 제3 접착 부재(8)는 산화 바나듐 유리 및 금속 입자를 함유한다. 여기서, 상기 금속 입자는 Ag이며, 제3 접착 부재(8)의 60-95체적%를 차지한다. 이와 같은 구성으로 함으로써, 금속 배선(7)과 반도체 칩(9)을 양호하게 접착할 수 있고, 또한 높은 열전도율과 낮은 전기 저항 비율을 부여할 수 있다.

[0030] 또한, 도 2에 도시한 바와 같이, 반도체 칩(9)과 금속 배선(7)을 금속 부재(10, 11)로 접속할 때, 본 발명의 접착 부재를 사용할 수 있다. 즉, 상기 구성의 반도체 모듈에 있어서, 반도체 칩(9)과 금속 배선(7)을 제4 접착 부재(12), 제5 접착 부재(13)를 개재해서 금속 부재(10, 11)와 접속한다. 여기서, 상기 금속 입자는 Ag이며, 제4 접착 부재의 60-95체적%를 차지한다. 이와 같은 구성으로 함으로써, 금속 배선(7)과 반도체 칩(9)을 양호하게 접착할 수 있고, 또한 높은 열전도율과 낮은 전기 저항 비율을 부여할 수 있다.

[0031] 제3 접착 부재(8)나 제4 접착 부재(12), 제5 접착 부재(13)의 산화 바나듐 유리의 조성은 제2 접착 부재(6)와 동일하게 할 수 있다.

[0032] 본 발명의 다른 형태로서 도 3에 LED 조명 장치의 구조 단면도를 도시한다. LED 조명 장치는, LED 발광 소자(16)가 접착 부재(15)를 개재해서 기판(14)에 접착된 발광 모듈과, 상기 발광 모듈에 전력을 공급하는 전원 회로부(도시생략)를 구비한다. 접착 부재(15)에 대해서는 상기 반도체 모듈과 같다.

[0033] LED 발광 소자는 열에 의해 열화되기 쉬우므로, 발광에 수반되는 발열은 신속하게 외부로 배출하지 않으면 안된다. 이로 인해, 금속 입자를 Ag로 하고, 접착 부재의 60-95체적%를 차지하는 구성으로 함으로써, 기판과 LED 발광 소자를 양호하게 접착할 수 있고, 또한 높은 열전도율을 가질 수 있다.

[0034] 본 발명의 또 다른 형태로서 도 4에 퍼스널 컴퓨터의 마더 보드 등의 반도체 장치를 나타낸다. 상기 반도체 장치는, 기판(17)상에 접착 부재(18)를 개재해서 CPU(19)가 히트 싱크(20)에 접속된 마이크로 컴퓨터 IC를 구비한다. 접착 부재(18)에 대해서는 상기 반도체 모듈과 동일하다.

[0035] 보다 상세하게는, 접착 부재(18)에 포함되는 유리는, V_2O_5 가 35-55질량%, TeO_2 가 15-35질량%, P_2O_5 가 4-20질량%, 및 Fe_2O_3 , WO_3 , MoO_3 , MnO_2 , Sb_2O_3 , Bi_2O_3 , BaO , K_2O , ZnO 중 1종 이상이 5-30질량%인 것을 특징으로 한다. 이와 같은 조성 범위의 유리는 유리 전이점이 $330^{\circ}C$ 이하이므로, $500^{\circ}C$ 이하의 온도에서도 충분히 연화되므로, $500^{\circ}C$ 이하의 온도에서 기판과 LED 발광 소자, 혹은 CPU와 히트 싱크 등을 양호하게 접착할 수 있다.

[0036] 혹은, 10-60질량%의 Ag_2O 와, 5-65질량%의 V_2O_5 와, 15-50질량%의 TeO_2 를 함유하는 것을 특징으로 한다. 이와 같은 조성 범위로 함으로써 유리 전이점을 $250^{\circ}C$ 이하로 저온화할 수 있음과 함께, 충분한 열적 안정성을 확보할 수 있고, $400^{\circ}C$ 이하의 온도에서 기판과 LED 발광 소자, 혹은 CPU와 히트 싱크 등을 양호하게 접착할 수 있다.

[0037] **실시예 1**

[0038] 본 실시예에 있어서는, 다양한 조성을 갖는 산화 바나듐 유리를 제작하여, 그 유리의 연화점과 내습성을 조사했다.

[0039] (유리의 제작)

- [0040] 표 1에 나타내는 조성을 갖는 유리(VTC2-01~03 및 VTC3-01~03)를 제작했다. 표 중의 조성은, 각 성분의 산화물 환산에 있어서의 질량비 비율로 표시하고 있다. 출발 원료로서는, (주)고순도 가가꾸 겐쥬소제의 산화물 분말(순도 99.9%)을 사용했다. 일부의 시료에 있어서는, Ba원 및 P원으로서 Ba(PO₃)₂(인산 바륨, 라사공업(주)제)를 사용했다.
- [0041] 표 1에 나타낸 질량비로 각 출발 원료 분말을 혼합하여, 합계 200g의 혼합 분말을 도가니에 넣었다. 여기서 원료 중의 Ag₂O의 비율이 40질량% 이하인 경우에는 백금 도가니를, 40질량% 이상인 경우에는 알루미늄 도가니를 이용했다. 혼합에 있어서는, 원료 분말에의 여분의 흡습을 회피하는 것을 고려하여, 금속제 스푼을 사용하여, 도가니 내에서 혼합했다.
- [0042] 원료 혼합 분말이 들어간 도가니를 유리 용융로 내에 설치하여, 가열·용해 했다. 10℃/min의 승온 속도로 승온하고, 설정 온도(700~900℃)로, 용해하고 있는 유리를 교반하면서 1시간 유지했다. 그 후, 도가니를 유리 용융로로부터 꺼내어, 미리 150℃로 가열해 둔 흑연 주형에 유리를 주입했다. 다음에, 주입된 유리를, 미리 변형 제거(Stress relieve) 온도로 가열해 둔 변형 제거로로 이동하여, 1시간 유지하여 변형을 제거한 후, 1℃/min의 속도로 실온까지 냉각했다. 실온까지 냉각한 유리를 분쇄하여, 표에 나타낸 조성을 갖는 유리의 분말을 제작했다.
- [0043] (연화점의 평가)
- [0044] 상기에서 얻어진 각 유리 분말에 대해, 시차열분석(DTA)에 의해 특성 온도를 측정했다. DTA 측정은, 참조 시료(α -알루미나) 및 측정 시료의 질량을 각각 650mg로 하고, 대기중 5℃/min의 승온 속도로 행하였다. 본 실시예에서는, 유리의 DTA 곡선의 제2 흡열 피크 온도를 연화점 Ts로 했다(도 5 참조). 결과를 표 1에 병기한다.

표 1

| 시료 | 조성표 (량%) | | | | | | | | | | 특성 온도 (°C) | | | | | | | | | |
|---------|-------------------------------|-------------------|-------------------|-------------------------------|-----|-----------------|--------------------------------|--------------------------------|-----|-----|------------|-------|-----|-----|------------------|------------------|--|--|--|--|
| | V ₂ O ₅ | Ag ₂ O | Te ₂ O | P ₂ O ₅ | BaO | WO ₃ | Sn ₂ O ₃ | Fe ₂ O ₃ | Tg | Mg | Ts | Tsint | Tf | Tw | T _{0.1} | T _{0.5} | | | | |
| VCT2-01 | 47 | | 30 | 13 | | | | 10 | 293 | 314 | 364 | 374 | 390 | 405 | >550 | >550 | | | | |
| VCT2-02 | 55 | | 20 | 10 | 5 | | 10 | 313 | 335 | 378 | 397 | 413 | 429 | 475 | 515 | 515 | | | | |
| VCT2-03 | 40 | | 20 | 15 | | 15 | | 327 | 350 | 401 | 413 | 430 | 446 | 524 | 554 | 554 | | | | |
| VCT3-01 | 17 | 38 | 30 | 4.8 | 5.2 | 5 | | 197 | 214 | 260 | 268 | 286 | 296 | non | non | non | | | | |
| VCT3-02 | 20 | 45 | 35 | | | | | 163 | 172 | 208 | 216 | 227 | 234 | 263 | 294 | 294 | | | | |
| VCT3-03 | 18 | 43 | 34 | | 5 | | | 167 | 183 | 221 | | 231 | | 241 | 260 | 260 | | | | |

[0045]

[0046] 실시예 2

[0047] 본 실시예에서는, AlN나 Si₃N₄와 같은 세라믹 기판과 금속 재료의 접착에 대해서 검토했다.

[0048] 실시예 1에서 제작한 유리 VTC2-01을 이용해 이하의 순서로 접합 샘플을 제작했다. 먼저 VTC2-01을 분쇄하여, 평균 입자 직경 0.5 μ m 이하의 미세분으로 했다. 분쇄한 VTC2-01과 Ag 분말 혹은 Sn-Ag-Cu계 땀납 분말을 소정의 비율로 배합해, 막자 사발(mortar)로 15min 혼합하고, 혼합 분말을 제작했다.

[0049] (열전도율)

[0050] 각종 혼합 분말을, 금형을 이용해 직경 10mm, 두께 2mm의 성형체로 했다. 전기 머플로를 이용해 제작한 성형체를 대기중, 450°C×30min 소성하여, 제1 접착층의 열전도율을 평가하기 위한 모의 샘플로 했다. 이와 같이 하여 제작한 소결 체 시료를 이용해 크세논 플래시법으로 열전도율을 측정했다. 크세논 플래시법이란, 모의 샘플의 편면에 펄스 광을 조사하여, 이면 온도의 시간 변화에 의해 열확산률을 측정하는 것으로, 그것을 바탕으로 열전도율을 산출한다. 각 샘플의 열전도율을 표 2에 정리한다.

[0051] 그 후, 각종 혼합 분말과 수지 바인더와 용제를 혼합하고, 자동 혼련기(거품 제거 렌타로)로 혼련하여, 다이 본딩재 페이스트를 제작했다. 수지 바인더로서는 에틸 셀룰로오스를 이용하고, 용제로서는 부틸 카비톨 아세테이트를 이용했다. 이와 같이 하여 제작된 다이 본딩재 페이스트를 이용하여, 이하에 나타내는 방법에 의해 접착

강도를 평가했다.

[0052] (접착 강도)

[0053] 세라믹 기판 상에 5×5mm의 범위로 다이 본딩재 페이스트를 인쇄하여, 150℃에서 건조시킨 후, 대기중 450℃×30min 가소성을 했다. 그 후, 4×4mm로 자른 Cu, Al, AlSiC판을 다이 본딩재 상에 놓고, 그 위에 100g의 분동을 얹어, 대기중 450℃×30min 소성을 했다.

[0054] 이와 같이 하여, 세라믹 기판 위에 금속판을 접착한, 다이 세어 테스트 샘플을 제작했다. 금속판과 세라믹 기판의 접착 강도를 다이 세어 강도 시험에 의해 평가했다. 여기서, 다이 세어 강도 시험이란 도 6에 도시한 바와 같이, 기판 상에 접착 부재(17)를 개재해 접합된 금속판(18)을 전용 지그(19)에 의해 횡측으로부터 수평 방향으로 가압하여, 금속판이 기판으로부터 박리된 하중값, 즉 금속판의 전단 강도(다이 세어 강도; N)를 측정하는 시험 방법이다. 세라믹 기판으로서 AlN 기판을 이용했을 경우의 평가 결과를 표 2에, Si₃N₄ 기판을 이용했을 경우의 평가 결과를 표 3에 정리한다. 본 실시예에서는 접착 강도>20Mpa이며 또한 열전도율>10W/mK의 샘플을 합격으로 했다.

[0055] 표로부터 알 수 있는 바와 같이, 실시예의 다이 본딩재는, 메탈라이즈층을 갖지 않는 세라믹 기판에 높은 열전도율과 접착 강도로 금속판을 접착 가능하다는 것이 나타났다.

표 2

| 샘플 번호 | 혼합 분말 | 유리 혼합량 (Vol%) | 열전도율 (W/mK) | AlN 기판과의 접착성 (전단 강도/Mpa) | | | 종합 평가 |
|----------|--------------------------------------|---------------|-------------|--------------------------|------|-------|-------|
| | | | | Cu | Al | AlSiC | |
| spl-2-1 | Ag | 75 | 8.5 | 17.3 | 17.9 | 16.9 | X |
| spl-2-2 | Ag | 70 | 19.5 | 16.4 | 16.9 | 16.0 | ○ |
| spl-2-3 | Ag | 50 | 38.3 | 14.8 | 15.2 | 14.4 | ○ |
| spl-2-4 | Ag | 25 | 130 | 13.8 | 13.5 | 13.9 | ○ |
| spl-2-5 | Ag | 10 | 162.2 | 13.2 | 13.1 | 13.0 | ○ |
| spl-2-6 | Ag | 3 | 298.4 | 6.1 | 6.2 | 6.0 | X |
| spl-2-7 | Sn ₃ Ag ₄ Cu | 60 | 10.2 | 15.8 | 16.2 | 15.5 | ○ |
| spl-2-8 | Sn ₃ Ag ₄ Cu | 50 | 19.6 | 14.7 | 15.1 | 14.4 | ○ |
| spl-2-9 | Sn ₃ Ag ₄ Cu | 25 | 45.8 | 11.4 | 11.7 | 11.2 | ○ |
| spl-2-10 | Sn ₃ Ag ₄ Cu | 10 | 52.3 | 10.0 | 10.3 | 9.9 | ○ |
| spl-2-11 | Sn ₃ Ag ₄ Cu | 3 | 58.7 | 9.0 | 9.2 | 8.9 | X |
| spl-2-12 | Sn ₃ Ag _{0.5} Cu | 60 | 10 | 16.1 | 16.5 | 15.7 | ○ |
| spl-2-13 | Sn ₃ Ag _{0.5} Cu | 50 | 17.2 | 13.9 | 14.2 | 13.6 | ○ |
| spl-2-14 | Sn ₃ Ag _{0.5} Cu | 25 | 38.5 | 10.9 | 11.2 | 10.7 | ○ |
| spl-2-15 | Sn ₃ Ag _{0.5} Cu | 10 | 48.2 | 10.2 | 10.4 | 10.0 | ○ |
| 비교예 | 시간표 비계 맨날 | | 35.6 | 0.02 | 0.04 | 0.03 | X |

※ 메탈라이즈층 없음

[0056]

표 3

| 샘플 번호 | 혼합 분말 | 유리 혼합량 (Vol%) | Si ₃ N ₄ 기판과의 접착성 (전단 강도 / Mpa) | | | 종합 평가 |
|----------|--------------------------------------|---------------------|--|------|-------|-------|
| | | | Cu | Al | AlSiC | |
| spl-2-1 | Ag | 75 | 19.5 | 20.1 | 19.1 | X |
| spl-2-2 | Ag | 70 | 18.6 | 19.1 | 18.2 | ○ |
| spl-2-3 | Ag | 50 | 17.0 | 17.4 | 16.6 | ○ |
| spl-2-4 | Ag | 25 | 16.0 | 15.7 | 16.1 | ○ |
| spl-2-5 | Ag | 10 | 15.4 | 15.3 | 15.2 | ○ |
| spl-2-6 | Ag | 3 | 8.3 | 8.4 | 8.2 | X |
| spl-2-7 | Sn ₃ Ag ₄ Cu | 60 | 18.0 | 18.4 | 17.7 | ○ |
| spl-2-8 | Sn ₃ Ag ₄ Cu | 50 | 16.9 | 17.3 | 16.6 | ○ |
| spl-2-9 | Sn ₃ Ag ₄ Cu | 25 | 13.6 | 13.9 | 13.4 | ○ |
| spl-2-10 | Sn ₃ Ag ₄ Cu | 10 | 12.2 | 12.5 | 12.1 | ○ |
| spl-2-11 | Sn ₃ Ag ₄ Cu | 3 | 9.5 | 9.2 | 8.9 | X |
| spl-2-12 | Sn ₃ Ag _{0.5} Cu | 60 | 18.3 | 18.7 | 17.9 | ○ |
| spl-2-13 | Sn ₃ Ag _{0.5} Cu | 50 | 16.1 | 16.4 | 15.8 | ○ |
| spl-2-14 | Sn ₃ Ag _{0.5} Cu | 25 | 13.1 | 13.4 | 12.9 | ○ |
| spl-2-15 | Sn ₃ Ag _{0.5} Cu | 10 | 12.4 | 12.6 | 12.2 | ○ |
| 비교예 | 시판품 Bi계 뱀납 | | 0.02 [*] | 0.04 | 0.01 | X |

※ 메탈라이즈층 없음

[0057]

[0058]

실시예 3

[0059]

본 실시예에서는, Cu 기판과 Si 반도체 칩의 접착에 대해서 검토했다.

[0060]

실시예 1에서 제작한 유리 VTC3-01을 이용해 이하의 순서로 접합 샘플을 제작했다. 우선 VTC3-01을 분쇄하여, 평균 입자 직경 0.5 μ m 이하의 미세분으로 했다. 분쇄한 VTC3-01과 Ag 분말을 소정의 비율로 배합하여, 막자 사발로 15min 혼합하여, 혼합 분말을 제작했다.

[0061]

(열전도율 및 전기 저항율)

[0062]

각종 혼합 분말을, 금형을 이용해 직경 10mm, 두께 2mm의 성형체로 했다. 전기 머플로(muffle furnace)를 이용해, 제작한 성형체를 대기중, 350 $^{\circ}$ C \times 30min 소성하고, 제3 접착층의 열전도율 및 전기 저항 비율을 평가하기 위한 모의 샘플로 했다.

[0063]

미즈비시 가가꾸(주)의 간이형 저저항율계(로레스타 AX : MCP-T370형)를 이용해 동 소결체 샘플의 전기 저항 비율을 측정했다. 그 후 동 샘플을 이용해 크세는 플래시법으로 열전도율을 측정했다.

[0064]

(접착 강도)

[0065]

각종 혼합 분말과 수지 바인더와 용제를 혼합하여, 실시예 2와 동일하게 하여 다이 본딩재 페이스트를 제작했다. 세라믹 기판 상에 5 \times 5mm의 범위로 다이 본딩재 페이스트를 인쇄하여, 150 $^{\circ}$ C에서 건조시킨 후, 대기중 350 $^{\circ}$ C \times 30min 가소성을 했다. 그 후, 4 \times 4mm의 Si 반도체 칩을 다이 본딩재 상에 놓고, 그 위에 100g의 분동을 얹어 대기중 350 $^{\circ}$ C \times 30min 소성하고, Cu 기판 위에 Si 반도체 칩을 접착한 다이 세어 테스트 샘플로 했다. Si 반도체 칩과 Cu 기판의 접착 강도를 다이 세어 강도 시험에 의해 평가했다. 표 4에 평가 결과를 정리한다.

[0066]

본 실시예에서는 접착 강도 $>$ 20Mpa이며, 열전도율 $>$ 50W/mK이며, 또한 전기 저항 비율 $<$ 1.0 \times 10⁻⁵ $\Omega \cdot$ cm의 샘플을 합격으로 했다.

[0067]

표 4로부터 알 수 있는 바와 같이, 실시예의 다이 본딩재는 메탈라이즈층을 갖지 않는 세라믹 기판에 높은 열전도율과 접착 강도로 접착 가능하다는 것이 나타났다.

표 4

| 샘플 번호 | 혼합 분말 | 유리 혼합량 | 열전도율 (W/mK) | 전기 저항율 ($\Omega \cdot \text{cm}$) | 전단 강도 (Mpa) | 종합 평가 |
|---------|------------|--------|-------------|-------------------------------------|-------------|-------|
| spl-3-1 | Ag | 45 | 36 | 1.00E-05 | 18.2 | × |
| spl-3-2 | Ag | 40 | 55.6 | 9.80E-06 | 17.2 | ○ |
| spl-3-3 | Ag | 30 | 92.2 | 8.50E-06 | 15.7 | ○ |
| spl-3-4 | Ag | 20 | 135.5 | 7.00E-06 | 15.2 | ○ |
| spl-3-5 | Ag | 10 | 165.2 | 4.50E-06 | 14.3 | ○ |
| spl-3-6 | Ag | 3 | 293.1 | 2.10E-06 | 7.3 | × |
| 비교예 | 시판품 Bi계 뿔납 | | 35.6 | 3.20E-05 | 16.7 | × |

[0068]

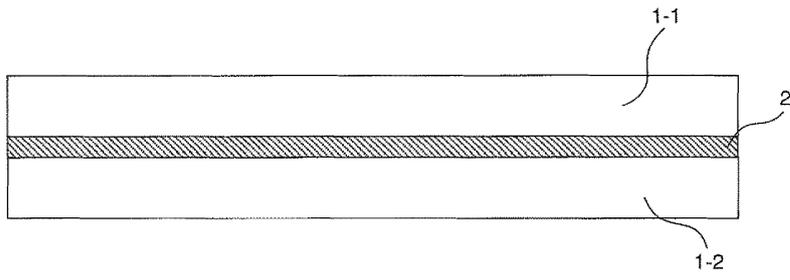
부호의 설명

[0069]

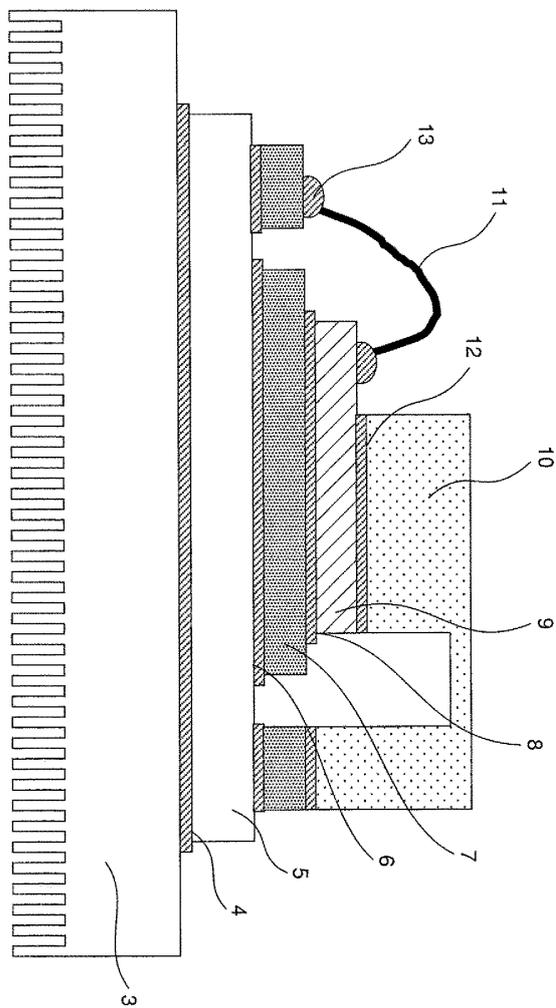
- 1-1 : 제1 부재
- 1-2 : 제2 부재
- 2, 15, 18, 21 : 접착 부재
- 3 : 베이스 금속
- 4 : 제1 접착 부재
- 5 : 절연층
- 6 : 제2 접착 부재
- 7 : 금속 배선
- 8 : 제3 접착 부재
- 9 : 반도체 칩
- 10, 11 : 금속 부재
- 12 : 제4 접착 부재
- 13 : 제5 접착 부재
- 14 : LED 탑재 기판
- 16 : LED 발광 소자
- 17 : 기판
- 19 : CPU
- 20 : 히트 싱크
- 22 : 칩
- 23 : 전용 지그

도면

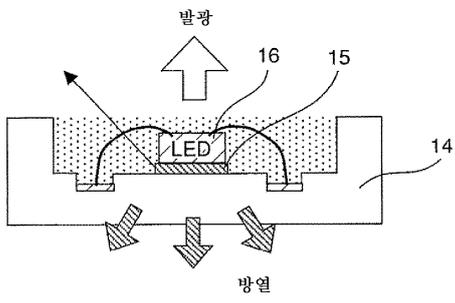
도면1



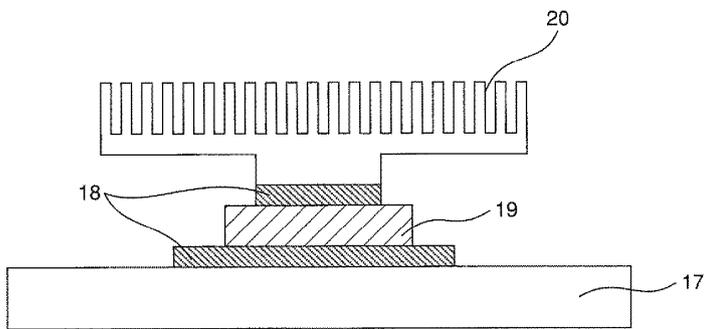
도면2



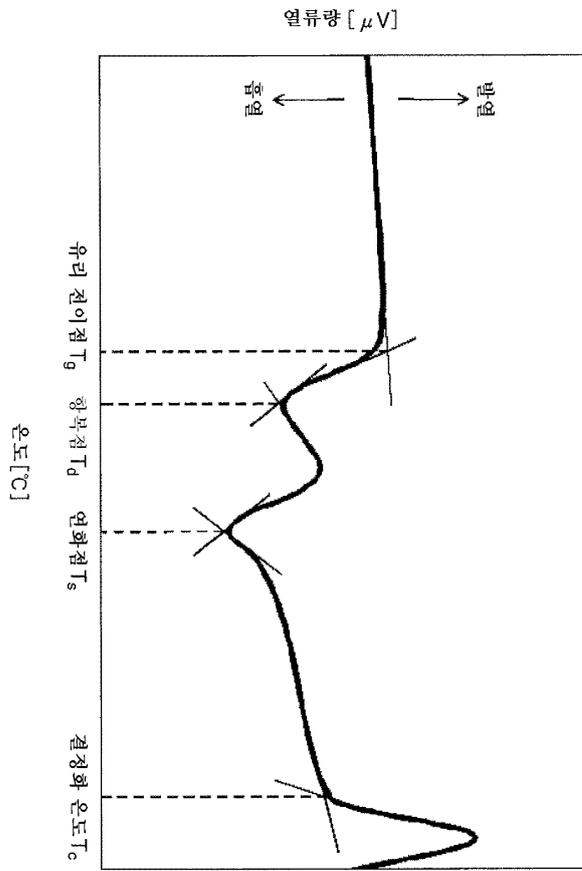
도면3



도면4



도면5



도면6

