



QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

フラッシュメモリからデータを読み出す読み出し要求がなされたとき、電圧検出回路 72 で検出された出力端子 Vout1 の電圧 Vmid が電圧 V1 以下であるときにはオシレータ 80a が予め定められたオン時間およびオフ時間の制御用クロック信号 CLK をブーストコンバータ 42 のトランジスタ N12 に出力してトランジスタ N12 をスイッチング制御し、出力端子 Vout1 の電圧 Vmid が電圧 Vm になったことが電圧検出回路 72 により検出されたときにはオシレータ 80b は選択回路 78a から入力されたオン時間 Ton およびオフ時間 Toff の制御用クロック信号 CLK をブーストコンバータ 44 のトランジスタ N22 に出力してトランジスタ N22 をスイッチング制御するよう、昇圧回路 40 を構成した。

明 細 書

発明の名称 : 集積回路装置

技術分野

[0001] 本発明は、集積回路装置に関し、詳しくは、集積回路が搭載された集積回路チップと、電源側から供給される電源側電圧を昇圧して集積回路チップの集積回路に供給可能な昇圧供給回路が搭載されたインターポーザと、を備える集積回路装置に関する。

背景技術

[0002] 従来、この種の集積回路装置としては、フラッシュメモリが搭載された複数のフラッシュメモリチップを備え、各フラッシュメモリチップのフラッシュメモリを複数のバンクに分けてメモリインターリーブによりデータを読み書きしながら各フラッシュメモリチップの各々から並列にデータを読み書きするものが提案されている（例えば、非特許文献1参照）。この装置では、こうした動作により、データを高速に読み書きすることができるとしてしている。

先行技術文献

非特許文献

[0003] 非特許文献1 : Chanik Park, Prakash Talawar, Daesik Won, MyungJin Jung, JungBeen Im, Suksan Kim and Youngjoon Choi, 「A High Performance Controller for NANDFlash-based Solid State Disk(NSSD)」, IEEE Non-Volatile Semiconductor Memory Workshop, pp.17-20, February 2006

発明の概要

[0004] ところで、上述のフラッシュメモリでは、データを読み書きする際に比較的高い電圧が必要とされている。こうした比較的高い電圧で動作する集積回路が搭載された集積回路装置では、電界効果トランジスタのスイッチングを伴って供給された電圧を昇圧するブーストコンバータを有する昇圧供給回路を用いて比較的低い電源電圧を昇圧して集積回路に供給している。こうした

昇圧供給回路では、電源電圧を迅速に集積回路が動作するのに必要な動作電圧まで昇圧することが望まれているが、昇圧する際の負荷が大きいと電源電圧を動作電圧まで迅速に昇圧することができなくなる。電源電圧を迅速に動作電圧まで昇圧する手法として、電界効果トランジスタの閾値電圧を下げる手法が考えられるが、この手法では、電界効果トランジスタの耐圧が低くなるため、昇圧に伴って電界効果トランジスタに耐圧を超えた電圧が印加されることがあり、電界効果トランジスタの保護が図れなくなって、装置の保護が図れなくなる。

[0005] 本発明の集積回路装置は、より迅速に電源側電圧を昇圧して集積回路に供給すると共に装置の保護を図ることを主目的とする。

[0006] 本発明の集積回路装置は、上述の主目的を達成するために以下の手段を採った。

[0007] 本発明の集積回路装置は、

集積回路が搭載された集積回路チップと、電源側から供給される電源側電圧を昇圧して前記集積回路チップの集積回路に供給可能な昇圧供給回路が搭載されたインターポーザと、を備える集積回路装置であって、

前記昇圧供給回路は、

前記電源側電圧を供給される第1入力端子と電圧を出力する第1出力端子との間に直列に接続された第1インダクタと、前記第1インダクタと前記第1出力端子との間に直列に接続され電流を前記第1入力端子から前記第1出力端子に向かう方向へ整流する第1整流素子と、前記第1インダクタと前記第1整流素子との間に前記第1インダクタからみて前記第1出力端子に並列に接続された第1電界効果トランジスタと、を有する第1ブーストコンバータと、

前記第1ブーストコンバータの第1出力端子の電圧が入力される第2入力端子と前記集積回路チップの集積回路に電圧を供給する第2出力端子との間に直列に接続された第2インダクタと、前記第2インダクタと前記第2出力端子との間に直列に接続され電流を前記第2入力端子から前記第2出力端子

に向かう方向へ整流する第2整流素子と、前記第2インダクタと前記第2整流素子との間に前記第2インダクタからみて前記第2出力端子に並列に接続され前記第1電界効果トランジスタより閾値電圧が高く且つ前記集積回路が動作する電圧として予め定められた動作電圧以上の電圧に対して耐圧を有する第2電界効果トランジスタと、を有する第2ブーストコンバータと、

前記第1ブーストコンバータの第1出力端子の電圧が前記動作電圧より低い電圧として予め定められた所定の低電圧以下であるときには前記第1出力端子の電圧が前記所定の低電圧になるよう前記第1ブーストコンバータの第1電界効果トランジスタをスイッチング制御し、前記第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は前記第2ブーストコンバータの第2出力端子の電圧が前記動作電圧になるよう前記第2ブーストコンバータの前記第2電界効果トランジスタをスイッチング制御するスイッチング制御回路と、

を備える回路であることを要旨とする。

[0008] この本発明の集積回路装置では、第2ブーストコンバータの第2電界効果トランジスタを第1ブーストコンバータの第1電界効果トランジスタより閾値電圧が高く且つ前記集積回路が動作する電圧として予め定められた動作電圧以上の電圧に対して耐圧を有するトランジスタとし、第1ブーストコンバータの第1出力端子の電圧が動作電圧より低い電圧として予め定められた所定の低電圧以下であるときには第1出力端子の電圧が所定の低電圧になるよう第1ブーストコンバータの第1電界効果トランジスタをスイッチング制御する。第1ブーストコンバータの第1電界効果トランジスタの閾値電圧は第2コンバータの第2電界効果トランジスタの閾値電圧より低いから、第1電界効果トランジスタに代えて第2電界効果トランジスタを用いる場合に比して、第1ブーストコンバータの第1出力端子の電圧をより迅速に所定の低電圧まで昇圧することができる。そして、第1ブーストコンバータの第1出力端子の電圧が所定の低電圧に至ったとき以降は第2ブーストコンバータの第2出力端子の電圧が動作電圧になるよう第2ブーストコンバータの第2電界

効果トランジスタをスイッチング制御する。第2ブーストコンバータの第2電界効果トランジスタを第1ブーストコンバータの第1電界効果トランジスタより閾値電圧が高く且つ動作電圧に対して耐圧を有するトランジスタであるから、耐圧を確保しながら第2ブーストコンバータの第2出力端子の電圧を動作電圧まで昇圧して集積回路チップの集積回路に供給することができる。よって、より迅速に電源側電圧を昇圧して集積回路に供給すると共に装置の保護を図ることができる。

[0009] こうした本発明の集積回路装置において、前記スイッチング制御回路は、前記第1ブーストコンバータの第1出力端子の電圧を検出する第1電圧検出回路と、前記第2ブーストコンバータの第2出力端子の電圧を検出する第2電圧検出回路と、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧以下であるときには予め定められた第1オン時間および第1オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第1電界効果トランジスタをスイッチング制御し、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は予め定められた第2オン時間および第2オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第2電界効果トランジスタをスイッチング制御する制御用クロック信号生成回路と、を有する回路であるものとすることもできる。

[0010] また、本発明の集積回路装置において、前記スイッチング制御回路は、前記第1ブーストコンバータの第1出力端子の電圧を検出する第1電圧検出回路と、前記第2ブーストコンバータの第2出力端子の電圧を検出する第2電圧検出回路と、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は前記検出された第2ブーストコンバータの第2出力端子の電圧が前記動作電圧になるまで前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ってからの経過時間が長くなるほど長くなる傾向に制御用クロック信号のオン時間を設定するオン時間設定回路と、前記検出された第1ブーストコンバータの第

1 出力端子の電圧が前記所定の低電圧以下であるときには予め定められた第 1 オン時間および第 1 オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第 1 電界効果トランジスタをスイッチング制御し、前記検出された第 1 ブーストコンバータの第 1 出力端子の電圧が前記所定の低電圧に至ったとき以降は前記検出された第 2 ブーストコンバータの第 2 出力端子の電圧が前記動作電圧になるまでオン時間設定回路により設定されたオン時間および予め定められた第 2 オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第 2 電界効果トランジスタをスイッチング制御する制御用クロック信号生成回路と、を有する回路であるものとすることもできる。第 2 ブーストコンバータの第 2 出力端子の電圧が高くなるほど、昇圧時の第 2 電界効果トランジスタのエネルギー損失が大きくなり、制御用クロック信号のオン時間が短いと十分に昇圧ができない場合があると考えられるが、検出された第 1 ブーストコンバータの第 1 出力端子の電圧が所定の低電圧に至ったとき以降は検出された第 2 ブーストコンバータの第 2 出力端子の電圧が動作電圧になるまで検出された第 1 ブーストコンバータの第 1 出力端子の電圧が所定の低電圧に至ってからの経過時間が長くなるほど長くなる傾向に制御用クロック信号のオン時間を設定し、検出された第 2 ブーストコンバータの第 2 出力端子の電圧が動作電圧になるまでオン時間設定回路により設定されたオン時間および予め定められた第 2 オフ時間の制御用クロック信号を生成し、生成したクロック信号を用いて第 2 電界効果トランジスタをスイッチング制御することにより、より適正に第 2 出力端子の電圧を動作電圧まで昇圧することができる。

[0011] また、本発明の集積回路装置において、前記第 1 インダクタの前記第 1 出力端子の電圧を平滑する平滑コンデンサを備えるものとすることもできる。

[0012] さらに、本発明の集積回路装置において、前記電源側電圧から電圧を供給される第 3 入力端子と前記集積回路チップの集積回路に電圧を出力する第 3 出力端子との間に直列に接続された第 3 インダクタと、前記第 3 インダクタと前記第 3 出力端子との間に直列に接続され電流を前記第 3 入力端子から前

記第3出力端子に向かう方向へ整流する第3整流素子と、前記第3インダクタと前記第3整流素子との間に前記第3インダクタからみて前記第3出力端子に並列に接続された第3電界効果トランジスタと、を有する第3ブーストコンバータ、を備え、前記集積回路は、前記動作電圧を第1制御電圧にして動作する第1モードおよび前記動作電圧を前記第1制御電圧より高い第2制御電圧にして動作する第2モードで動作が可能な回路であり、前記スイッチング制御回路は、前記集積回路を前記第1モードで動作するよう指示がなされたとき、前記第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧以下であるときには前記第1出力端子の電圧が前記所定の低電圧になるよう前記第1ブーストコンバータの第1電界効果トランジスタをスイッチング制御すると共に前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は前記検出された第2ブーストコンバータの第2出力端子の電圧が前記第1制御電圧になるよう前記第2ブーストコンバータの前記第2電界効果トランジスタをスイッチング制御し、前記集積回路を前記第2モードで動作するよう指示がなされたときには、前記検出された第3ブーストコンバータの第3出力端子の電圧が前記第2制御電圧になるよう前記第3ブーストコンバータの前記第3電界効果トランジスタをスイッチング制御する、ものとする。集積回路を第1モードで動作するよう指示がなされたとき、第1ブーストコンバータの第1出力端子の電圧が所定の低電圧以下であるときには第1出力端子の電圧が所定の低電圧になるよう第1ブーストコンバータの第1電界効果トランジスタをスイッチング制御し、検出された第1ブーストコンバータの第1出力端子の電圧が所定の低電圧に至ったとき以降は検出された第2ブーストコンバータの第2出力端子の電圧が第1制御電圧になるよう第2ブーストコンバータの第2電界効果トランジスタをスイッチング制御することにより、より迅速に電源側電圧を第1制御電圧に昇圧して集積回路に供給することができると共に装置の保護を図ることができる。また、集積回路を第2モードで動作するよう指示がなされたときには、検出された第3ブーストコンバータの第3出力

端子の電圧が第2制御電圧になるよう第3ブーストコンバータの第3電界効果トランジスタをスイッチング制御することにより、電源側電圧を第2制御電圧に昇圧して集積回路に供給することができると共に装置の保護を図ることができる。

[0013] 第3ブーストコンバータを有する態様の本発明の集積回路装置において、前記第3電界効果トランジスタは、前記第2制御電圧以上の電圧に対して耐圧を有するトランジスタとして構成するものとしてもよい。こうすれば、トランジスタの耐圧を確保することができ、装置の保護を図ることが図ることができる。

[0014] 第3ブーストコンバータを有する態様の本発明の集積回路装置において、前記スイッチング制御回路は、前記第1ブーストコンバータの第1出力端子の電圧を検出する第1電圧検出回路と、前記第2ブーストコンバータの第2出力端子の電圧を検出する第2電圧検出回路と、前記第3ブーストコンバータの第3出力端子の電圧を検出する第3電圧検出回路と、前記集積回路を前記第2モードで動作するよう指示がなされたときからの経過時間が長くなるほど長くなる傾向に制御用クロック信号のオン時間を設定するオン時間設定回路と、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧以下であるときには予め定められた第1オン時間および第1オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第1電界効果トランジスタをスイッチング制御し、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は前記検出された第2ブーストコンバータの第2出力端子の電圧が前記第1制御電圧に至るまで前記検出された予め定められた第2オン時間および第2オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第2電界効果トランジスタをスイッチング制御し、前記検出された第2ブーストコンバータの第2出力端子の電圧が前記第1制御電圧に至ったとき以降は前記検出された第3ブーストコンバータの第3出力端子の電圧が前記第2制御電圧になるまで前記オン時間設定回路により設定されたオ

ン時間および予め定められた第3オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第3電界効果トランジスタをスイッチング制御する制御用クロック信号生成回路と、を有する回路であるものとすることもできる。第3ブーストコンバータの第3出力端子の電圧が高くなるほど、昇圧時の第3電界効果トランジスタのエネルギー損失が大きくなり、制御用クロック信号のオン時間が短いと十分に昇圧ができない場合があると考えられるが、経過時間が長くなるほど長くなる傾向に制御用クロック信号のオン時間を設定し、検出された第3ブーストコンバータの第3出力端子の電圧が制御用電圧になるまでオン時間設定回路により設定されたオン時間および予め定められた第2オフ時間の制御用クロック信号を生成し、生成したクロック信号を用いて第3電界効果トランジスタをスイッチング制御することにより、より適正に第3出力端子の電圧を動作電圧まで昇圧することができる。

[0015] 第3ブーストコンバータを有する態様の本発明の集積回路装置において、前記集積回路チップに搭載されている集積回路は、コントロールゲートとフローティングゲートとを有しコントロールゲートに印加される電圧に応じてデータの読み出しおよび書き込みが可能な複数のフラッシュメモリセルから構成されたNAND型のフラッシュメモリであり、前記第1モードは、前記NAND型のフラッシュメモリからデータを読み出す読み出し動作を実行するモードであり、前記第2モードは、前記NAND型のフラッシュメモリにデータを書き込む書き込み動作を実行するモードであり、前記第1制御電圧は、前記読み出し動作においてデータを読み出すフラッシュメモリセルと異なるフラッシュメモリセルのコントロールゲートに印加される電圧として予め定められた電圧であり、前記第2制御電圧は、前記書き込み動作においてデータを書き込むフラッシュメモリセルと異なるフラッシュメモリセルのコントロールゲートに印加される電圧として予め定められた電圧である、ものとすることもできる。こうすれば、集積回路が複数のフラッシュメモリセルから構成されたNAND型のフラッシュメモリである場合において、電源側

電圧をデータを読み出すフラッシュメモリセルと異なるフラッシュメモリセルのコントロールゲートに印加される電圧やデータを書き込むフラッシュメモリセルと異なるフラッシュメモリセルのコントロールゲートに印加される電圧をより迅速に集積回路に供給することができると共に装置の保護を図ることができる。

[0016] そして、本発明の集積回路装置では、前記集積回路チップに搭載されている集積回路は、フラッシュメモリであるものとすることもできる。

図面の簡単な説明

[0017] [図1]本発明の一実施例としてコンピュータの内部記憶装置としてSSD10の構成の概略を示す構成図である。

[図2]フラッシュメモリチップ22に搭載されたNAND型のフラッシュメモリの要部の構成の概略を説明するための回路図である。

[図3]インターポザ30に搭載された昇圧回路40の構成の概略を示す回路図である。

[図4]オシレータ80b, 80cの構成の概略を示す回路図である。

[図5]制御用クロック信号CLKと出力端子Vout2の電圧Vpassの時間変化との一例を示す説明図である。

[図6]制御用クロック信号CLKと出力端子Vout3の電圧Vpgmの時間変化との一例を示す説明図である。

[図7]変形例のブーストコンバータ42Bの一例を示す説明図である。

発明を実施するための形態

[0018] 次に、本発明を実施するための形態を実施例を用いて説明する。

[0019] 図1は、本発明の一実施例としてコンピュータの内部記憶装置としてSSD (Solid State Disk) 10の構成の概略を示す構成図である。SSD10は、DRAM (Dynamic Random Access Memory) が搭載されたシリコンチップとしてのDRAMチップ20と、NAND型のフラッシュメモリが搭載されたシリコンチップである複数積層されたフラッシュメモリチップ22と、最上面に配置されたインターポザ30とを備える。SSD10には、図示

しない外部の電源から電源電圧として電圧 V_0 （例えば、1.6V, 1.8V, 2.0Vなど）が供給されており、実施例では、DRAMチップ20に搭載されているDRAMは電圧 V_0 で動作するものとし、フラッシュメモリチップ22に搭載されているフラッシュメモリは、読み出し電圧が電圧 V_1 （例えば、9.0V, 10.0V, 11.0Vなど）であり、書き込み電圧が電圧 V_2 （例えば、18V, 20V, 22Vなど）であるものとした。なお、DRAMチップ20やフラッシュメモリチップ22にはチップの表面から裏面へ貫通する図示しないスルーホールが形成されており、DRAMチップ20やフラッシュメモリチップ22の間は、スルーホールを導電性の比較的高い金属材料（例えば、銅など）で埋め込んで形成した接続配線で電氣的に接続されている。

[0020] 図2は、フラッシュメモリチップ22に搭載されたNAND型のフラッシュメモリの要部の構成の概略を説明するための回路図である。フラッシュメモリは、ビット線BLと接地GNDとの間にワード線WLに接続されたコントロールゲートとフローティングゲートとを有するメモリセルMce11のドレインが隣あったメモリセルMce11のソースに接続されている。こうして縦続接続されたメモリセルMce11の両端には、選択ゲート線SGD, SGSにそれぞれのゲートが接続された選択MOSトランジスタST1, ST2が配置されている。こうしたフラッシュメモリにおいて、記憶しているデータを読み出す際には、読み出し対象となるメモリセルMce11のワード線WLに0Vの電圧を供給し、読み出し対象以外の各メモリセルMce11のワード線WLおよび二つの選択MOSトランジスタST1, ST2の選択ゲート線SGD, SGSに電圧 V_1 を供給することにより、読み出し対象となるメモリセルMce11が記憶しているデータに応じた電圧をビット線BLに出力される。こうした動作により、記憶されているデータを読み出すことができる。また、フラッシュメモリにデータを書き込む際には、データを書き込む対象となるメモリセルMce11のコントロールゲートに接続されたワード線WLとソースが接地された選択MOSトランジスタST2の

選択ゲート線SGSとの電圧を0Vにし、他のメモリセルMce11のコントロールゲートに接続されたワード線WLおよび選択MOSトランジスタST1の選択ゲート線SGDに電圧V2を供給することによりビット線BLの電圧に応じたデータを書き込み対象のメモリセルMce11に記憶させることができる。

[0021] インターポーザ30には、フラッシュメモリチップ22に搭載されているフラッシュメモリを制御するためのNANDコントローラ32や電源から供給された電圧V0を電圧V1や電圧V2に昇圧してフラッシュメモリチップ22に供給する昇圧回路40、昇圧回路40やNANDコントローラ32からの接続配線（図示せず）などが搭載されている。

[0022] 図3は、インターポーザ30に搭載された昇圧回路40の構成の概略を示す回路図である。昇圧回路40は、入力端子Vin1に供給された電圧V0を昇圧して出力端子Vout1から電圧Vmidとして出力するブーストコンバータ42と、ブーストコンバータ42の出力端子Vout1に供給された電圧を昇圧して出力端子Vout2からフラッシュメモリに電圧を供給するブーストコンバータ44と、入力端子Vin3に供給された電圧V0を昇圧して出力端子Vout3からフラッシュメモリに電圧を供給するブーストコンバータ46と、制御用クロック信号CLKを用いてブーストコンバータ42、44、46を制御するスイッチング制御回路70とから構成されている。

[0023] ブーストコンバータ42は、入力端子Vin1と出力端子Vout1との間に直列に接続されたインダクタL1と、ゲートとソースとが互いに接続されておりソースがインダクタL1に接続されると共にドレインが出力端子Vout1に接続されたエンハンスメント型のNMOS（N-channel Metal Oxide Semiconductor）トランジスタN11（以下、トランジスタN11という）と、インダクタL1とトランジスタN11との間でインダクタL1からみて出力端子Vout1に並列に接続されたデプレッション型のNMOSトランジスタN12（以下、トランジスタN12という）と、を備え、トランジス

タN12は、スイッチング制御回路70からの制御用クロック信号CLKによりスイッチングが制御されている。出力端子Vout1には、出力端子Vout1の電圧を平滑する平滑コンデンサ42aが接続されている。トランジスタN11、N12は、電圧V0と電圧V1との間の電圧として予め定められた電圧Vm（例えば、3.6V、3.8V、4.0Vなど）より若干高い電圧に対して耐圧を有するトランジスタとして構成されている。

[0024] ブーストコンバータ44は、ブーストコンバータ42の出力端子Vout1に接続された入力端子Vin2と出力端子Vout2との間に直列に接続されたインダクタL2と、ゲートとソースとが互いに接続されておりソースがインダクタL2に接続されると共にドレインが出力端子Vout2に接続されたエンハンスメント型のNMOSトランジスタN21（以下、トランジスタN21という）と、インダクタL2とトランジスタN21との間でインダクタL2からみて出力端子Vout2に並列に接続されたデプレッション型のNMOSトランジスタN22（以下、トランジスタN22という）と、を備え、トランジスタN22は、スイッチング制御回路70からの制御用クロック信号CLKによりスイッチングが制御されている。トランジスタN21、N22は、トランジスタN11、N12より閾値電圧が高く且つ電圧V1より若干高い電圧に対して耐圧を有するトランジスタとして構成されている。

[0025] ブーストコンバータ46は、電圧V0が供給される入力端子Vin3と出力端子Vout3との間に直列に接続されたインダクタL3と、ゲートとソースとが互いに接続されておりソースがインダクタL3に接続されると共にドレインが出力端子Vout3に接続されたエンハンスメント型のNMOSトランジスタN31（以下、トランジスタN31という）と、インダクタL3とトランジスタN31との間でインダクタL3からみて出力端子Vout3に並列に接続されたデプレッション型のNMOSトランジスタN32（以下、トランジスタN32という）と、を備え、トランジスタN32は、スイッチング制御回路70からの制御用クロック信号CLKによりスイッチング

が制御されている。トランジスタN31, N32は、トランジスタN11, N12より閾値電圧が高く電圧V2より若干高い電圧に対して耐圧を有するトランジスタとして構成されている。

[0026] スイッチング制御回路70は、ブーストコンバータ42の出力端子Vout1の電圧Vmidを検出する電圧検出回路72と、ブーストコンバータ44の出力端子Vout2の電圧Vpassを検出する電圧検出回路74と、ブーストコンバータ46の出力端子Vout3の電圧Vpgmを検出する電圧検出回路76と、電圧検出回路74で検出された電圧Vpassに基づいて制御用クロックCLKがオン時間Ton（制御用クロック信号CLKが高レベルの論理電圧の信号である時間）とオフ時間Toff（制御用クロック信号CLKが低レベルの論理電圧の信号である時間）とを選択する選択回路78aと、電圧検出回路76で検出された電圧に基づいてオン時間Tonとオフ時間Toffを選択する選択回路78bと、ブーストコンバータ42の出力端子Vout1の電圧Vmidに応じたオン時間Tonでオフ時間Toffの制御用クロック信号CLKを生成してブーストコンバータ42のトランジスタN12に出力するオシレータ80aと、選択回路78aで選択されたオン時間Tonでオフ時間Toffの制御用クロック信号CLKを生成してブーストコンバータ44のトランジスタN22に出力するオシレータ80bと、選択回路78bで選択されたオン時間Tonでオフ時間Toffの制御用クロック信号CLKを生成してブーストコンバータ46のトランジスタN32に出力するオシレータ80cと、を備える。

[0027] 選択回路78aは、電圧検出回路72で検出された電圧Vmidが電圧Vmに至ったときに出力端子Vout2の電圧を比較的迅速で且つ少ない消費電力で昇圧することが可能な制御用クロック信号CLKのオン時間Tonおよびオフ時間Toffと出力端子Vout2の電圧Vpassとの関係を予め実験やシミュレーションなどで求めて記憶しており、電圧検出回路72で検出された電圧Vmidが電圧Vmを超えたときに電圧検出回路74で検出された電圧Vpassに対応する記憶しているオン時間Tonおよびオフ時

間 T_{off} を選択してオシレータ 80b に出力する。なお、選択回路 78a は、電圧検出回路 74 で検出された電圧 V_{pass} が電圧 V_1 を超えたときにはスタンバイ信号 STB をオシレータ 80b に出力する。

[0028] 選択回路 78b は、出力端子 V_{out3} の電圧を迅速に昇圧することが可能な制御用クロック信号 CLK のオン時間 T_{on} およびオフ時間 T_{off} とフラッシュメモリヘータを書き込む書き込み指示がなされてからの経過時間との関係を予め実験やシミュレーションなどで求めて予め記憶しており、記憶しているオン時間 T_{on} およびオフ時間 T_{off} をオシレータ 80c に出力する。ここで、制御用クロック信号 CLK のオン時間 T_{on} は、フラッシュメモリヘータを書き込む書き込み指示がなされてからの経過時間が長くなるほど長くなるよう設定し、制御用クロック信号 CLK のオフ時間 T_{off} は経過時間に拘わらず一定であるものとした。このようにオン時間 T_{on} 、オフ時間 T_{off} を設定する理由については後述する。なお、選択回路 78b は、電圧検出回路 76 で検出された電圧 V_{pgm} が電圧 V_2 を超えたときにはスタンバイ信号 STB をオシレータ 80c に出力する。

[0029] オシレータ 80a は、予め定められたオン時間およびオフ時間の制御用クロック信号 CLK を生成してブーストコンバータ 42 のトランジスタ $N11$ に出力する周知のオシレータ回路として構成されており、電圧検出回路 72 で検出された出力端子 V_{out1} の電圧 V_{mid} が電圧 V_m 以下であるときに予め定められたオン時間およびオフ時間の制御用クロック信号 CLK を生成してブーストコンバータ 42 のトランジスタ $N12$ に出力し、電圧検出回路 72 で検出された出力端子 V_{out1} の電圧 V_{mid} が電圧 V_m を超えたときにはトランジスタ $N11$ のゲートがオフになるよう低レベルの論理電圧（例えば、0V）に固定された制御用クロック信号 CLK を生成してブーストコンバータ 42 のトランジスタ $N12$ に出力する。

[0030] 図4は、オシレータ 80b、80c の構成の概略を示す回路図である。オシレータ 80b、80c は、図示するように、定電流回路として構成された第1回路 $M1$ と、第1回路 $M1$ とカレントミラーを構成する第2回路 $M2$ 、

第3回路M3と、第1回路M2、M3の出力から制御用クロック信号CLKを生成して出力するクロック信号出力回路CKOと、から構成されている。

第1回路M1は、抵抗Rと、抵抗Rを介してドレインに電源電圧V_{dd}が供給されると共にゲートとドレインとが接続されソースが接地されたNMOSトランジスタNM1とから構成されている。第2回路M2、M3は、互いに同一の構成をしており、ソースに電源電圧V_{dd}が供給されるPMOS (P-channel Metal Oxide Semiconductor)トランジスタPM1と、ゲート、ドレインがそれぞれトランジスタPM1のゲート、ドレインに接続されたNMOSトランジスタNM2と、ゲートがトランジスタNM1のゲートに接続されると共にドレインがトランジスタNM2のドレインに接続されたNMOSトランジスタNM3とから構成されている。第2回路M2、M3のトランジスタPM1のドレインと接地との間にスイッチSW1～SW5を介してキャパシタC1～C5が互いに並列接続されている。クロック信号出力回路CKOは、第1回路M1のトランジスタNM1のドレインと接地との間の電圧である参照電圧V_{ref}と第2回路M2のトランジスタPM1のドレインと接地との間の電圧、すなわち、キャパシタC1～C5の電極間電圧であるキャパシタ電圧V_{cap1}とを比較して比較結果を出力するコンパレータCMP111と、参照電圧V_{ref}と第3回路M3のトランジスタPM1のドレインと接地との間の電圧、すなわち、キャパシタC1～C5の電極間電圧であるキャパシタ電圧V_{cap2}とを比較して比較結果を出力するコンパレータCMP112と、CMP111、112からの比較結果に応じてセットまたはリセットされるフリップフロップFFとから構成されている。フリップフロップFFは、キャパシタ電圧V_{cap1}が参照電圧V_{ref}以下のときにはセットされて低レベルの論理電圧の信号を制御用クロック信号CLKとして出力し、キャパシタ電圧V_{cap2}が参照電圧V_{ref}以下のときにリセットされて高レベルの論理電圧の信号をクロック信号CLKとして出力し、こうした制御用クロック信号CLKと逆相のクロック信号CLKBも出力する。

なお、オシレータ80b、80cは、選択回路78a、78bからスタンバ

イ信号 $S T B$ が入力されると制御用クロック信号 $C L K$ の電圧を低レベルの論理電圧に固定する図示しないトランジスタも備えている。こうして構成されたオシレータ $80 b$ 、 $80 c$ では、選択回路 $78 a$ 、 $78 b$ から出力される制御用クロック信号 $C L K$ のオン時間 $T o n$ とオフ時間 $T o f f$ が抵抗 R の抵抗値 R と第2回路 $M 2$ 、第3回路でスイッチ $S W 1 \sim S W 5$ のうちオンになっているスイッチに接続されたキャパシタの合成容量 C とで決まるため、スイッチ $S W 1 \sim S W 5$ のオンオフを制御することにより所望のオン時間、オフ時間の制御用クロック信号 $C L K$ を出力することができる。

[0031] こうして構成された $S S D 10$ の昇圧回路 40 では、フラッシュメモリチップ 22 に搭載されているフラッシュメモリからデータを読み出す読み出し要求がなされたときには、以下に説明する昇圧動作が行なわれる。読み出し要求がなされたときには、電圧検出回路 72 で検出された出力端子 $V o u t 1$ の電圧 $V m i d$ が電圧 $V 1$ 以下であるときには、オシレータ $80 a$ が予め定められたオン時間およびオフ時間の制御用クロック信号 $C L K$ を生成してブーストコンバータ 42 のトランジスタ $N 12$ に出力してトランジスタ $N 12$ をスイッチング制御する。これにより、出力端子 $V o u t 1$ の電圧 $V m i d$ をステップ状に昇圧させることができる。ここで、トランジスタ $N 12$ は、トランジスタ $N 22$ より閾値電圧が低いトランジスタとして構成されているから、トランジスタ $N 11$ に代えてトランジスタ $N 22$ を用いたものに比して迅速に出力端子 $V o u t 1$ の電圧 $V m i d$ を電圧 $V m$ まで昇圧することができる。

[0032] こうして出力端子 $V o u t 1$ の電圧 $V m i d$ が電圧 $V m$ に至ったときには、トランジスタ $N 12$ のゲートがオフになるよう所定の低電圧に固定された制御用クロック信号 $C L K$ がオシレータ $80 a$ から出力され、出力端子 $V o u t 1$ の昇圧が停止する。

[0033] 出力端子 $V o u t 1$ の電圧 $V m i d$ が電圧 $V m$ になったことが電圧検出回路 72 により検出されると、電圧検出回路 74 により検出された出力端子 $V o u t 2$ の電圧 $V p a s s$ が電圧 $V 1$ 未満であるときには、選択回路 $78 a$

は検出された電圧 V_{pass} に基づいてオン時間 T_{on} およびオフ時間 T_{off} を選択してオシレータ 80b に出力し、オシレータ 80b は入力されたオン時間 T_{on} およびオフ時間 T_{off} の制御用クロック信号 CLK を生成してブーストコンバータ 44 のトランジスタ N22 に出力してトランジスタ N21 をスイッチング制御する。これにより、出力端子 V_{out2} の電圧 V_{pass} をステップ状に昇圧させることができる。ここで、選択回路 78a は、出力端子 V_{out2} の電圧を比較的迅速で且つ少ない消費電力で昇圧可能オン時間 T_{on} およびオフ時間 T_{off} を選択してオシレータ 80b に出力するから、出力端子 V_{out2} の電圧 V_{pass} を比較的迅速で且つ少ない消費電力で昇圧することができる。また、トランジスタ N22 は、トランジスタ N12 より閾値電圧が高く且つ耐圧が高いトランジスタとして構成されているから、トランジスタ N22 に代えてトランジスタ N12 を用いたものに比して耐圧を確保することができる。

[0034] こうして出力端子 V_{out2} の電圧 V_{pass} が電圧 V_1 に至ったときには、選択回路 78a からスタンバイ信号 STB が出力され、トランジスタ N22 のゲートがオフになるよう低レベルの論理電圧に固定された制御用クロック信号 CLK がオシレータ 80b から出力され、出力端子 V_{out2} の昇圧が停止する。図 5 に制御用クロック信号 CLK と出力端子 V_{out2} の電圧 V_{pass} の時間変化との一例を示す。こうした動作により、出力端子 V_{out2} の電圧 V_{pass} を電圧 V_1 まで上昇させて、フラッシュメモリ 22 に供給することができる。

[0035] また、SSD10 の昇圧回路 40 では、フラッシュメモリチップ 22 に搭載されているフラッシュメモリにデータを書き込む書き込み要求がなされたときには、以下に説明する昇圧動作が行なわれる。書き込み要求がなされると、電圧検出回路 76 で検出された出力端子 V_{out2} の電圧 V_{pgm} が電圧 V_2 未満であるときには、選択回路 78b は検出された電圧 V_{pgm} に基づいて制御用クロック信号 CLK のオン時間 T_{on} およびオフ時間 T_{off} を選択してオシレータ 80b に出力し、オシレータ 80b は入力されたオン

時間 T_{on} およびオフ時間 T_{off} の制御用クロック信号 CLK を生成してブーストコンバータ 46 のトランジスタ N_{32} に出力してトランジスタ N_{32} をスイッチング制御する。ここで、選択回路 78b において、制御用クロック信号 CLK のオン時間 T_{on} は、フラッシュメモリへデータを書き込む書き込み要求がなされてからの経過時間が長くなるほど長くなるよう設定した理由について説明する。ブーストコンバータ 46 の出力端子 V_{out3} の電圧が高くなるほど、昇圧時のトランジスタ N_{32} のエネルギー損失が大きくなり、制御用クロック信号 CLK のオン時間が短いと十分に昇圧ができない場合があると考えられる。そのため、書き込み要求がなされてからの経過時間が長くなるほど長くなるよう制御用クロック信号 CLK のオン時間 T_{on} を設定することにより、出力端子 V_{out3} の電圧 V_{pgm} を電圧 V_2 まで十分に昇圧することができると考えられるためです。図 6 に制御用クロック信号 CLK と出力端子 V_{out3} の電圧 V_{pgm} の時間変化との一例を示す。こうした動作により、より適正に出力端子 V_{out3} の電圧 V_{pgm} を電圧 V_2 まで昇圧して、フラッシュメモリ 22 に供給することができる。

- [0036] 以上説明した実施例の SSD 10 では、フラッシュメモリからデータを読み出す読み出し要求がなされたときには、電圧検出回路 72 で検出された出力端子 V_{out1} の電圧 V_{mid} が電圧 V_1 以下であるときには、オシレータ 80a が予め定められたオン時間およびオフ時間の制御用クロック信号 CLK を生成してブーストコンバータ 42 のトランジスタ N_{12} に出力してトランジスタ N_{12} をスイッチング制御し、出力端子 V_{out1} の電圧 V_{mid} が電圧 V_m になったことが電圧検出回路 72 により検出されると、選択回路 78a は出力端子 V_{out2} の電圧 V_{pass} に基づいて出力端子 V_{out2} の電圧を迅速に少ない電力で昇圧可能なオン時間 T_{on} およびオフ時間 T_{off} を選択してオシレータ 80b に出力し、オシレータ 80b は入力されたオン時間 T_{on} およびオフ時間 T_{off} の制御用クロック信号 CLK を生成してブーストコンバータ 44 のトランジスタ N_{22} に出力してトランジスタ N_{22} をスイッチング制御する。これにより、出力端子 V_{out2} の電

圧 V_{pass} をステップ状に電圧 V_1 まで昇圧させることができる。また、フラッシュメモリチップ 22 に搭載されているフラッシュメモリにデータを書き込む書き込み要求がなされたときには、電圧検出回路 38 で検出された出力端子 V_{out2} の電圧 V_{pgm} が電圧 V_2 未満であるときには、選択回路 78b は記憶している出力端子 V_{out2} の電圧を迅速に少ない電力で昇圧可能なオン時間 T_{on} およびオフ時間 T_{off} を選択してオシレータ 80b に出力し、オシレータ 80b はオン時間 T_{on} およびオフ時間 T_{off} の制御用クロック信号 CLK を生成してブーストコンバータ 46 のトランジスタ N_{32} に出力してトランジスタ N_{32} をスイッチング制御する。こうした動作により、より適正に出力端子 V_{out3} の電圧 V_{pgm} を電圧 V_3 まで昇圧して、フラッシュメモリ 22 に供給することができる。

[0037] 実施例の SSD 10 では、選択回路 78a を出力端子 V_{out2} の電圧 V_{pass} に基づいて出力端子 V_{out2} の電圧を迅速に少ない電力で昇圧可能なオン時間 T_{on} およびオフ時間 T_{off} を選択してオシレータ 80b に出力するものとしたが、この場合のオフ時間 T_{off} をある時間に固定してオン時間 T_{on} およびオフ時間 T_{off} 時間をフラッシュメモリからデータを読み出す読み出し要求がなされてからの経過時間が長くなるほど長くなるよう設定してオシレータ 80b に出力するものとしてもよい。こうすれば、より適正に昇圧することができる。

[0038] 実施例の SSD 10 では、選択回路 78b を、出力端子 V_{out3} の電圧を迅速に昇圧することが可能な制御用クロック信号 CLK のオン時間 T_{on} およびオフ時間 T_{off} とフラッシュメモリへデータを書き込む書き込み指示がなされてからの経過時間との関係を予め実験やシミュレーションなどで求めて予め記憶しており、記憶しているオン時間 T_{on} およびオフ時間 T_{off} をオシレータ 80c に出力する。ここで、制御用クロック信号 CLK のオン時間 T_{on} は、フラッシュメモリへデータを書き込む書き込み指示がなされてからの経過時間が長くなるほど長くなるよう設定し、制御用クロック信号 CLK のオフ時間 T_{off} は経過時間に拘わらず一定であるものとしたが

、オン時間 T_{on} と共にオフ時間 T_{off} を経過時間に応じて変化させるものとしてもよい。

[0039] 実施例の SSD10 では、トランジスタ N21, N22 を、トランジスタ N11, N12 より閾値電圧が高く且つ電圧 V_1 より若干高い電圧に対して耐圧を有するトランジスタとして構成するものとしたが、トランジスタ N11, N12 より閾値電圧が高く且つ電圧 V_1 に対して耐圧を有するトランジスタであればよく、例えば、電圧 V_2 以上の電圧に対して耐圧を有するトランジスタとしてもよい。また、トランジスタ N31, N32 を、トランジスタ N11, N12 より閾値電圧が高く且つ電圧 V_2 より若干高い電圧に対して耐圧を有するトランジスタとして構成するものとしたが、トランジスタ N11, N12 より閾値電圧が高く且つ電圧 V_2 に対して耐圧を有するトランジスタであればよく、例えば、電圧 V_2 よりかなり大きい電圧（例えば、30V など）に対して耐圧を有するトランジスタとしてもよい。

[0040] 実施例の SSD10 では、ブーストコンバータ 42 は、インダクタ L1 とトランジスタ N11 との間でインダクタ L からみて出力端子 V_{out1} に並列に接続されたデプレッション型の NMOS トランジスタ N12 を備えるものとしたが、インダクタ L1 とトランジスタ N11 との間でインダクタ L からみて出力端子 V_{out1} に並列にクロック信号 CLK でスイッチングする素子を備えていればよいから、図 7 に例示する変形例のブーストコンバータ 42B のように、デプレッション型の NMOS トランジスタ N12 に代えて、インダクタ L1 とトランジスタ N11 との間に接続されたデプレッション型の NMOS トランジスタ N13（以下、トランジスタ N13）と、トランジスタ N13 と直列にエンハンスメント型の NMOS トランジスタ N12B（以下、トランジスタ N12B）とを有するものとし、トランジスタ N13 のゲートの電圧を所定電圧 V_H に固定すると共にトランジスタ N12B のゲートに制御用クロック信号 CLK を入力するものとしてもよい。ここで、所定電圧 V_H としては、電圧 V_0 と電圧 V_m との間の電圧（例えば、1.8V）とするのが望ましい。また、ブーストコンバータ 42 は、ゲートとソー

スとが互いに接続されておりソースがインダクタL 1に接続されると共にドレインが出力端子V o u t 1に接続されたエンハンスメント型のNMOSトランジスタN 1 1 1を備えるものとしたが、インダクタL 1と出力端子V o u t 1との間に直列に接続され電流を入力端子V i n 1から出力端子V o u t 1に向かう方向へ整流する整流素子を備えていればよいから、トランジスタN 1 1に代えてダイオードを備えるものとしてもよい。ここでは、ブーストコンバータ4 2について例示したが、ブーストコンバータ4 4, 4 6についても図7に例示する変形例のブーストコンバータや他の変形例のブーストコンバータを適用することができる。

[0041] 実施例のSSD 1 0では、インターポーザ3 0をフラッシュメモリチップ2 2の上面に配置するものとしたが、下面に配置することもできる。また、インターポーザ3 0上に他の集積回路チップやインターポーザを積層するものとしてもよい。

[0042] 実施例のSSD 1 0では、フラッシュメモリが搭載されたフラッシュメモリチップ2 2を備えるものとしたが、こうしたチップに搭載される集積回路はフラッシュメモリに限定されるものではなく、所定電圧で動作する集積回路であれば如何なるものとしても構わない。

[0043] 実施例では、本発明をSSD 1 0に適用するものとしたが、集積回路が搭載された集積回路チップと、電源側から供給される電源側電圧を昇圧して前記集積回路チップの集積回路に供給可能な昇圧供給回路が搭載されたインターポーザと、を備える集積回路装置であれば如何なるものに用いるものとしてもよく、例えば、マイクロコンピュータに用いるものとしてもよい。

[0044] ここで、実施例の主要な要素と発明の概要の欄に記載した発明の主要な要素との対応関係について説明する。実施例では、フラッシュメモリチップ2 2が「集積回路チップ」に相当し、インターポーザ3 0が「インターポーザ」に相当し、昇圧回路4 0が「昇圧供給回路」に相当し、インダクタL 1とトランジスタN 1 1とトランジスタN 1 2とを有するブーストコンバータ4 2が「第1ブーストコンバータ」に相当し、インダクタL 2とトランジスタ

N 2 1 とトランジスタ N 2 2 とを有するブーストコンバータ 4 4 が「第 2 ブーストコンバータ」に相当し、スイッチング制御回路 7 0 が「スイッチング制御回路」に相当する。また、電圧検出回路 7 2 が「第 1 電圧検出回路」に相当し、電圧検出回路 7 4 が「第 2 電圧検出回路」に相当し、電圧検出回路 7 2 で検出された出力端子 V o u t 1 の電圧 V m i d や出力端子 V o u t 2 の電圧 V p a s s の電圧に基づいて制御用クロック信号 C L K を生成してトランジスタ N 1 2 やトランジスタ N 2 2 に出力してトランジスタ N 1 2, N 2 2 を制御する選択回路 7 8 a とオシレータ 8 0 a, 8 0 b とが「制御用クロック信号生成回路」に相当する。さらに、インダクタ L 3 とトランジスタ N 3 1 とトランジスタ N 3 2 とを有するブーストコンバータ 4 6 が「第 3 ブーストコンバータ」に相当する。そして、電圧検出回路 7 6 が「第 3 電圧検出回路」に相当し、電圧検出回路 7 6 で検出された出力端子 V o u t 3 の電圧に基づいて制御用クロック信号 C L K を生成してトランジスタ N 3 1 に出力してトランジスタ N 3 1 を制御する選択回路 7 8 b とオシレータ 8 0 c とが「制御用クロック信号生成回路」に相当する。

[0045] 以上、本発明を実施するための形態について実施例を用いて説明したが、本発明はこうした実施例に何等限定されるものではなく、本発明の要旨を逸脱しない範囲内において、種々なる形態で実施し得ることは勿論である。

産業上の利用可能性

[0046] 本発明は、集積回路装置の製造産業などに利用可能である。

請求の範囲

[請求項1]

集積回路が搭載された集積回路チップと、電源側から供給される電源側電圧を昇圧して前記集積回路チップの集積回路に供給可能な昇圧供給回路が搭載されたインターポーザと、を備える集積回路装置であって、

前記昇圧供給回路は、

前記電源側電圧を供給される第1入力端子と電圧を出力する第1出力端子との間に直列に接続された第1インダクタと、前記第1インダクタと前記第1出力端子との間に直列に接続され電流を前記第1入力端子から前記第1出力端子に向かう方向へ整流する第1整流素子と、前記第1インダクタと前記第1整流素子との間に前記第1インダクタからみて前記第1出力端子に並列に接続された第1電界効果トランジスタと、を有する第1ブーストコンバータと、

前記第1ブーストコンバータの第1出力端子の電圧が入力される第2入力端子と前記集積回路チップの集積回路に電圧を供給する第2出力端子との間に直列に接続された第2インダクタと、前記第2インダクタと前記第2出力端子との間に直列に接続され電流を前記第2入力端子から前記第2出力端子に向かう方向へ整流する第2整流素子と、前記第2インダクタと前記第2整流素子との間に前記第2インダクタからみて前記第2出力端子に並列に接続され前記第1電界効果トランジスタより閾値電圧が高く且つ前記集積回路が動作する電圧として予め定められた動作電圧以上の電圧に対して耐圧を有する第2電界効果トランジスタと、を有する第2ブーストコンバータと、

前記第1ブーストコンバータの第1出力端子の電圧が前記動作電圧より低い電圧として予め定められた所定の低電圧以下であるときには前記第1出力端子の電圧が前記所定の低電圧になるよう前記第1ブーストコンバータの第1電界効果トランジスタをスイッチング制御し、前記第1ブーストコンバータの第1出力端子の電圧が前記所定の低

電圧に至ったとき以降は前記第2ブーストコンバータの第2出力端子の電圧が前記動作電圧になるよう前記第2ブーストコンバータの前記第2電界効果トランジスタをスイッチング制御するスイッチング制御回路と、

を備える回路である

集積回路装置。

[請求項2]

請求項1記載の集積回路装置であって、

前記スイッチング制御回路は、

前記第1ブーストコンバータの第1出力端子の電圧を検出する第1電圧検出回路と、

前記第2ブーストコンバータの第2出力端子の電圧を検出する第2電圧検出回路と、

前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧以下であるときには予め定められた第1オン時間および第1オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第1電界効果トランジスタをスイッチング制御し、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は予め定められた第2オン時間および第2オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第2電界効果トランジスタをスイッチング制御する制御用クロック信号生成回路と、

を有する回路である

集積回路装置。

[請求項3]

請求項1記載の集積回路装置であって、

前記スイッチング制御回路は、

前記第1ブーストコンバータの第1出力端子の電圧を検出する第1電圧検出回路と、

前記第2ブーストコンバータの第2出力端子の電圧を検出する第

2 電圧検出回路と、

前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は前記検出された第2ブーストコンバータの第2出力端子の電圧が前記動作電圧になるまで前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ってからの経過時間が長くなるほど長くなる傾向に制御用クロック信号のオン時間を設定するオン時間設定回路と、

前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧以下であるときには予め定められた第1オン時間および第1オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第1電界効果トランジスタをスイッチング制御し、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったときには前記検出された第2ブーストコンバータの第2出力端子の電圧が前記動作電圧になるまで前記オン時間設定回路により設定されたオン時間および予め定められた第2オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第2電界効果トランジスタをスイッチング制御する制御用クロック信号生成回路と、

を有する回路である

集積回路装置。

[請求項4]

請求項1記載の集積回路装置であって、

前記電源側電圧から電圧を供給される第3入力端子と前記集積回路チップの集積回路に電圧を出力する第3出力端子との間に直列に接続された第3インダクタと、前記第3インダクタと前記第3出力端子との間に直列に接続され電流を前記第3入力端子から前記第3出力端子に向かう方向へ整流する第3整流素子と、前記第3インダクタと前記第3整流素子との間に前記第3インダクタからみて前記第3出力端子に並列に接続された第3電界効果トランジスタと、を有する第3ブ

ーストコンバータ、を備え、

前記集積回路は、前記動作電圧を第1制御電圧にして動作する第1モードおよび前記動作電圧を前記第1制御電圧より高い第2制御電圧にして動作する第2モードで動作が可能な回路であり、

前記スイッチング制御回路は、前記集積回路を前記第1モードで動作するよう指示がなされたとき、前記第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧以下であるときには前記第1出力端子の電圧が前記所定の低電圧になるよう前記第1ブーストコンバータの第1電界効果トランジスタをスイッチング制御すると共に前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は前記検出された第2ブーストコンバータの第2出力端子の電圧が前記第1制御電圧になるよう前記第2ブーストコンバータの前記第2電界効果トランジスタをスイッチング制御し、前記集積回路を前記第2モードで動作するよう指示がなされたときには、前記検出された第3ブーストコンバータの第3出力端子の電圧が前記第2制御電圧になるよう前記第3ブーストコンバータの前記第3電界効果トランジスタをスイッチング制御する回路である、

集積回路装置。

[請求項5]

請求項4記載の集積回路装置であって、

前記スイッチング制御回路は、

前記第1ブーストコンバータの第1出力端子の電圧を検出する第1電圧検出回路と、

前記第2ブーストコンバータの第2出力端子の電圧を検出する第2電圧検出回路と、

前記第3ブーストコンバータの第3出力端子の電圧を検出する第3電圧検出回路と、

経過時間が長くなるほど長くなる傾向に制御用クロック信号のオン時間を設定するオン時間設定回路と、

前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧以下であるときには予め定められた第1オン時間および第1オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第1電界効果トランジスタをスイッチング制御し、前記検出された第1ブーストコンバータの第1出力端子の電圧が前記所定の低電圧に至ったとき以降は予め定められた第2オン時間および第2オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第2電界効果トランジスタをスイッチング制御し、前記検出された第2ブーストコンバータの第2出力端子の電圧が前記第1制御電圧に至ったとき以降は前記検出された第3ブーストコンバータの第3出力端子の電圧が前記第2制御電圧になるまで前記オン時間設定回路により設定されたオン時間および予め定められた第3オフ時間の制御用クロック信号を生成し、前記生成したクロック信号を用いて前記第3電界効果トランジスタをスイッチング制御する制御用クロック信号生成回路と、

を有する回路である

集積回路装置。

[請求項6]

請求項4または5記載の集積回路装置であって、

前記集積回路チップに搭載されている集積回路は、コントロールゲートとフローティングゲートとを有しコントロールゲートに印加される電圧に応じてデータの読み出しおよび書き込みが可能な複数のフラッシュメモリセルから構成されたNAND型のフラッシュメモリであり、

前記第1モードは、前記NAND型のフラッシュメモリからデータを読み出す読み出し動作を実行するモードであり、

前記第2モードは、前記NAND型のフラッシュメモリにデータを書き込む書き込み動作を実行するモードであり、

前記第1制御電圧は、前記読み出し動作においてデータを読み出

すフラッシュメモリセルと異なるフラッシュメモリセルのコントロールゲートに印加される電圧として予め定められた電圧であり、

前記第2制御電圧は、前記書き込み動作においてデータを書き込むフラッシュメモリセルと異なるフラッシュメモリセルのコントロールゲートに印加される電圧として予め定められた電圧である、

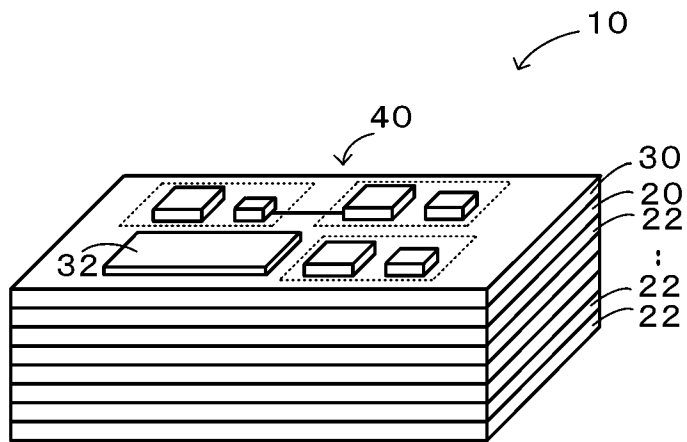
集積回路装置。

[請求項7] 請求項1ないし5いずれか1つの請求項に記載の集積回路装置であって、

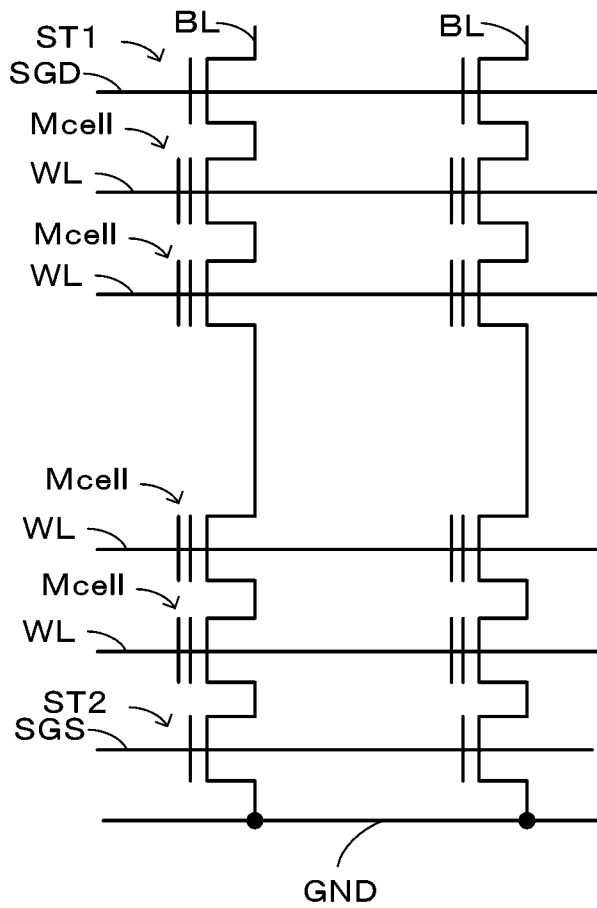
前記集積回路チップに搭載されている集積回路は、フラッシュメモリである

集積回路装置。

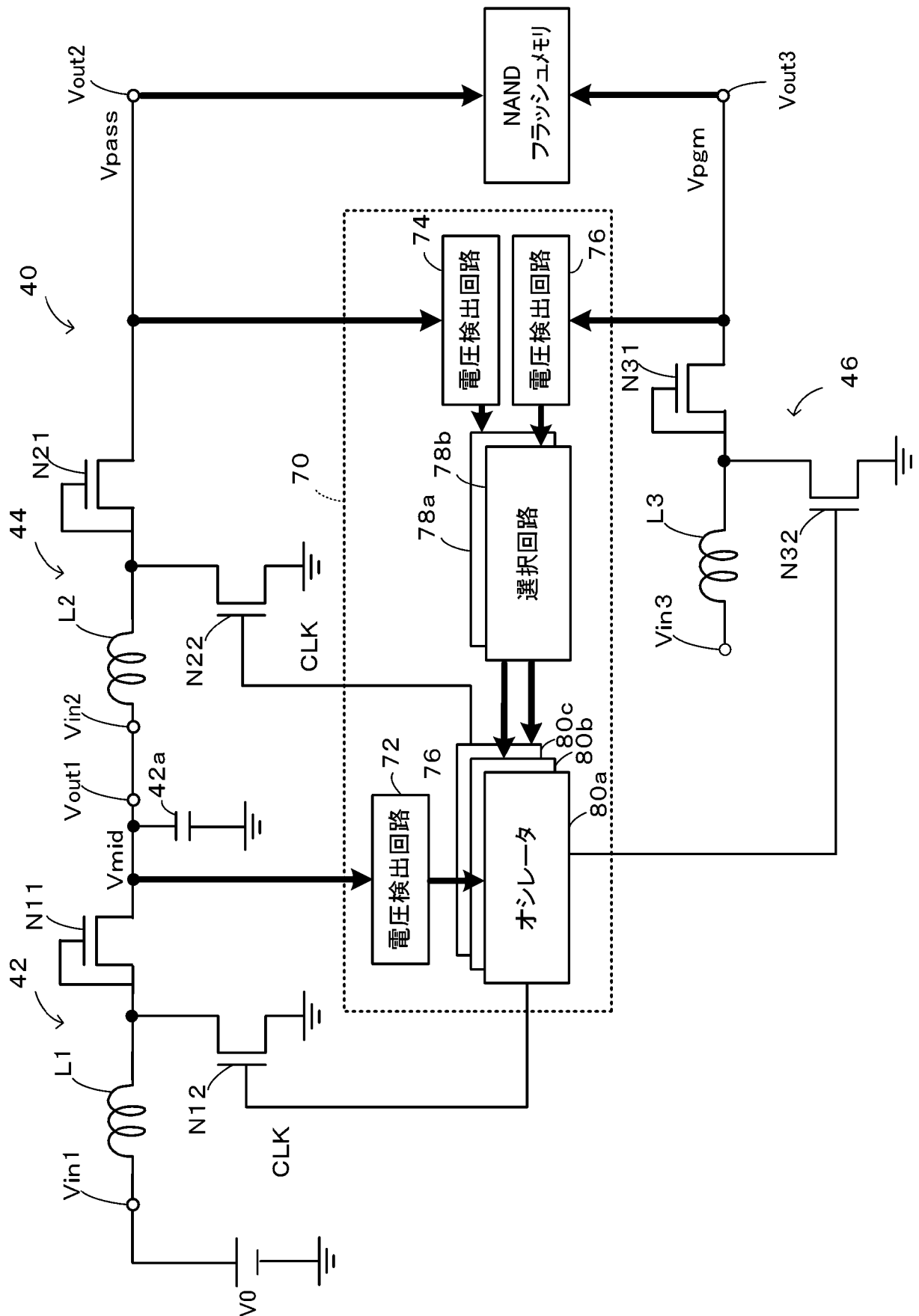
[図1]



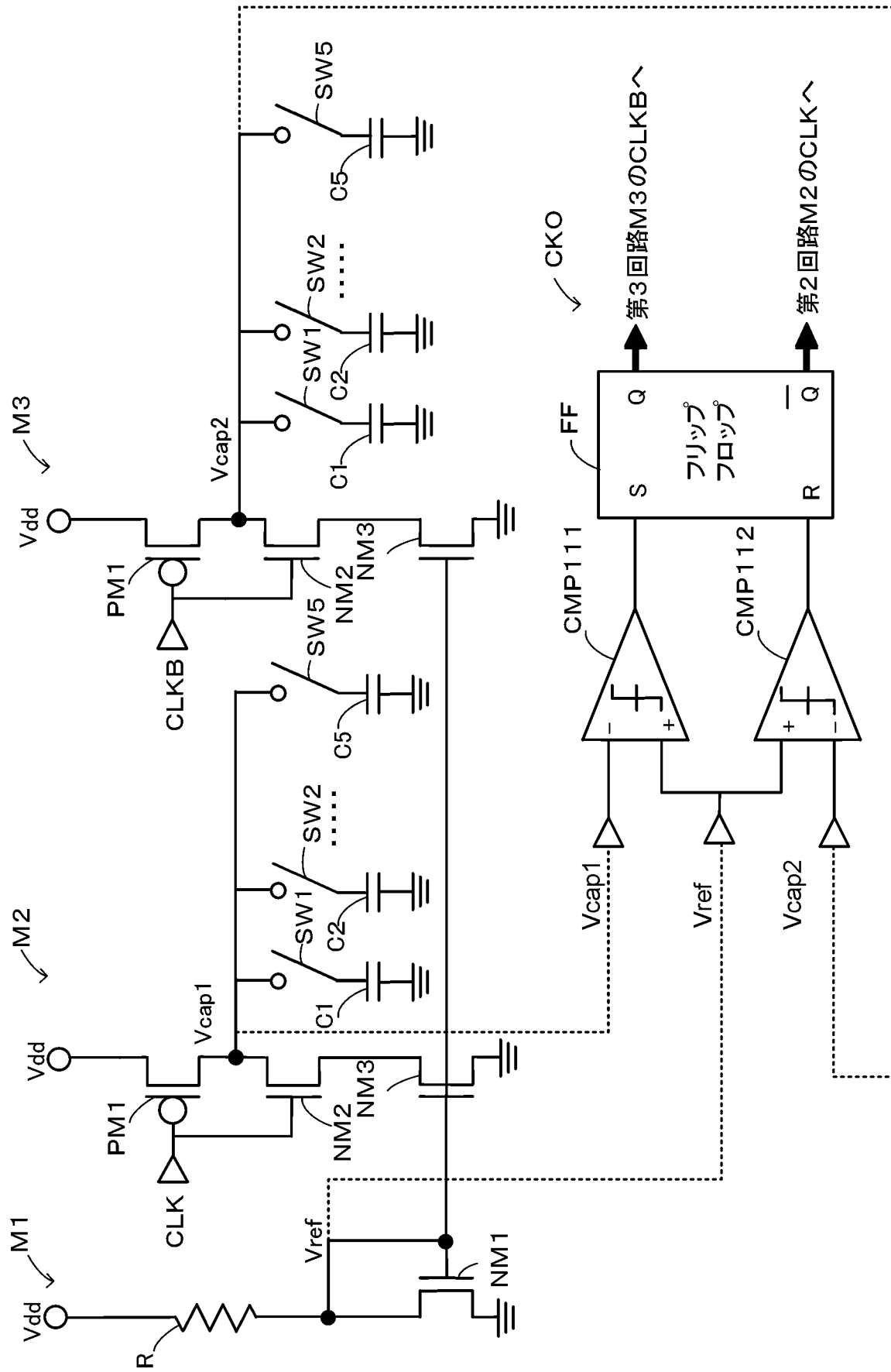
[図2]



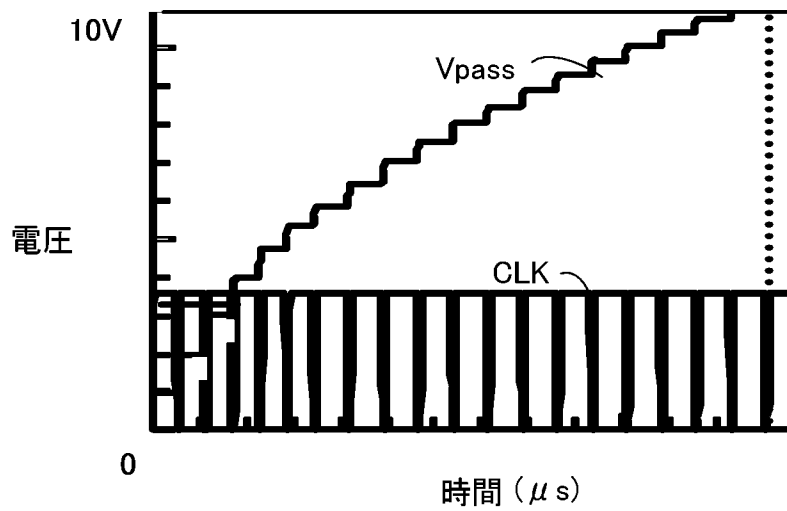
[図3]



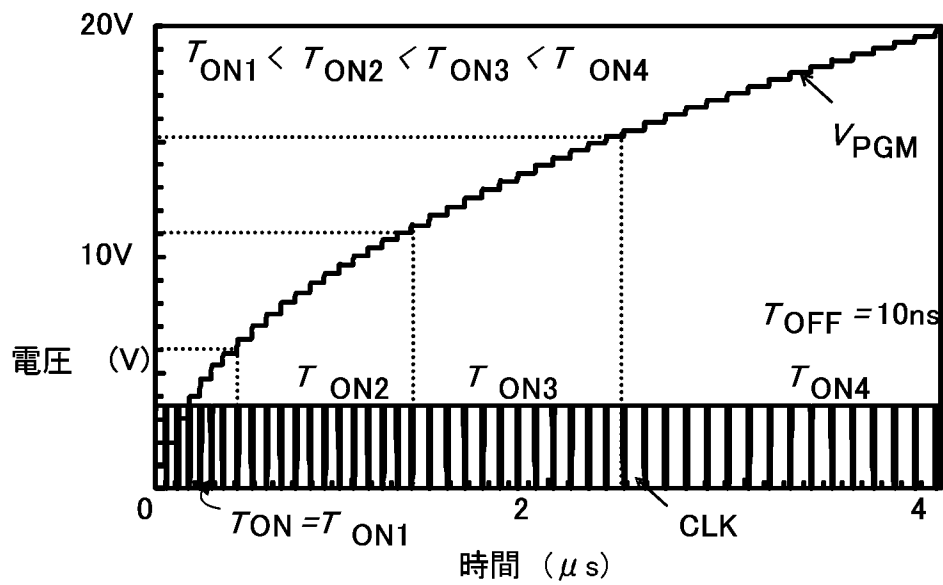
[図4]



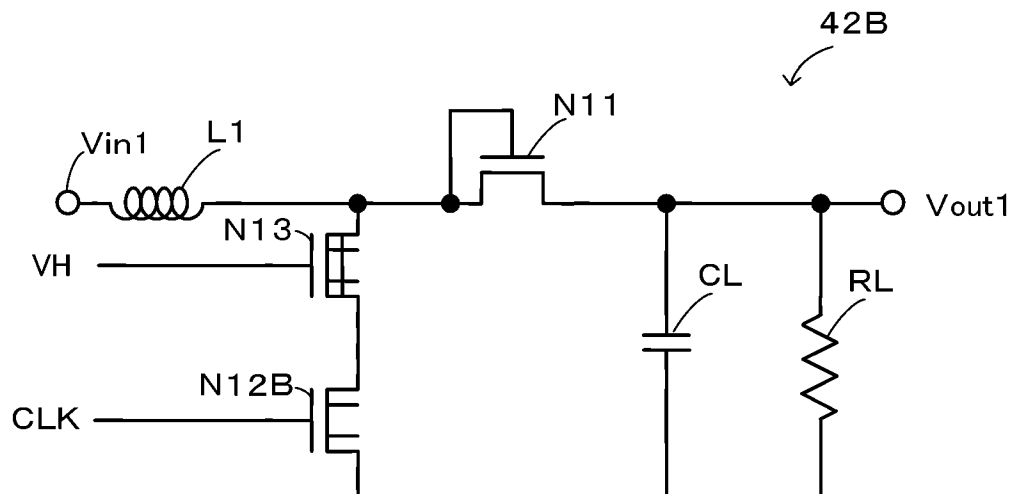
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062175

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01)i, G11C16/06(2006.01)i, H01L21/336(2006.01)i,
H01L21/822(2006.01)i, H01L21/8247(2006.01)i, H01L27/04(2006.01)i,
H01L27/10(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, G11C16/06, H01L21/336, H01L21/822, H01L21/8247, H01L27/04,
H01L27/10, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/047140 A1 (The University of Tokyo), 29 April 2010 (29.04.2010), fig. 2 & CN 102187400 A	1-7
A	JP 2008-71935 A (Toshiba Corp.), 27 March 2008 (27.03.2008), fig. 3 & US 2008/0067647 A1	1-7
A	JP 2008-206317 A (Institute of National Colleges of Technology, Japan), 04 September 2008 (04.09.2008), fig. 4 (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 July, 2012 (17.07.12)

Date of mailing of the international search report
24 July, 2012 (24.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062175

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L29/792(2006.01) i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M3/155(2006.01)i, G11C16/06(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8247(2006.01)i, H01L27/04(2006.01)i, H01L27/10(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M3/155, G11C16/06, H01L21/336, H01L21/822, H01L21/8247, H01L27/04, H01L27/10, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/047140 A1 (国立大学法人 東京大学) 2010.04.29, 図2等 & CN 102187400 A	1-7
A	JP 2008-71935 A (株式会社東芝) 2008.03.27, 図3等 & US 2008/0067647 A1	1-7
A	JP 2008-206317 A (独立行政法人国立高等専門学校機構) 2008.09.04, 図4等 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 7 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 貞雄

3 V

4 1 2 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8