



(21)申請案號：108129466

(22)申請日：中華民國 108 (2019) 年 08 月 19 日

(51)Int. Cl. :

G06F9/445 (2018.01)

G06F9/48 (2006.01)

(30)優先權：

2018/09/18	美國	62/733,077
2018/10/12	美國	62/745,261
2018/11/30	美國	16/207,080
2018/12/19	美國	16/226,629
2019/01/28	美國	16/260,087
2019/03/13	美國	62/818,096
2019/06/07	美國	16/435,442

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：品托 奧斯卡 P PINTO, OSCAR P. (US)；卡佳瑞 瑞姆達斯 P KACHARE,
RAMDAS P. (IN)

(74)代理人：林孟閱；盧珮君；陳怡如

申請實體審查：無 申請專利範圍項數：20 項 圖式數：19 共 89 頁

(54)名稱

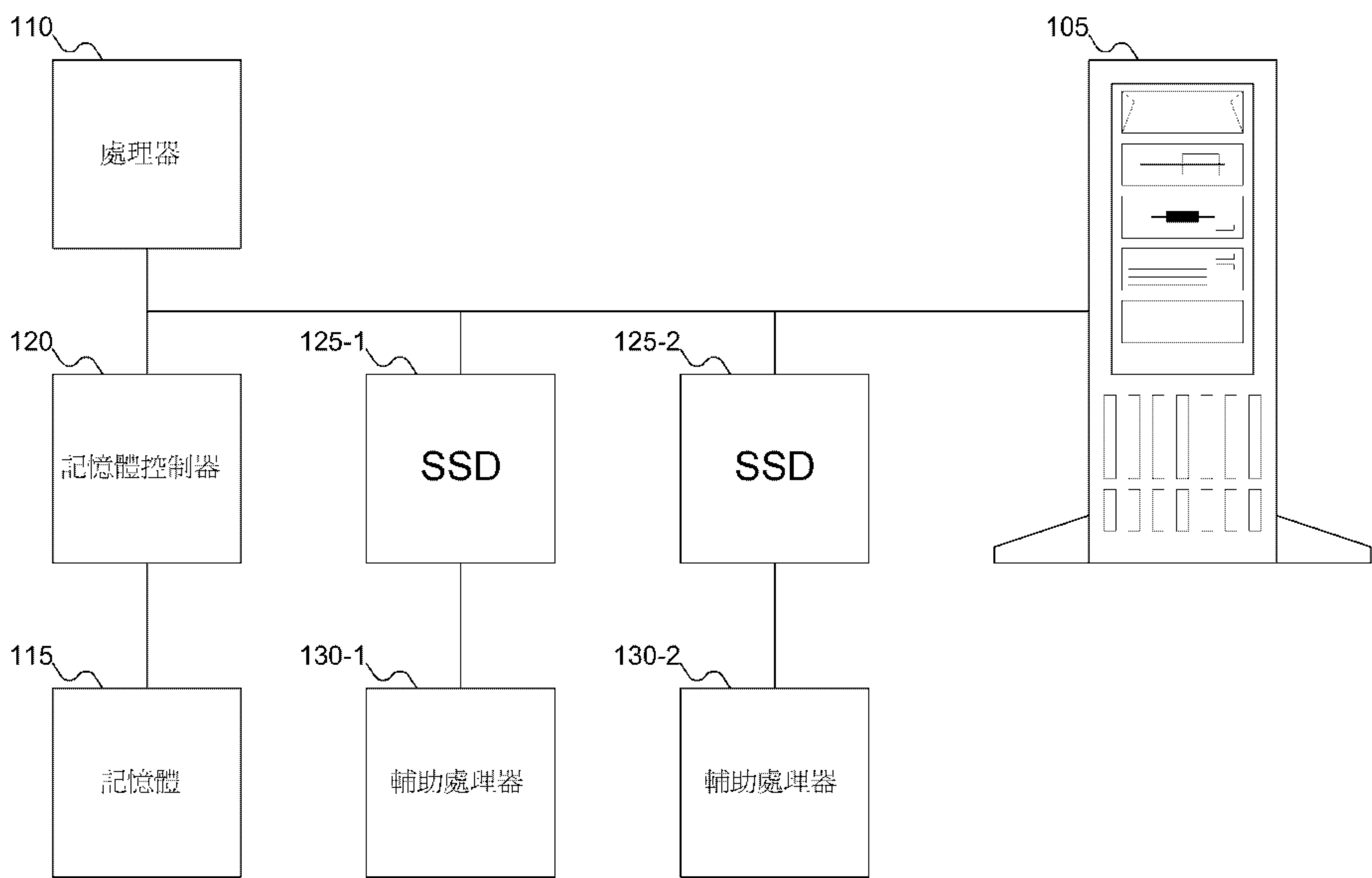
多裝置的配對系統及配對方法

(57)摘要

一種系統。系統可包含固態驅動器和輔助處理器。固態驅動器可包含用於資料的儲存裝置、用於唯一固態驅動器識別符的儲存裝置以及用於唯一輔助處理器識別符的儲存裝置。輔助處理器可包含用於唯一固態驅動器識別符的儲存裝置和用於唯一輔助處理器識別符的儲存裝置。硬體介面可准許固態驅動器與輔助處理器之間的通信。

A system is disclosed. The system may include a Solid State Drive (SSD) and a co-processor. The SSD may include storage for data, storage for a unique SSD identifier (ID), and storage for a unique co-processor ID. The co-processor may include storage for the unique SSD ID, and storage for the unique co-processor ID. A hardware interface may permit communication between the SSD and the co-processor.

指定代表圖：



【圖 1】

符號簡單說明：

105:機器/裝置

110:處理器

115:記憶體

120:記憶體控制器

125-1、125-2:儲存裝置/裝置/SSD

130-1、130-2:輔助處理器/裝置



202036282

【發明摘要】

【中文發明名稱】在多元件環境中場可程式閘陣列與固態式硬碟配對辨識機制

【英文發明名稱】MECHANISM TO IDENTIFY FPGA AND SSD PAIRING IN A MULTI-DEVICE ENVIRONMENT

【中文】一種系統。系統可包含固態驅動器和輔助處理器。固態驅動器可包含用於資料的儲存裝置、用於唯一固態驅動器識別符的儲存裝置以及用於唯一輔助處理器識別符的儲存裝置。輔助處理器可包含用於唯一固態驅動器識別符的儲存裝置和用於唯一輔助處理器識別符的儲存裝置。硬體介面可准許固態驅動器與輔助處理器之間的通信。

【英文】A system is disclosed. The system may include a Solid State Drive (SSD) and a co-processor. The SSD may include storage for data, storage for a unique SSD identifier (ID), and storage for a unique co-processor ID. The co-processor may include storage for the unique SSD ID, and storage for the unique co-processor ID. A hardware interface may permit communication between the SSD and the co-processor.

【指定代表圖】圖 1。

【代表圖之符號簡單說明】

- 105：機器/裝置
- 110：處理器
- 115：記憶體
- 120：記憶體控制器
- 125-1、125-2：儲存裝置/裝置/SSD
- 130-1、130-2：輔助處理器/裝置

【特徵化學式】無

【發明說明書】

【中文發明名稱】在多元件環境中場可程式閘陣列與固態式硬碟配對辨識機制

【英文發明名稱】MECHANISM TO IDENTIFY FPGA AND SSD PAIRING IN A MULTI-DEVICE ENVIRONMENT

【技術領域】

【0001】 本發明概念大體上涉及電腦系統，且更確切地說，涉及包含儲存裝置和輔助處理器的系統。

[相關申請案的交叉參考]

【0002】 本申請是 2019 年 1 月 28 日申請的美國專利申請第 16/260,087 號的部分接續申請，所述申請是 2018 年 12 月 19 日申請的美國專利申請第 16/226,629 號的部分接續申請，所述申請是 2018 年 11 月 30 日申請的美國專利申請第 16/207,080 號的接續申請，所述申請要求 2018 年 10 月 12 日申請的美國臨時專利申請第 62/745,261 號的權益，所有上述申請出於所有目的以引用的方式併入本文中。

【0003】 本申請要求 2018 年 9 月 18 日申請的美國臨時專利申請第 62/733,077 號和 2019 年 3 月 13 日申請的美國臨時專利申請第 62/818,096 號的權益，所述兩個申請出於所有目的以引用的方式併入本文中

【先前技術】

【0004】 出於外觀尺寸、功率、密度和性能益處，通常（但未必總是）將現場可程式閘陣列（Field Programmable Gate Array；FPGA）和固態驅動器（Solid State Drive；SSD）子裝置封裝於一個裝置外殼中。FPGA 和 SSD 在主機的周邊元件連接（Peripheral Component Interconnect；PCI）視圖中顯現為獨立物理功能（physical function；PF）。FPGA 和 SSD 子裝置也群集於不具有相互關係的獨立輸入/輸出（Input/Output；I/O）堆疊（具體來說，儲存裝置和 OpenCL）上。

【0005】 包含 FPGA 和 SSD 裝置二者的外觀尺寸將顯示三個物理功能（PF）：資料 PF（也稱為使用者空間 PF）、管理 PF 以及非揮發性儲存快速（Non-Volatile Memory Express；NVMe）PF。前兩個 PF 用於 FPGA；第三 PF 用於 SSD。

【0006】 在機器僅包含一個 FPGA/SSD 配對的情況下，獨立 PF 對於配對識別不是問題（例如在 x86 主機伺服器中）。但在（又，例如在密集地群集的 x86 主機伺服器（a densely populated x86 host server）中）存在大於一個裝置時，不存在對哪個 FPGA 與哪個 SSD 配對的指示。當啟用 PCIe 直通且多功能裝置顯現為多個單功能裝置時，在虛擬化環境中的問題更加嚴重。

【0007】 對等（peer-to-peer；P2P）計算需要配對才能正確地運行。在不配對的情況下，p2p 將失敗，這是由於資料可載入到錯誤

的 FPGA 裝置環境中，從而導致硬體內核不具有正確的資料。當主機使用者不可在配對需求中識別應用程式時，問題變得嚴重。

【0008】 仍需要建立 FPGA 和其它輔助處理器與儲存裝置（例如 SSD）的配對。

【發明內容】

【0009】 根據本發明公開的實施例的系統包括：固態驅動器，包含用於資料的第一儲存裝置、用於唯一固態驅動器識別符的第二儲存裝置以及用於唯一輔助處理器識別符的第三儲存裝置；輔助處理器，包含用於所述唯一輔助處理器識別符的第四儲存裝置和用於所述唯一固態驅動器識別符的第五儲存裝置；以及硬體介面，位於所述固態驅動器與所述輔助處理器之間。

【圖式簡單說明】

【0010】

圖 1 繪示根據本發明概念的一實施例的設計成支援儲存裝置與輔助處理器的配對的機器。

圖 2 繪示圖 1 的輔助處理器的不同形式。

圖 3 繪示圖 1 的機器的額外細節。

圖 4 繪示圖 1 的裝置的作業系統的視圖。

圖 5 繪示圖 1 的配備成儲存關於其配對的資訊的裝置。

圖 6 繪示查詢圖 1 的 SSD 和圖 1 的輔助處理器且將裝置配對的作業系統。

圖 7 繪示在本發明概念的一實施例中的呈單個外觀尺寸的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 8 繪示在本發明概念的另一實施例中的呈單個外觀尺寸的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 9 繪示根據本發明概念的一實施例的建立其配對的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 10 繪示根據本發明概念的另一實施例的建立其配對的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 11 繪示根據本發明概念的一個實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第一拓樸。

圖 12 繪示根據本發明概念的另一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第二拓樸。

圖 13 繪示根據本發明概念的又一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第三拓樸。

圖 14 繪示根據本發明概念的又一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第四拓樸。

圖 15 繪示根據本發明概念的一實施例的供圖 1 的 SSD(或圖 1 的輔助處理器)向其合作夥伴查詢配對資料的實例過程的流程圖。

圖 16 繪示根據本發明概念的一實施例的供圖 1 的 SSD(或圖 1 的輔助處理器)從其合作夥伴接收配對資料的查詢的實例過程的流程圖。

圖 17 繪示根據本發明概念的一實施例的用於圖 1 的 SSD 和/或圖 1 的輔助處理器以對關於其和其配對合作夥伴的來自作業系

統的查詢作出回應的實例過程的流程圖。

圖 18 繪示根據本發明概念的一實施例的用於圖 5 的作業系統以查詢圖 1 的 SSD 和圖 1 的輔助處理器且將它們配對的實例過程的流程圖。

圖 19 繪示根據本發明概念的一實施例的用於圖 5 的作業系統以對來自應用程式的關於裝置的配對資訊的查詢作出回應的實例過程的流程圖。

【實施方式】

【0011】 現在將詳細參考本發明概念的實施例，在附圖中說明所述實施例的實例。在以下詳細描述中，闡述眾多具體細節以實現對本發明概念的透徹理解。然而，應理解，本領域的普通技術人員可以在沒有這些具體細節的情況下實踐本發明概念。在其它情況下，未詳細描述眾所周知的方法、過程、元件、電路和網路，以免不必要地混淆實施例的各方面。

【0012】 應理解，雖然術語「第一」、「第二」等可在本文中用於描述各種元件，但這些元件不應受這些術語限制。這些術語僅用以將一個元件與另一元件區分開來。舉例來說，在不脫離本發明概念的範圍內，第一模組可以稱為第二模組，且類似地，第二模組可以稱為第一模組。

【0013】 本文中用於本發明概念的描述中的術語是僅出於描述特定實施例的目的且並不希望限制本發明概念。除非上下文另外

明確指示，否則如本發明概念和所附發明申請專利範圍的描述中所使用，單數形式「一（a/an）」和「所述（the）」旨在也包含複數形式。還將理解，如本文中所使用的術語「和/或」指代且涵蓋相關聯的所列專案中的一個或多個的任何和所有可能組合。應進一步理解，當在本說明書中使用時，術語「包括（comprises/comprising）」指定存在所陳述的特徵、整數、步驟、操作、元件和/或組件，但不排除存在或添加一或多個其它特徵、整數、步驟、操作、元件、組件和/或其群組。圖式中的元件和特徵未必是按比例繪製。

【0014】 當大於一個固態驅動器（SSD）/現場可程式閘陣列（FPGA）裝置配對在相同伺服器上可用時，存在主機應用使用者可在兩個獨立的此類配對上選擇對等緩衝器和 SSD 的可能性。這種選擇將造成資料損壞和加速結果不正確。SSD/FPGA 配對顯示三個物理功能（PF）：資料 PF（也稱為使用者空間）（用於 FPGA）、管理 PF（用於 FPGA）以及非揮發性儲存快速（NVMe）PF（用於 SSD）。如果所有的三個 PF 都基於相同裝置，那麼可減輕這種問題。但使用 Xilinx 3 埠交換機設計方法（Xilinx 3-port switch design approach），FPGA 和 SSD 可顯示為不具有關於其物理關聯的細節的獨立裝置。（Xilinx 是賽靈思公司的註冊商標）。由於 Xilinx 向其應用程式顯示的 OpenCL 軟體介面，因此問題變得更加複雜。軟體介面使匯流排/裝置/功能（bus/device/function；BDF）細節虛擬化且用邏輯編號（例如 0、1、2 等等）表示每個 FPGA

裝置。軟體級別下的這種額外間接完全混淆先前可在周邊元件連接（PCI）BDF 級別下推導出的配對關聯。應用程式或使用者必須瞭解 PCI BDF 級別下的多功能裝置關聯、Xilinx 驅動器內部以及檔案系統級映射複雜性。

【0015】 這種佈置容易出錯且其自身基於所使用的環境顯示出不同問題。對於用戶來說，由於對等請求仍然可成功，因此這種佈置的調試也可以是繁瑣的。

【0016】 密集地群集的系統

【0017】 在上述情況下，期望所有裝置位於相同的根複合體下。但密集地群集有 SSD/FPGA 裝置的系統可能需要使用根據連接到每個 CPU 插座的每個根複合體配置的大於一個 PCI 快速（PCI Express；PCIe）交換機。利用可用於虛擬化環境中的存取控制服務（Access Control Service；ACS）和 CPU/晶片組的不同支持，對等未得到統一支持，從而為應用用戶理解拓撲中的這些細微差別增加了負擔。

【0018】 從 SSD 到 P2P 依需撥號選路（Dial on Demand Routing；DDR）的 p2p 傳輸可因其可能不受支持而失敗。這種結果是由這一事實造成的：不需要 PCI 根複合體支援在根埠之間轉發包。這種設計選擇在實踐中對於儲存加速環境中的 p2p 使用率較有利，但對於用戶體驗不利。

【0019】 密集的 SSD/FPGA 部署可由各種系統供應商內置有任何因特爾（Intel）/AMD 解決方案，且可存在關於系統將如何交互的

有限控制或不存在對其的控制。這個事實可對起作用的和不起作用的產生複雜度。

【0020】 虛擬化環境中的 PCI 直通

【0021】 在某些 Linux 虛擬化環境中，多功能裝置（例如 SSD/FPGA 裝置）在用直通屬性映射到虛擬機器（Virtual Machine；VM）時可顯現為針對每個物理功能的獨立的單功能裝置。因此，可將 SSD 與 FPGA 之間顯示的三個 PF 映射為其間不具有關聯的三個單功能裝置。

【0022】 不具有 PCI 知識的用戶

【0023】 除了以上情況之外，應用使用者可能不夠瞭解 BDF 關聯。這個事實可能是由於使用者是不需要用這種級別的系統細節教育的高級應用用戶。這種問題揭露可能需要高級抽象來解決這種知識差距的情況。

【0024】 所提出的解決方案

【0025】 通過提供近儲存加速且將其自身與其它獨立式 SSD 和 FPGA 區分開，SSD/FPGA 裝置可視為新的 SSD 裝置類別。新裝置可能需要識別其自身的明確方式，即，其是具有近儲存的 FPGA 還是具有近加速的 NVMe SSD？解決方案可包含：

【0026】 低級裝置介面變更，包含：FPGA 與 SSD 之間的私用硬體介面類別系統管理匯流排（System Management Bus；SMBus），用於共用特性；NVMe SSD 韌體的較小更新，用於適應加速屬性；以及對 FPGA 韌體的更新，用於查詢 SSD 且通告 SSD 識別配對屬

性。

【0027】 高級軟體介面變更，包含：FPGA 的介面，所述介面可查詢低級配對細節，向現有軟體路徑顯示 NVMe 識別控制器新特性，且增強可管理性軟體模組以向 FPGA 和 SSD 查詢配對。

【0028】 啟用 API 以用於採用生態系統，包含可通過裝置名、檔案名等識別配對的應用介面調用。

【0029】 這些變更應足夠小，以視需要將 NVMe SSD 保持為通用。舉例來說，可對現有 NVMe SSD 進行重新程式設計以使其作為 SSD 適應於 SSD/FPGA 裝置。

【0030】 更改 NVMe SSD 以便與 FPGA 配對

【0031】 較小硬體變更使得 FPGA 和 SSD 能夠彼此對話。

【0032】 SSD 控制器可支援兩個 SMBus 主介面(如下文參看圖 7 到圖 8 和隨附文本所繪示且論述)。一個 SMBus 主介面可通過來自板管理控制器 (Board Management Controller ; BMC) 或此類管理實體的連接器連接到外部 SMBus (帶外 (out-of-band ; OOB))。SSD 上的第二 SMBus 主埠可連接到 FPGA 裝置上的從 SMBus 埠或主 SMBus 埠。帶外 (OOB) SMBus 介面可用於實施管理協定，例如 NVMe 管理介面 (NVMe Management Interface ; NMVe-MI)。SSD 控制器與 FPGA 之間的內部 SMBus 介面可專門用於這兩個裝置之間的通信。SSD 控制器韌體可向 FPGA 裝置查詢其唯一識別資訊。這種介面還可用於 FPGA 裝置的配置、狀態以及由 SSD 控制器根據 BMC 或主機的指導對所述 FPGA 裝置進行監視。當主機

或 BMC 使用管理協定（例如 SSD 控制器的 NVMe-MI）來查詢 FPGA 識別資訊時，SSD 控制器又可從 FPGA 提取所需資訊並將所述資訊返回到主機或 BMC。

【0033】 SSD 控制器可使用基於消息的協定來與 FPGA 裝置通信。SSD 控制器可將各種命令消息寫入到 FPGA 的從 SMBus 埠，且隨後輪詢回應可用性。當 FPGA 回應訊息準備就緒時，SSD 控制器讀取出回應訊息。當 FPGA 需要 SSD 控制器的關注時，FPGA 可設置由 SSD 控制器週期性地輪詢的標誌。

【0034】 SSD 韌體所適應的較小變更可支援以上硬體設置。PCIe 裝置初始化完成首先在多功能裝置內的嵌入式作業系統（operating system；O/S）環境中發生。稍後，多功能裝置在 x86 主機環境中再次初始化。

【0035】 作為 PCIe init 階段的部分，軟體元件（SSD 裝置中的韌體）可查詢並發現多功能裝置的本地裝置和附接裝置。在 NVMe SSD 和 FPGA 元件的初始化完成後，軟體元件可向 FPGA 查詢其裝置細節，所述裝置細節提供唯一序號和產品部件編號。這些細節可在其記憶體映射的 NVMe 基址暫存器（Base Address Register；BAR）空間中的私用偏移處寫入到 SSD 暫存器。在重定之後但在使得 PCI 配置存取適應這種更新之前，可由 SSD 韌體使得寫入窗口可用。這將更新保持在內部且保持在嵌入式 O/S 的控制內。

【0036】 NVMe 規格限定識別控制器和命名空間命令以發現 NVMe SSD 的能力。作為這些能力的部分，控制器可限定以下內

容以通告其加速能力。

【0037】 表 1：識別控制器資料結構

位元組	任選/必選	描述
4095:4031	O（供應商專有的）	加速能力

【0038】 表 2：擴展特徵

位元組	類型	復位	描述
3:0	RO	0h	供應商簽名
4	RO	1h	所存在的擴展特徵
6:5	RO	Imp.專有	計算類型：FPGA
10:7	RO	Imp.專有	裝置計數，專用/共用，啟用
12:11	RO	Imp.專有	計算類型：cpu-ARM
16:13	RO	Imp.專有	裝置計數，專用/共用，啟用

【0039】 表 3：加速能力

位元組	類型	復位	描述
3:0	RO	0h	供應商簽名
4	RO	1h	加速裝置啟用且可用
6:5	RO	100h	主要版本，次要版本
7	RO	1h	當前狀態
9:8	RO	0h	保留
25:10	RO	Imp.專有	如 FPGA VPD 細節中所報告的加速部件編號
29:26	RO	Imp.專有	部件供應商 ID，裝置 ID
33:30	RO	Imp.專有	加速特徵 1（TBD）
63:34	RO	0h	保留

【0040】 更改 FPGA 以通告 SSD 裝置配對

【0041】 類似於 NVMe SSD，FPGA 可由嵌入式 O/S 組件程式設計有唯一 SSD 細節。這些細節可通過介面來供 x86 主機軟體元件使用。

【0042】 用於配對的嵌入式 O/S 組件

【0043】 軟體元件（也是 SSD 中的韌體）可查詢並發現多功能裝置的本地裝置和附接裝置。在 NVMe SSD 和 FPGA 元件的初始化完成後，軟體元件可向 FPGA 查詢其裝置細節，所述裝置細節提供唯一序號和產品部件編號。這些細節可在其記憶體映射的 NVMe BAR 空間中的私用偏移處寫入到 SSD 暫存器。類似地，軟體元件可用唯一 SSD 細節對 FPGA 進行程式設計，使得其與彼此配對。

【0044】 SMBus 上的上電/重定時的樣本枚舉

【0045】 1. FPGA 向 SSD 發出 NVMe（讀取識別控制器）

【0046】 2. SSD 用識別資料進行回應

【0047】 3. FPGA 保存序號、型號細節

【0048】 4. FPGA 發出 NVMe（設置識別資料—偏移擴展特徵—供應商專有的 3072 位元組到 4095 位元組），包含：

【0049】 所存在的擴展特徵

【0050】 計算類型：FPGA、計數、專用/共用

【0051】 計算類型：cpu-ARM、計數、專用/共用

【0052】 5. SSD 確認 NVMe（設置識別資料）

【0053】 6. FPGA 發出 NVMe(設置 LogPage-compute_FPGA)，包含：

【0054】 序號、型號

【0055】 硬體能力—LUT、BRAM、URAM、Reg、DSP、DRAM

【0056】 7. SSD 確認 NVMe（設置 LogPage-compute_FPGA）

【0057】 專用介面可存在於 x86 主機軟體與這種元件之間以用於對配對和其它特徵的額外查詢。

【0058】 可管理性軟體更改為適應新配對

【0059】 BMC 通常與 SMBus 上的 SSD 介接。這種介面可擴展為適應 FPGA 配對，且還適應針對可用性和可管理性的特徵和其它屬性。

【0060】 樣本流：

【0061】 1. BMC 向 SSD 發出 NVMe（讀取 LogPage Temp2）

【0062】 2. SSD 向 FPGA 請求讀取溫度感測器

【0063】 3. FPGA 返回溫度資料

【0064】 4. SSD 返回 LogPage 資料

【0065】 5. BMC 向 SSD 發出 NVMe（讀取 LogPage FPGA 利用率）

【0066】 6. SSD 向 FPGA 請求讀取 FPGA 利用率

【0067】 7. FPGA 返回利用率資料

【0068】 8. SSD 返回 LogPage 資料

【0069】 用於配對的 x86 主機軟體元件

【0070】 這種軟體元件可供用作庫，且可在多功能裝置中共存的 NVMe SSD 與 FPGA 之間提供配對細節。元件可對 x86 SDAccel 執行時間驅動器和庫起作用以提供配對細節。

【0071】 到今天為止的 OpenCL 介面不顯示裝置的 BDF 級別細節，而是用從偏移 0 開始的編號提供邏輯抽象。介面可由提供商在內

部進行更改，以查詢僅在硬體中顯示的低級細節，且這樣做還可以為計算端提供配對細節。此處，供應商可對介面變更負責。

【0072】 用於查詢配對的命令列工具

【0073】 命令列工具可在不具有任何選項的情況下運行時提供細節，例如下表 4 中所繪示的那些細節。兩個 I/O 堆疊和其可程式設計裝置參考反映於細節中。NVMe SSD/dev/nvme2 在指數零下與加速裝置配對。應注意，如在這種伺服器上所繪示，SSD 裝置次序並未隨著 FPGA 加速裝置而遞增。

【0074】 表 4：命令列工具輸出

裝置配對資訊：	
NVMe 裝置	加速裝置 (clGetDeviceIDs 指數)
/dev/nvme2	0
/dev/nvme1	1

【0075】 命令列工具還可支援詳細資訊選項 (verbose option)，所述詳細資訊選項顯示對像系統管理員這樣的現場個人 (field personal) 而言更為重要的額外細節。這些額外細節可包含 NVMe SSD 屬性，這些屬性在這種類別的裝置上是唯一的，例如序號、模型和韌體細節以及命名空間和多分區映射資訊。細節的唯一集合還包含可識別裝置插入的槽位元的 PCIe 裝置鏈。下表 5 繪示此類資訊的實例。

【0076】 表 5：命令列工具輸出

裝置配對資訊：	
NVMe 裝置	加速裝置

(clGetDeviceIDs 指數)	
/dev/nvme0	
.....0	
\-[0000:3d:00.0]	\-[0000:3e:00.0]-[0000:3e:00.1]
---> [PCIe EP][交換 DP Slot#0][交換 UP][RP 槽#1][Numa 節點 0]	
+-型號： NVMe SSD 型號信息	
+-序列#： 0123456789ABCDEF0000	
+-Firmware_rev： FPGASSD0	
+-映射： /dev/nvme0n1p1 /dev/nvme0n1	
/dev/nvme2	1
.....1	
\-[0000:8e:00.0]	\-[0000:8f:00.0]-[0000: 8f:00.1]
---> [PCIe EP][交換 DP 槽#0][交換 UP][RP 槽#7][Numa 節點 1]	
+-型號： NVMe SSD 型號信息	
+-序列#： 0123456789ABCDEF0000	
+-Firmware_rev： FPGASSD0	
+-映射： /dev/nvme2n1p1 /dev/nvme2n1	

【0077】 對於裝置/dev/nvme0，將 SSD/FPGA 裝置插入到同樣接近於 numa 節點 0 CPU 的槽號 1 中。這種資訊可以用於現場級分析以及可在應用級處用於 CPU 親和力。這種資訊還可在包含於深層嵌模式 PCIe 交換結構中時用於理解裝置分級結構，且還可隔離裝置問題：例如對於系統管理員。

【0078】 優勢

【0079】 具有針對 SSD/FPGA 裝置的配對解決方案有益於使此類裝置更可用。短期來看，這種配對解決方案可解決識別差距（identification gap）。長期來看，這種配對解決方案可說明在如何推進加速裝置方面做出決策。這種解決方案可以用於其它加速器類型，例如 GPU、嵌入式 CPU(比如高級精簡指令集電腦(Reduced

Instruction Set Computer ; RISC) 機器 (Advanced Reduced Instruction Set Computer Machine ; ARM)、RISC-V、張量處理單元 (Tensor Processing Unit ; TPU) 和基於特定硬體的加速器)、NVMe 規格擴展或一些其它機制。

【0080】 圖 1 繪示根據本發明概念的一實施例的設計成支援儲存裝置與輔助處理器的配對的機器。在圖 1 中，繪示機器 105。機器 105 可包含處理器 110。處理器 110 可以是任何多種處理器：例如因特爾至強 (Intel Xeon)、賽揚 (Celeron)、安騰 (Itanium) 或凌動處理器 (Atom processor)、AMD 皓龍處理器 (Opteron processor)、ARM 處理器等。雖然圖 1 在機器 105 中繪示單個處理器 110，但機器 105 可包含任何數目的處理器，所述處理器中的每一個可以是單核處理器或多核處理器，且可以任何所需組合混合。

【0081】 機器 105 還可包含記憶體 115。記憶體 115 可以是任何種類的記憶體，例如快閃記憶體、動態隨機存取記憶體 (Dynamic Random Access Memory ; DRAM)、靜態隨機存取記憶體 (Static Random Access Memory ; SRAM)、永久性隨機存取記憶體、鐵電隨機存取記憶體 (Ferroelectric Random Access Memory ; FRAM) 或非揮發性隨機存取記憶體 (Non-Volatile Random Access Memory ; NVRAM)，例如磁阻隨機存取記憶體 (Magnetoresistive Random Access Memory ; MRAM) 等。記憶體 115 也可以是不同記憶體類型的任何所需組合。記憶體 115 可由記憶體控制器 120 管理。

【0082】 機器 105 還可包含儲存裝置 125-1 和儲存裝置 125-2，

所述儲存裝置可由裝置驅動器（未繪示）控制。儲存裝置 125-1 和儲存裝置 125-2 可以是任何所需形式的儲存裝置。舉例來說，儲存裝置 125-1 和儲存裝置 125-2 可以是固態驅動器（SSD），例如非揮發性儲存快速（NVMe）SSD、硬碟驅動器或任何其它所需形式的儲存裝置。此外，儲存裝置 125-1 和儲存裝置 125-2 可具有不同類型、製造商和/或模型：例如，儲存裝置 125-1 可能是 SSD，而儲存裝置 125-2 可能是硬碟驅動器。

【0083】 機器 105 還可包含輔助處理器 130-1 和輔助處理器 130-2。輔助處理器 130-1 和輔助處理器 130-2 可提供任何所需功能以支援儲存裝置 125-1 和儲存裝置 125-2。舉例來說，輔助處理器 125-1 可提供如下功能：資料加速、資料刪除重複、資料完整性、資料加密、資料壓縮和/或擦除編碼。輔助處理器 130-1 和輔助處理器 130-2 可各自提供僅一個此類功能，或輔助處理器 130-1 和輔助處理器 130-2 可各自提供多個此類功能。可使用任何所需元件來實施輔助處理器 130-1 和輔助處理器 130-2。圖 2 繪示輔助處理器 130-1 和輔助處理器 130-2 的一些實例實施方案，例如現場可程式閘陣列（FPGA）205、專用積體電路（Application-Specific Integrated Circuit；ASIC）210、圖形處理單元（Graphics Processing Unit；GPU）215、張量處理單元（TPU）220、擦除編碼控制器 225 和小型處理器核心 230，但本發明概念的實施例也可包含輔助處理器 130-1 和輔助處理器 130-2 的其它實施方案。

【0084】 返回到圖 1，雖然圖 1 繪示兩個儲存裝置，其中每個儲

存裝置具有一個輔助處理器，但本發明概念的實施例可視需要包含任何數目的儲存裝置和用於每個儲存裝置的任何數目的輔助處理器，所述儲存裝置和輔助處理器可具有不同類型。此外，在本發明概念的一些實施例中，一些儲存裝置可能具有輔助處理器，而其它儲存裝置可能不具有輔助處理器。但正如僅一個儲存裝置和一個輔助處理器的情況，不必考慮關於將儲存裝置與輔助處理器配對的問題，本發明概念的大部分實施例包含具有對應輔助處理器的至少兩個儲存裝置。在本文文件的剩餘部分中，術語「配對」旨在指代其中配對中的一個裝置支援另一裝置的裝置，且不應理解為僅將配對限制於兩個裝置。舉例來說，如果儲存裝置包含 FPGA 和 GPU 二者，那麼所有的三個裝置可視為「配對」。（可替代地，FPGA 和 GPU 可分別視為與公共儲存裝置配對，若需要，保留 FPGA 與待間接確定的 GPU 之間的關聯。）

【0085】 雖然圖 1 將機器 105 描繪為伺服器（其可以是獨立式伺服器或機架伺服器），但本發明概念的實施例可包含（但不限於）任何所需類型的機器 105。舉例來說，機器 105 可用臺式電腦或膝上型電腦或可得益于本發明概念的實施例的任何其它機器替換。機器 105 也可包含專用可攜式電腦器、平板電腦、智慧手機和其它電腦器。

【0086】 圖 3 繪示圖 1 的機器的額外細節。在圖 3 中，通常，機器 105 包含一或多個處理器 110，所述一或多個處理器可包含記憶體控制器 120 和時鐘 305，所述記憶體控制器和時鐘可用於協調裝

置 105 的元件的操作。處理器 110 還可以連接到記憶體 115，例如，所述記憶體可包含隨機存取記憶體（random access memory；RAM）、唯讀記憶體（read-only memory；ROM）或其它狀態保持介質。處理器 110 還可以連接到儲存裝置 125 和網路連接器 310，所述網路連接器可以是例如乙太網連接器或無線連接器。處理器 110 也可連接到匯流排 315，使用者介面 320 和輸入/輸出介面埠可附接到所述匯流排，可使用輸入/輸出引擎 325 以及其它元件來管理所述輸入/輸出介面埠。

【0087】 圖 4 繪示圖 1 的裝置的作業系統的視圖。在常規系統中，作業系統 405 使用虛擬識別符（identifier；ID）410、虛擬識別符 415、虛擬識別符 420 和虛擬識別符 425 來識別 SSD 125-1 和 SSD 125-2 以及輔助處理器 130-1 和輔助處理器 130-2。（從此處開始，論述的重點是作為可能包含輔助處理器的儲存裝置的具體實例的 SSD，但本發明概念的實施例仍然可擴展到除 SSD 外的類型的儲存裝置。）可在通過控制器（例如周邊元件連接（PCI）枚舉器）枚舉裝置期間分配虛擬 ID 410、虛擬 ID 415、虛擬 ID 420 和虛擬 ID 425，或可將它們分配作為「構建」圖 1 的機器 105 內的虛擬機器（VM）的部分（或二者）。無論哪種方式，作業系統 405 僅具有作為虛擬 ID 410、虛擬 ID 415、虛擬 ID 420 和虛擬 ID 425 的結果而提供的資訊。借助於 SSD 125-1 和 SSD 125-2 是 SSD 的事實，作業系統 405 可以知道分配有虛擬 ID 410 的 SSD 125-1 可包含資料儲存裝置 430，且可以知道分配有虛擬 ID 415 的 SSD 125-2 可

包含資料儲存裝置 435。但作業系統 405 可不知道分配有虛擬 ID 420 的輔助處理器 130-1 打算支持分配有虛擬 ID 410 的 SSD 125-1 的操作，或可不知道分配有虛擬 ID 425 的輔助處理器 130-2 打算支援 SSD 125-2 的操作。

【0088】 圖 5 繪示圖 1 的配備成儲存關於其配對的資訊的裝置。在圖 5 中，裝置 125-1、裝置 125-2、裝置 130-1 和裝置 130-2 可包含用於與配對有關的各種資訊片段的儲存裝置。因此，SSD 125-1 可包含用於關於其自身和其配對輔助處理器（輔助處理器 130-1）的資訊的儲存裝置 505-1 和儲存裝置 505-2，SSD 125-2 可包含用於關於其自身和其配對輔助處理器（輔助處理器 130-2）的資訊的儲存裝置 510-1 和儲存裝置 510-2，輔助處理器 130-1 可包含用於關於其自身和其配對 SSD（SSD 125-1）的資訊的儲存裝置 515-1 和儲存裝置 515-2，且輔助處理器 130-2 可包含用於關於其自身和其配對 SSD（SSD 125-2）的資訊的儲存裝置 520-1 和儲存裝置 520-2。在本發明概念的一些實施例中，儲存裝置 505-1、儲存裝置 505-2、儲存裝置 510-1、儲存裝置 510-2、儲存裝置 515-1、儲存裝置 515-2、儲存裝置 520-1 以及儲存裝置 520-2 中所儲存的資訊可包含每個裝置所獨有的資訊，例如全域唯一 ID（globally unique ID；GUID）的序號；在本發明概念的其它實施例中，儲存裝置 505-1、儲存裝置 505-2、儲存裝置 510-1、儲存裝置 510-2、儲存裝置 515-1、儲存裝置 515-2、儲存裝置 520-1 以及儲存裝置 520-2 可儲存在配對裝置之間一致同意的資訊，所述資訊是唯一的

或幾乎可確定是唯一的。舉例來說，存在通過不安全連接使得雙方同意共用秘密以用於確保各方之間的通信安全的演算法：SSD 125-1 和輔助處理器 130-1 可使用此類演算法來同意可用作一致同意的資訊的共用秘密。或 SSD 125-1 和輔助處理器 130-1 可在製造時（當它們進行物理配對時）分配有公共資料段。應注意，如果配對裝置使用其它裝置將不會使用的一些唯一資訊，那麼裝置 125-1、裝置 125-2、裝置 130-1 和裝置 130-2 至少出於配對目的可能僅需要儲存所述唯一資訊，而不是各自儲存關於配對中的每個裝置的資訊。

【0089】 當作業系統 405 向單獨的裝置查詢關於它們自身的資訊時，每個裝置還可返回關於其配對的資訊。因此，例如，SSD 125-1 可將其自身的資訊儲存在儲存裝置 505-1 中且將關於輔助處理器 130-1 的資訊儲存在儲存裝置 505-2 中；類似地，輔助處理器 130-1 可將其自身的資訊儲存在儲存裝置 515-2 中且將關於 SSD 125-1 的資訊儲存在儲存裝置 515-1 中。隨後，作業系統 405 可使用來自儲存裝置 505-1、儲存裝置 505-2、儲存裝置 515-1 以及儲存裝置 515-2 的資訊來確定 SSD 125-1 與輔助處理器 130-1 是配對的。此類資訊可以是例如各種裝置的序號或期望獨有的其它資訊，例如 GUID 或計算得到的共用秘密。舉例來說，如果兩個（或大於兩個）裝置各自提供其自身的序號，且其配對的序號與所述序號正如期望一樣對應，那麼作業系統 405 可將兩個裝置視為配對。類似地，如果兩個（或大於兩個）裝置各自提供唯一識別符（或

可能期望獨有的識別符)，那麼裝置全部提供所述識別符的事實可證實這些裝置應視為是配對的。以此方式，作業系統 405 可視需要引起虛擬 ID 410、虛擬 ID 415、虛擬 ID 420 以及虛擬 ID 425 的配對。

【0090】 圖 6 繪示查詢圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1 且將裝置配對的圖 5 的作業系統 405。在圖 6 中，作業系統 405 可向 SSD 125-1 發送詢問其裝置細節的查詢 605。應注意，常規作業系統可查詢裝置以確定裝置特性和特徵作為啟動的部分；基本輸入/輸出系統（Basic Input/Output System；BIOS）還可查詢以發現哪些裝置是連接的。新穎的是，作為回應 610，SSD 125-1 可包含關於其自身的資訊和關於輔助處理器 130-1 的資訊。類似地，作業系統 405 可向輔助處理器 130-1 發送詢問其裝置細節的查詢 615：輔助處理器 130-1 可發送包含關於其自身的資訊和關於 SSD 125-1 的資訊的回應 620。當作業系統 405 接收回應 610 和回應 620 時，作業系統 405 可使用所述資訊來確定 SSD 125-1 和輔助處理器 130-1 是配對的，如操作 625 中所繪示。作業系統 405 隨後可儲存這種配對資訊。

【0091】 一旦作業系統 405 察覺到哪些儲存裝置與哪些輔助處理器配對，作業系統 405 可使這種資訊可供應用程式和/或使用者使用。舉例來說，作業系統 405 可提供應用程式設計介面（Application Programming Interface；API），應用程式可使用應用程式設計介面來向作業系統 405 查詢配對資訊。舉例來說，應用程式可發送查

詢，以向 SSD 125-1 詢問哪個（哪些）裝置經由 API 與所述裝置配對。作業系統 405 隨後可用輔助處理器 130-1 與 SSD 125-1 配對的資訊進行回應。另一應用程式可詢問關於與特定資料段相關聯的配對裝置的資訊：例如，給定特定文件（或鍵值目標，或可在儲存裝置上的另一格式中所儲存的資料），哪些儲存裝置儲存所述資料，以及哪些其它裝置與所述儲存裝置配對。作業系統 405 隨後可確定哪個儲存裝置儲存所述資料，且隨後返回關於儲存裝置和其配對的資訊。（當然，應用程式可發送兩個 API 查詢：一個用以確定儲存目標資料的特定儲存裝置，且另一個用以確定哪個（哪些）裝置與所述儲存裝置配對。將這兩個查詢組合成一個僅是一種簡化。）

【0092】 一旦應用程式經由 API 瞭解到哪些裝置是配對的，應用程式隨後可相應地使用所述資訊。舉例來說，假設圖 1 的輔助處理器 130-1 和輔助處理器 130-2 是提供資料加速服務的兩個 FPGA。一旦應用程式知道哪個儲存裝置儲存目標資料，應用程式可將請求導向與所述儲存裝置配對的 FPGA，從而請求對目標資料進行資料加速服務。相同原理適用於可由圖 1 的輔助處理器 130-1 和輔助處理器 130-2 提供的任何其它功能：資料加速僅用作實例功能。

【0093】 此時，一個問題保持不變：如何使裝置察覺到識別配對中的裝置的資訊？如果在製造時將資訊分配為由配對裝置共用的唯一資料，那麼應答是顯而易見的。但如果裝置使用其序列編號或每個裝置分別所獨有的其它資料來說明識別其配對，那麼應答

不會如此簡單。圖 7 到圖 9 說明裝置可如何獲得這種資訊。

【0094】 圖 7 繪示在本發明概念的一實施例中的呈單個外觀尺寸的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。在圖 7 中，SSD 125-1 和輔助處理器 130-1 可使用連接裝置的硬體介面進行通信。舉例來說，這種硬體介面可以是連接 SSD 125-1 和輔助處理器 130-1 的系統管理匯流排（SMBus）。如果使用 SMBus，那麼裝置（SSD 125-1 或輔助處理器 130-1）中任一個可以是主裝置，且另一個可以是從裝置，或二者可以是多主匯流排上的主裝置。舉例來說，在一些實施例中，SSD 125-1 可以是 SMBus 705 的主裝置，而輔助處理器 130-1 可以是從裝置。

【0095】 如所繪示，SSD 125-1 可經由帶內連接 710 和帶外連接 715 二者連接到圖 1 的機器 105。帶內連接 710 可包含例如通過 PCI 快速（PCIe）連接發送的消息，而帶外連接 715 可以是例如另一 SMBus 連接（在其上 SSD 125-1 可為從裝置，且基板管理控制器（BMC）可為主裝置，或在其上 SSD 125-1 和 BMC 可以是多主匯流排上的主裝置）。通常，帶內連接 710 可以用於常規請求（例如向 SSD 125-1 發出的讀取請求和寫入請求）且可以用於使用輔助處理器 130-1 的功能，而帶外連接 715 可以用於控制類型請求：例如，對 SSD 125-1 和/或輔助處理器 130-1 的當前運行溫度的查詢。在使用帶內連接 710 來與輔助處理器 130-1 進行通信的情況下，SSD 125-1 可充當直通裝置，所述裝置依賴於針對輔助處理器 130-1 的消息。可替代地，SSD 125-1 可在一些轉換器能力中起作

用，從而將如從圖 1 的機器 105 接收的請求轉換為不同形式以供傳輸到輔助處理器 130-1。

【0096】 與圖 7 相比，圖 8 繪示在本發明概念的另一實施例中的呈單個外觀尺寸的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。在圖 8 中所繪示的實施例中，輔助處理器 130-1 直接連接到帶內連接 710，而不是 SSD 125-1。在本發明概念的這一實施例中，當輔助處理器 130-1 接收既定用於 SSD 125-1 的請求時，輔助處理器 130-1 可充當直通裝置，所述裝置依賴於針對 SSD 125-1 的消息。可替代地，輔助處理器 130-1 可在一些轉換器能力中起作用，從而將如從圖 1 的機器 105 接收的請求轉換為不同形式以供傳輸到 SSD 125-1。在所有其它方面中，SSD 125-1 和輔助處理器 130-1 與如圖 7 中的 SSD 125-1 和輔助處理器 130-1 類似地操作。

【0097】 雖然圖 7 到圖 8 解決 SSD 125-1 和輔助處理器 130-1 二者以相同外觀尺寸出售的可能性，SSD 125-1 和輔助處理器 130-1 可作為獨立元件出售，只要存在准許這兩個配對裝置之間的通信的某一形式的硬體介面 505 即可，以使得裝置能夠與圖 4 的作業系統 325 共用配對資訊。

【0098】 圖 9 繪示根據本發明概念的一實施例的建立其配對的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。圖 9 可在 SSD 125-1 和輔助處理器 130-1 共用硬體介面（例如圖 7 到圖 8 的硬體介面 705）時使用。在圖 9 中，SSD 125-1 正在從輔助處理器 125-1 發起對裝置資訊的查詢。SSD 125-1 可向輔助處理器 130-1 發送識別

裝置 905(這種命令和圖 9 到圖 10 中的所有其它命令可以是 NVMe 命令，或可以是使用其它協定的命令)。輔助處理器 130-1 可用識別回應 910 進行回應，所述識別回應可包含與 SSD 125-1 和輔助處理器 130-1 的配對有關的唯一資訊。這種資訊可包含例如 GUID 或輔助處理器 130-1 的製造商型號和序號。在接收到識別回應 910 後，SSD 125-1 可儲存輔助處理器 130-1 的資訊：例如將其儲存於圖 5 的儲存裝置 505-2 中。SSD 125-1 隨後可發送設置配對資料 915，所述設置配對資料可包含 SSD 125-1 的唯一資訊：此外，例如，GUID 或 SSD 125-1 的製造商型號和序號。輔助處理器 130-1 隨後可儲存 SSD 125-1 的資訊：此外，例如，將其儲存於圖 5 的儲存裝置 515-1 中。輔助處理器 130-1 隨後可發送設置回應 920 以向 SSD 125-1 通知接收到設置配對資料命令中的配對資料。最後，SSD 125-1 可發送設置高級資料 925 以向輔助處理器 130-1 通知 SSD 125-1 希望輔助處理器 130-1 知道的任何其它資料，所述輔助處理器 130-1 可用設置回應 930 進行應答。

【0099】 圖 10 繪示根據本發明概念的另一實施例的建立其配對的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。除了輔助處理器 130-1 而不是 SSD 125-1 可發起資訊交換之外，圖 10 類似於圖 9。在圖 10 中，輔助處理器 130-1 可向 SSD 125-1 發送讀取身份資料 1005。SSD 125-1 可用讀取回應 1010 進行回應，所述讀取回應可包含與輔助處理器 130-1 和 SSD 125-1 的配對有關的唯一資訊。這種資訊可包含例如 GUID 或 SSD 125-1 的製造商型號和序號。在

接收到讀取回應 1010 後，輔助處理器 130-1 可儲存 SSD 125-1 的資訊：例如，將其儲存於圖 5 的儲存裝置 505-2 中。輔助處理器 130-1 隨後可發送設置身份資料 1015，所述設置身份資料可包含輔助處理器 130-1 的唯一資訊：此外，例如，GUID 或輔助處理器 130-1 的製造商型號和序號。SSD 125-1 隨後可儲存輔助處理器 130-1 的資訊：此外，例如，將其儲存於圖 5 的儲存裝置 515-1 中。SSD 125-1 隨後可發送設置回應 1020 以向輔助處理器 130-1 通知接收到設置身份資料命令中的配對資料。最後，輔助處理器 130-1 可發送設置日誌頁 925 以向 SSD 125-1 通知輔助處理器 130-1 希望 SSD 125-1 知道的任何其它資料，所述 SSD 125-1 可用設置回應 1025 進行應答。

【0100】 圖 11 繪示根據本發明概念的一個實施例的包含圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1 的第一拓樸。圖 11 到圖 14 截取自同在申請中的 2019 年 1 月 28 日申請的美國專利申請第 16/260,087 號，所述申請是 2018 年 12 月 19 日申請的美國專利申請第 16/226,629 號的部分接續申請，所述申請是 2018 年 11 月 30 日申請的美國專利申請第 16/207,080 號的接續申請，所述申請要求 2018 年 10 月 12 日申請的美國臨時專利申請第 62/745,261 號的權益，所有上述申請出於所有目的以引用的方式併入本文中。但是同在申請中的美國專利申請第 16/260,087 號關注的是具有擦除編碼的 PCIe 交換機的總體組合，而本文更為關注的是 SSD 和其輔助處理器的結構。

【0101】 在圖 11 中，繪示具有後備擦除編碼邏輯的 PCIe 交換機 1105，其可實施為圖 1 的機器 105 的獨立組件。也就是說，可製造具有後備擦除編碼邏輯的 PCIe 交換機 1105，且其可與任何其它元件(例如圖 1 的處理器 110、儲存裝置 125-1 或輔助處理器 130-1)分開出售。

【0102】 具有後備擦除編碼邏輯的 PCIe 交換機 1105 可連接到儲存裝置 125-1。在圖 11 中，將具有後備擦除編碼邏輯的 PCIe 交換機 1105 繪示為連接到僅單個儲存裝置，所述儲存裝置可以不支援擦除編碼：擦除編碼需要至少兩個儲存裝置或儲存裝置的至少兩個部分來執行分帶、分塊、分組以及使用同位或碼資訊。但即使利用單個儲存裝置，具有後備擦除編碼邏輯的 PCIe 交換機 1105 也可以提供一些優勢。舉例來說，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可支援將改錯碼與儲存裝置 125-1 一起使用，或如果儲存裝置 125-1 本身不提供那些服務，那麼對儲存在儲存裝置 125-1 上的資料進行加密。

【0103】 儲存裝置 125-1 也可以連接到 FPGA 205、圖 1 的輔助處理器 130-1 的實例(針對關於圖 11 到圖 14 的論述的剩餘部分，對 FPGA 205 的任何參考可理解為包含對如圖 2 中所繪示的任何替代輔助處理器的參考，或更通常來說對圖 1 的輔助處理器 130-1 的參考)。FPGA 205 可支援加速。簡單地說，可存在其中可能需要對資料進行處理且隨後將其丟棄的情況。將所有所述資料載入到圖 1 的處理器 110 中以執行處理可以是昂貴且耗時的：計算更接

近資料時可更容易地執行。FPGA 205 可支援在更接近儲存裝置的情況下執行此類計算，從而避免了將資料載入到圖 1 的處理器 110 中來執行計算：這種概念稱為「加速」。基於 FPGA 的加速在 2018 年 9 月 5 日申請的美國專利申請第 16/122,865 號中更詳細地論述，所述申請要求 2018 年 3 月 13 日申請的美國臨時專利申請第 62/642,568 號、2018 年 3 月 13 日申請的美國臨時專利申請第 62/641,267 號以及 2018 年 3 月 5 日申請的美國臨時專利申請第 62/638,904 號的權益，所有上述申請特此以引用的方式併入本文中；且要求 2018 年 9 月 6 日申請的美國專利申請第 16/124,179 號、2018 年 9 月 6 日申請的美國專利申請第 16/124,182 號以及 2018 年 9 月 6 日申請的美國專利申請第 16/124,183 號的權益，所有上述申請是 2018 年 9 月 5 日申請的美國專利申請案第 16/122,865 號的接續申請且特此以引用的方式併入本文中。由於加速的目標是在不將資料傳輸到圖 1 的處理器 110 的情況下處理資料，因此圖 11 將 FPGA 205 繪示為更接近儲存裝置 125-1。然而，應注意，不需要圖 11 中所繪示的特定佈置：FPGA 205 可位於具有後備擦除編碼邏輯的 PCIe 交換機 1105 與儲存裝置 125-1 之間。

【0104】 除資料加速以外，FPGA 205 可提供其它功能以支援儲存裝置 125-1。舉例來說，FPGA 205 可在儲存裝置 125-1 上實現資料刪除重複功能，以試圖減少將相同資料儲存在儲存裝置 125-1 上的次數。FPGA 205 可確定是否不止一次將特定資料儲存在儲存裝置 125-1 上，在各種邏輯塊位址之間建立關聯（或由主機用來

識別資料的其它資訊)，且其中將資料儲存在儲存裝置 125-1 上，並且刪除額外複本。

【0105】可替代地，FPGA 205 可在儲存裝置 125-1 上實現資料完整性功能（例如添加改錯碼），以防止通過儲存裝置 125-1 的操作中或使用迴圈冗餘校正（Cyclic Redundancy Correction；CRC）進行端對端保護的 T10DIF（資料完整性欄位）中的錯誤而發生資料丟失。以此方式，FPGA 205 可能能夠檢測在儲存裝置 125-1 上寫入或讀取資料的錯誤何時出現或對躍遷中的資料進行檢測並恢復初始資料。應注意，FPGA 205 可在主機未察覺到正在提供資料完整性功能的情況下實現資料完整性功能：主機可僅參看資料本身且不參看任何改錯碼。

【0106】可替代地，FPGA 205 可在儲存裝置 125-1 上實現資料加密功能，以防止未經授權的各方能夠在儲存裝置 125-1 上存取資料：在不提供適合的加密金鑰的情況下，從 FPGA 205 返回的資料對於請求者來說是無意義的。主機可提供待在寫入和讀取資料時使用的加密金鑰。或，FPGA 205 可自動執行資料加密和解密：FPGA 205 可儲存加密金鑰（且甚至可代表主機產生加密金鑰），且基於誰正在請求資料來確定要使用的適合的加密金鑰。

【0107】可替代地，FPGA 205 可在儲存裝置 125-1 上實現資料壓縮功能，以減少將資料儲存在儲存裝置 125-1 上所需的空間量。當將資料寫入到儲存裝置 125-1 時，FPGA 205 可實施將由主機提供的資料壓縮成較小儲存量隨後儲存壓縮的資料（以及在從儲存

裝置 125-1 讀取資料時恢復初始資料所需的任何資訊) 的功能。

當從儲存裝置 125-1 讀取資料時，FPGA 205 可讀取壓縮的資料(以及從壓縮的資料恢復初始資料所需的任何資訊) 且除去壓縮以恢復初始資料。

【0108】 可使用資料刪除重複、資料完整性、資料加密以及資料壓縮的任何所需實施方案。本發明概念的實施例不限於任何這些功能的特定實施方案。

【0109】 FPGA 205 還可視需要在儲存裝置 125-1 上實現功能的任何組合。舉例來說，FPGA 205 可實施資料壓縮和資料完整性二者(由於資料壓縮可增加資料對錯誤的靈敏度：如儲存在儲存裝置 125-1 上的資料中的單個錯誤可導致大量資料不可用)。或 FPGA 205 可實施資料加密和資料壓縮二者(以在盡可能少地使用用於資料的儲存裝置時保護資料)。也可以由 FPGA 205 提供兩個或大於兩個功能的其它組合。

【0110】 就總體操作而言，在實現任何這些功能時，FPGA 205 可從適合的源讀取資料。應注意，雖然術語「源」是單數名詞，但是本發明概念的實施例可在適當情況下從多個源(例如多個儲存裝置) 讀取資料。FPGA 205 隨後可對資料執行適當的操作：資料加速、資料整合、資料加密和/或資料壓縮。FPGA 205 隨後可對操作結果採取適當的操作：例如，將結果發送到圖 1 的機器 105，或將資料寫入到儲存裝置 125-1。

【0111】 雖然參看圖 11 的 FPGA 205 描述以上功能，但本發明概

念的實施例可將這些功能包含在系統（所述系統包含 FPGA）中的任何位置。另外，本發明概念的實施例可使 FPGA 205 從「遠距離」儲存裝置存取資料。舉例來說，暫時回到圖 1，且假設儲存裝置 125-1 包含類似於 FPGA 205 的 FPGA，但儲存裝置 125-2 不含此類輔助處理器。在儲存裝置 125-1 中所包含的 FPGA 可用於通過向儲存裝置 125-2 發送請求來將其功能應用於儲存裝置 125-2。舉例來說，如果儲存裝置 125-1 中的 FPGA 提供資料加速，那麼儲存裝置 125-1 中的 FPGA 可發送對從儲存裝置 125-2 讀取資料的請求，執行適當的加速，隨後將結果發送到適合的目的地（例如圖 1 的機器 105）。

【0112】 在圖 11 中（且在下圖 12 到圖 14 中所繪示的拓撲中），具有後備擦除編碼邏輯的 PCIe 交換機 1105 可附接到不具備擦除編碼的資格的裝置。舉例來說，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可附接到具有內建式擦除編碼功能的其它儲存裝置或附接到不是儲存裝置的裝置，例如圖 11 的 FPGA 205 或圖 2 的 GPU 215。可將所有此類裝置描述為不具備擦除編碼（或至少，通過具有後備擦除編碼邏輯的 PCIe 交換機 1105 進行擦除編碼）的資格的裝置。

【0113】 當具有後備擦除編碼邏輯的 PCIe 交換機 1105 連接到不具備擦除編碼的資格的裝置時，系統具有可使用的各種替代方法。在本發明概念的一個實施例中，包含不具備擦除編碼的資格的任何裝置可導致具有後備擦除編碼邏輯的 PCIe 交換機 1105 的後備

擦除編碼邏輯停用。因此，如果例如具有後備擦除編碼邏輯的 PCIe 交換機 1105 連接到圖 11 的 FPGA 205，或圖 2 的 GPU 215，或具有本地擦除編碼邏輯的儲存裝置，那麼連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 的儲存裝置中無一可與擦除編碼一起使用。應注意，對停用具有後備擦除編碼邏輯的 PCIe 交換機 1105 的後備擦除編碼邏輯的決策不必轉移到在相同底盤或其它底盤中的具有後備擦除編碼邏輯的其它 PCIe 交換機。舉例來說，暫時提前參看圖 13，圖 13 繪示兩個具有後備擦除編碼邏輯的 PCIe 交換機 1105、具有後備擦除編碼邏輯的 PCIe 交換機 1305，其中一個可具有啟用的後備擦除編碼邏輯，而另一個可具有停用的後備擦除編碼邏輯。

【0114】 本發明概念的另一實施例可停用不具備擦除編碼的資格的裝置，如同它們根本未連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 一樣來處理這些裝置。在本發明概念的這一實施例中，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可針對儲存裝置 125-1 啟用後備擦除編碼邏輯，且可停用不具備擦除編碼的資格的任何其它儲存裝置，如同它們未連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 一樣。

【0115】 在本發明概念的又一實施例中，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可針對可由後備擦除編碼邏輯覆蓋的儲存裝置來啟用後備擦除編碼邏輯，但仍然使得能夠訪問不具備擦除編碼的資格的其它裝置。本發明概念的這一實施例是最複雜的實施

方式：具有後備擦除編碼邏輯的 PCIe 交換機 1105 需要確定哪些裝置具備擦除編碼的資格和哪些裝置不具備擦除編碼的資格，隨後分析流量以確定流量是指定用於虛擬儲存裝置(在這種情況下，流量由後備擦除編碼邏輯截斷)還是未指定用於虛擬儲存裝置(在這種情況下，將流量傳送到其初始目的地。)

【0116】 在其中圖 1 的機器 105 最終沒有提供已安裝裝置的完整功能的本發明概念的實施例中，即在其中擦除編碼由於存在不具備擦除編碼的資格的裝置而停用或此類裝置由具有後備擦除編碼邏輯的 PCIe 交換機 1105 停用的本發明概念的實施例中，圖 1 的機器 105 可向用戶通知這一事實。這種通知可由圖 1 的處理器 110、BMC 或具有後備擦除編碼邏輯的 PCIe 交換機 1105 提供。除向用戶通知一些功能已停用以外，所述通知還可通知使用者如何重新配置圖 1 的機器 105 以准許添加的功能。舉例來說，所述通知可建議不具備擦除編碼的資格的裝置連接到中平面中的特定槽位（可能是連接到具有後備擦除編碼邏輯的 PCIe 機 1305 的那些槽位），並且建議確實具備擦除編碼的資格的儲存裝置連接到其它槽位元，例如連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 的那些槽位。以此方式，具備擦除編碼的資格的至少一些儲存裝置可受益於擦除編碼方案，但不阻斷對不具備擦除編碼的資格的其它裝置進行訪問。

【0117】 圖 12 繪示根據本發明概念的另一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第二拓樸。在圖 12 中，具有後備擦除

編碼邏輯的 PCIe 交換機 1105 可位於 FPGA 205 內：也就是說，FPGA 205 也可實施具有後備擦除編碼邏輯的 PCIe 交換機 1105。FPGA 205 和具有後備擦除編碼邏輯的 PCIe 交換機 1105 隨後可連接到儲存裝置 125-1 到儲存裝置 125-4。雖然圖 12 繪示 FPGA 205 和連接到四個儲存裝置 125-1 到儲存裝置 125-4 的具有後備擦除編碼邏輯的 PCIe 交換機 1105，但本發明概念的實施例可包含任何數目的儲存裝置 125-1 到儲存裝置 125-4。

【0118】 通常，圖 12 中所繪示的拓樸可在含有所繪示的所有組件（SSD 125-1 到 SSD 125-4 可以是獨立快閃記憶體，而不是自給式 SSD）的單個外殼或殼體內實現。也就是說，並非作為獨立元件出售，而是圖 12 中所繪示的整個結構可作為單個單元出售。但本發明概念的實施例還可包含轉接卡（riser card），所述轉接卡的一端連接到圖 1 的機器 105（可能連接到中平面），且其中另一端上的連接器（例如 U.2、M.3 或 SFF-TA-1008 連接器）連接到儲存裝置 125-1 到儲存裝置 125-4。且雖然圖 12 將具有後備擦除編碼邏輯的 PCIe 交換機 1105 繪示為 FPGA 205 的部件，但具有後備擦除編碼邏輯的 PCIe 交換機 1105 也可以實施為智慧 SSD 的部件。

【0119】 圖 13 繪示根據本發明概念的又一實施例的圖 1 的用於使用具有後備擦除編碼邏輯的 PCIe 交換機 1105 的第三拓樸。在圖 13 中，繪示兩個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305，其間連接了至多 24 個儲存裝置 125-1 到儲存裝置 125-6。每個具有後備擦除編碼邏輯

的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可包含 96 個 PCIe 通路，在每個方向上使用四個 PCIe 通路來與儲存裝置 125-1 到儲存裝置 125-6 中的一個通信：每個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 隨後可支援至多 12 個儲存裝置。為了在由多個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 所支援的儲存裝置上支援擦除編碼，一個具有後備擦除編碼邏輯的 PCIe 交換機可指定用於負責在所有裝置上的擦除編碼，且可具有啟用的後備擦除編碼邏輯。另一具有後備擦除編碼邏輯的 PCIe 交換機 1305 可在後備擦除編碼邏輯停用的情況下僅僅作為 PCIe 交換機來操作。可以任何所需方式完成關於應該選擇哪個 PCIe 交換機來處理擦除編碼的選擇：例如，兩個 PCIe 交換機可單獨對這個進行協商，或首先枚舉的 PCIe 交換機可指定用於處理擦除編碼。選擇用來處理擦除編碼的 PCIe 交換機隨後可向虛擬儲存裝置（跨越兩個 PCIe 交換機）報告，而不處理擦除編碼的 PCIe 交換機可能無下游裝置進行報告（以防止圖 1 的處理器 110 試圖存取作為擦除編碼方案的部分的儲存裝置）。

【0120】 應注意，雖然具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可都位於相同底盤中，但具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可位於不同底盤中。也就是說，擦除編碼方案可跨越多個底盤中的儲存裝置。唯一需要的就是各

種底盤中的 PCIe 交換機能夠彼此協商將成為擦除編碼方案的部分的儲存裝置所處的位置。本發明概念的實施例不限於兩個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305：在擦除編碼方案中所包含的儲存裝置可連接到任何數目的具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305。

【0121】 主機邏輯塊位址（Host Logical Block Address；LBA）可以任何所需方式跨具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 分割。舉例來說，主機中的最低有效位元（least significant bit；LBA）可用於識別具有後備擦除編碼邏輯的 PCIe 交換機 1105 或具有後備擦除編碼邏輯的 PCIe 交換機 1305 中的哪一個包含儲存具有所述主機 LBA 的資料的儲存裝置。利用大於兩個具有後備擦除編碼邏輯的 PCIe 交換機，多個位可用於確定哪一個具有後備擦除編碼邏輯的 PCIe 交換機管理儲存資料的儲存裝置。一旦已識別到適合的具有後備擦除編碼邏輯的 PCIe 交換機，傳輸就可以路由到適合的具有後備擦除編碼邏輯的 PCIe 交換機（假設傳輸並未指定用於儲存裝置，所述儲存裝置連接到啟用後備擦除編碼邏輯的具有後備擦除編碼邏輯的 PCIe 交換機）。

【0122】 在本發明概念的另一實施例中，並非使單個具有後備擦除編碼邏輯的 PCIe 交換機負責虛擬化連接到兩個具有後備擦除編碼邏輯的 PCIe 交換機的所有儲存裝置，而是每個具有後備擦除編碼邏輯的 PCIe 交換機負責其自己的儲存裝置。

碼邏輯的 PCIe 交換機可產生獨立虛擬儲存裝置（具有獨立擦除編碼域）。以此方式，可為不同客戶產生不同擦除編碼域，但這些編碼域具有較小容量。

【0123】 雖然圖 13 意指只有儲存裝置 125-1 到儲存裝置 125-6 連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305，且意指所有儲存裝置 125-1 到儲存裝置 125-6 可與擦除編碼方案一起使用，但如上文所論述，本發明概念的實施例不限於此：具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可使不具備擦除編碼的資格的裝置與其連接。可根據單個具有後備擦除編碼邏輯的 PCIe 交換機對此類裝置進行分組，其中根據不同具有後備擦除編碼邏輯的 PCIe 交換機 1105 對具備擦除編碼的資格的儲存裝置進行分組。以此方式，可實現圖 1 的機器 105 的最佳功能，其中使一個（或一些）具有後備擦除編碼邏輯的 PCIe 交換機啟用後備擦除編碼邏輯，且使一個（或一些）具有後備擦除編碼邏輯的 PCIe 交換機禁用後備擦除編碼邏輯。

【0124】 圖 14 繪示根據本發明概念的又一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第四拓樸。在圖 14 中，與圖 13 相比，具有後備擦除編碼邏輯的 PCIe 交換機 1105、具有後備擦除編碼邏輯的 PCIe 交換機 1305 以及具有後備擦除編碼邏輯的 PCIe 交換機 1405 可按照分級結構構造。具有後備擦除編碼邏輯的 PCIe 交換機 1105 在分級結構的頂部處可管理用於分級結構中的具有後備擦除

編碼邏輯的 PCIe 交換機 1105 下方的所有儲存裝置的擦除編碼，並且因此可啟用後備擦除編碼邏輯。另一方面，具有後備擦除編碼邏輯的 PCIe 交換機 1305 和具有後備擦除編碼邏輯的 PCIe 交換機 1405 可使其後備擦除編碼邏輯停用（由於其儲存裝置由具有後備擦除編碼邏輯的 PCIe 交換機 1105 的後備擦除編碼邏輯管理）。

【0125】 雖然圖 14 繪示以兩層分級結構構造三個具有後備擦除編碼邏輯的 PCIe 交換機 1105、具有後備擦除編碼邏輯的 PCIe 交換機 1305 以及具有後備擦除編碼邏輯的 PCIe 交換機 1405，但是本發明概念的實施例不受限於所包含的 PCIe 交換機的數目或不受限於分級佈置。因此，本發明概念的實施例可支援配置於任何所需分級結構中的任何數目的具有後備擦除編碼邏輯的 PCIe 交換機。

【0126】 上文參看圖 1 到圖 14 所描述的本發明概念的實施例的重點是單埠儲存裝置。但本發明概念的實施例可擴展到雙埠儲存裝置，其中一個（或大於一個）儲存裝置與多個具有後備擦除編碼邏輯的 PCIe 交換機進行通信。在本發明概念的這些實施例中，如果圖 11 的具有後備擦除編碼邏輯的 PCIe 交換機 1105 無法與雙埠儲存裝置進行通信，那麼具有後備擦除編碼邏輯的 PCIe 交換機 1105 可將傳輸發送到具有後備擦除編碼邏輯的 PCIe 交換機 1305 以試圖與儲存裝置進行通信。具有後備擦除編碼邏輯的 PCIe 交換機 1305 有效地充當橋接器以使具有後備擦除編碼邏輯的 PCIe 交換機 1105 與儲存裝置進行通信。

【0127】 圖 15 繪示根據本發明概念的一實施例的供圖 1 的 SSD 125-1（或圖 1 的輔助處理器 130-1）向其合作夥伴查詢配對資料的實例過程的流程圖。在圖 15 中，在框 1505 處，圖 1 的 SSD 125-1 可向其合作夥伴發送圖 9 的識別裝置 905（或圖 1 的輔助處理器 130-1 可向其合作夥伴發送圖 10 的讀取身份資料 1005）。在框 1510 處，圖 1 的 SSD 125-1 可接收圖 9 的識別回應 910（或圖 1 的輔助處理器 130-1 可接收圖 10 的讀取回應 1010）。在框 1515 處，圖 1 的 SSD 125-1 可將接收到的配對資訊儲存在圖 5 的儲存裝置 505-2 中（或圖 1 的輔助處理器 130-1 可將接收到的配對資訊儲存在圖 5 的儲存裝置 515-1 中）。在框 1520 處，圖 1 的 SSD 125-1 可從圖 5 的儲存裝置 505-1 存取其自身的配對資訊（或圖 1 的輔助處理器 130-1 可從圖 5 的儲存裝置 515-2 存取其配對資訊）。最後，在框 1525 處，圖 1 的 SSD 125-1 可向其合作夥伴發送圖 9 的設置配對資料 915（或圖 1 的輔助處理器 130-1 可向其合作夥伴發送圖 10 的設置身份資料 1015），使得其合作夥伴可儲存其配對資訊。

【0128】 圖 16 繪示根據本發明概念的一實施例的供圖 1 的 SSD 125-1（或圖 1 的輔助處理器 130-1）從其合作夥伴接收配對資料的查詢的實例過程的流程圖。在圖 12 中，在框 1605 處，圖 1 的 SSD 125-1 可從圖 1 的輔助處理器 130-1 接收圖 10 的讀取身份資料 1005（或圖 1 的輔助處理器 130-1 可從圖 1 的 SSD 125-1 接收圖 9 的識別裝置 905）。在框 1610 處，圖 1 的 SSD 125-1 可從圖 5 的儲存裝置 505-1 存取其配對資訊（或輔助處理器 130-1 可從圖 5

的儲存裝置 515-2 存取其配對資訊)。在框 1615 處，圖 1 的 SSD 125-1 可向圖 1 的輔助處理器 130-1 發送圖 10 的讀取回應 1010 中的配對資訊(或圖 1 的輔助處理器 130-1 可發送圖 9 的識別回應 910 中的配對資訊)。在框 1620 處，圖 1 的 SSD 125-1 可從圖 1 的輔助處理器 130-1 接收圖 10 的設置身份資料 1015(或圖 1 的輔助處理器 130-1 可從圖 1 的 SSD 125-1 接收圖 9 的設置配對資料 915)。最後，在框 1625 處，圖 1 的 SSD 125-1 可將圖 1 的輔助處理器 130-1 的配對資訊儲存在圖 5 的儲存裝置 505-2 中(或圖 1 的輔助處理器 130-1 可將圖 1 的 SSD 125-1 的配對資訊儲存在圖 5 的儲存裝置 515-1 中)。

【0129】 圖 17 繪示根據本發明概念的一實施例的使圖 1 的 SSD 125-1 和/或圖 1 的輔助處理器 130-1 對關於其和其配對合作夥伴的來自圖 5 的作業系統 405 的查詢作出回應的實例過程的流程圖。在圖 17 中，在框 1705 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可從圖 5 的作業系統 405 接收圖 6 的查詢 605 和/或查詢 610。在框 1710 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可從圖 5 儲存裝置 505-1 和/或儲存裝置 515-2 存取用於圖 1 的 SSD 125-1 和/或輔助處理器 130-1 的配對資訊，例如唯一 ID 或製造商型號和/或序號。在框 1715 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可從圖 5 的儲存裝置 505-2 和/或儲存裝置 515-1 存取用於合作夥伴裝置的配對資訊，例如唯一 ID 或製造商型號和/或序號。最後，在框 1720 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可向圖 5

的作業系統 405 發送關於配對裝置的配對資訊。

【0130】 圖 18 繪示根據本發明概念的一實施例的使圖 5 的作業系統 405 查詢圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1 且將它們配對的實例過程的流程圖。在圖 18 中，在框 1805 處，圖 5 的作業系統 405 可向由虛擬 ID 表示的裝置(向圖 5 的作業系統 405)發送查詢，例如圖 6 的查詢 605 和/或查詢 615。在框 1810 處，圖 5 的作業系統 405 可從裝置接收其配對資訊。在框 1815 處，圖 5 的作業系統 405 可向由另一虛擬 ID 表示的另一裝置(向圖 5 的作業系統 405)發送另一查詢，例如圖 6 的查詢 605 和/或查詢 615。在框 1820 處，圖 5 的作業系統 405 可從所述裝置接收其配對資訊。在框 1825 處，圖 5 的作業系統 405 可確定兩個裝置已提供了相同配對資訊，且在圖 5 的作業系統 405 內以某種方式將裝置配對。最後，在框 1830 處，圖 5 的作業系統 405 可將 API 提供給支援關於裝置配對的查詢的應用程式。

【0131】 圖 19 繪示根據本發明概念的一實施例的使圖 5 的作業系統 405 對來自應用程式的關於裝置的配對資訊的查詢作出回應的實例過程的流程圖。在圖 19 中，在框處 1905，圖 5 的作業系統 405 可從應用程式接收對特定裝置的配對的請求。在框 1910 處，圖 5 的作業系統 405 可在儲存配對資訊的表中找出所請求的裝置。在框 1915 處，圖 5 的作業系統 405 可為表中的裝置確定配對。在框 1920 處，圖 5 的作業系統 405 可向應用程式返回關於裝置的配對的資訊。

【0132】 可替代地，在框 1925 處，圖 5 的作業系統 405 可從應用程式接收對關於資料識別符（例如文件、物件、金鑰等）的配對資訊的請求。在框 1930 處，圖 5 的作業系統 405 可確定儲存由資料識別符識別到的資料的裝置。此時，如由箭頭 1935 所繪示，圖 5 的作業系統 405 可執行如上文所描述的框 1910 和框 1915。隨後，如由箭頭 1940 所繪示，圖 5 的作業系統 405 可向應用程式返回關於儲存資料的裝置和其配對二者的資訊。

【0133】 在圖 15 到圖 19 中，繪示本發明概念的一些實施例。但本領域技術人員將認識到，通過改變框的次序、通過省略框或通過包含未在附圖中繪示的鏈路，本發明概念的其它實施例也是可能的。無論是否明確地描述，流程圖的所有此類變化都視為本發明概念的實施例。

【0134】 本發明概念的實施例提供優於現有技術的技術優勢。本發明概念的實施例准許圖 1 的 SSD 125-1 和 SSD 125-2 以及輔助處理器 130-1、輔助處理器 130-2 確定關於其配對合作夥伴的配對資訊。隨後，圖 1 的 SSD 125-1 和 SSD 125-2 以及輔助處理器 130-1、輔助處理器 130-2 可向圖 5 的作業系統 405 提供這種配對資訊，使得圖 5 的作業系統 405 能夠儲存關於哪些裝置與哪些其它裝置配對的資訊。一旦圖 5 的作業系統 405 具有適當地配對的裝置，圖 5 的作業系統 405 就可以經由 API 向應用程式提供這種資訊，使得應用程式能夠請求來自圖 1 的輔助處理器 130-1 和輔助處理器 130-2 的服務，所述輔助處理器與儲存資料的圖 1 的 SSD 125-1

和 SSD 125-2 配對，所述服務待在配對之後執行。

【0135】 以下論述旨在提供其中可以實施本發明概念的某些方面的一或多個合適機器的簡要一般描述。一或多個機器可以至少部分地通過來自例如鍵盤、滑鼠等常規輸入裝置的輸入，以及通過從另一機器接收的指令、與虛擬實境（virtual reality；VR）環境的交互、生物計量回饋或其它輸入信號來進行控制。本文中所使用的術語「機器」旨在廣泛地涵蓋單個機器、虛擬機器，或一起操作的以通信方式連接的機器、虛擬機器或裝置的系統。示例性機器包含計算裝置，例如個人電腦、工作站、伺服器、可攜式電腦、掌上型裝置、電話、平板電腦等；以及交通裝置，例如私人或公共交通工具，例如汽車、火車、計程車等。

【0136】 一或多個機器可以包含嵌入式控制器，例如可程式設計或不可程式設計的邏輯裝置或陣列、專用積體電路（ASIC）、嵌入式電腦、智慧卡等。一或多個機器可以例如通過網路介面、數據機或其它通信連接來利用與一或多個遠端機器的一或多個連接。機器可以借助於物理網路和/或邏輯網路（例如企業內部網、網際網路、局域網、廣域網路等）互連。本領域技術人員應理解，網路通信可以利用各種有線和/或無線短程或遠端載波和協議，其包含射頻（radio frequency；RF）、衛星、微波、電氣電子工程師學會（Institute of Electrical and Electronics Engineer；IEEE）802.11、Bluetooth®、光學、紅外線、電纜、鐳射等。

【0137】 可以參考或結合包含功能、過程、資料結構、應用程式

等的相關聯資料來描述本發明概念的實施例，所述相關聯資料在通過機器存取時引起機器執行任務或限定抽象資料類型或低級硬體環境。相關聯資料可以儲存在例如揮發性和/或非揮發性記憶體（例如 RAM、ROM 等）中或儲存在其它儲存裝置以及其相關聯儲存介質中，所述儲存介質包含硬碟驅動器、軟碟、光學儲存裝置、磁帶、快閃記憶體、儲存棒、數位視訊光碟、生物儲存裝置等。相關聯資料可以包、串列資料、並行資料、傳播信號等形式在包含物理和/或邏輯網路的傳輸環境上傳遞，並且可以壓縮或加密格式使用。相關聯資料可以用於分散式環境中，並且本地地和/或遠端地儲存以供機器訪問。

【0138】 本發明概念的實施例可以包含有形的非暫時性機器可讀介質，所述非暫時性機器可讀介質包括可由一或多個處理器執行的指令，所述指令包括用於執行如本文所描述的發明性概念的元件的指令。

【0139】 上文所描述的方法的各個操作可由能夠執行所述操作的任何合適的裝置來執行，例如各種硬體和/或軟體元件、電路和/或模組。軟體可包括用於實現邏輯功能的可執行指令的有序列表，且可以在供指令執行系統、設備或裝置使用或與指令執行系統、設備或裝置結合的任何「處理器可讀介質」中實施，所述指令執行系統、設備或裝置為例如單核處理器或多核處理器或含處理器的系統。

【0140】 結合本文中所公開的實施例而描述的方法或演算法及

函數的框或步驟可直接以硬體、由處理器執行的軟體模組或所述兩個的組合實施。如果以軟體實施，那麼可將功能作為一或多個指令或代碼儲存在有形的非暫時電腦可讀介質上或通過所述有形的非暫時性電腦可讀介質進行傳輸。軟體模組可駐留在隨機存取記憶體（RAM）、快閃記憶體、唯讀記憶體（ROM）、電可程式設計 ROM（Electrically Programmable ROM；EPROM）、電可擦可程式設計 ROM（Electrically Erasable Programmable ROM；EEPROM）、暫存器、硬碟、可移動式磁片、CD ROM 或所屬領域中已知的任何其它形式的儲存介質中。

【0141】 在參考所說明實施例描述和說明本發明概念的原理之後，應認識到，所說明實施例的佈置和細節可以在不脫離此類原理的情況下進行修改，並且可以按任何所需方式組合。而且，雖然前述論述的重點是特定實施例，但是可設想其它配置。特定來說，即使本文中使用的例如「根據本發明概念的實施例」等的表達，但是這些詞語一般表示參考實施例可能性，且並不旨在將本發明概念限制到特定實施例配置。如本文中所使用，這些術語可以參考可組合到其它實施例中的相同或不同實施例。

【0142】 前述說明性實施例不應解釋為限制其本發明概念。雖然已經描述幾個實施例，但本領域技術人員將容易理解，在實質上不脫離本公開的新穎教示和優勢的情況下，對那些實施例的許多修改是可能的。因此，所有此類修改旨在包含在如所附權利要求中限定的這一發明概念的範圍內。

【0143】 本發明概念的實施例可以擴展到（但不限於）以下陳述：

【0144】 陳述 1.本發明概念的實施例包含一種系統，包括：

固態驅動器（SSD），包含：

用於資料的第一儲存裝置；

用於唯一 SSD 識別符（ID）的第二儲存裝置；以及

用於唯一輔助處理器 ID 的第三儲存裝置；

輔助處理器，包含：

用於唯一輔助處理器 ID 的第四儲存裝置；

用於唯一 SSD ID 的第五儲存裝置；以及

硬體介面，位於 SSD 與輔助處理器之間。

【0145】 陳述 2.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器包含現場可程式閘陣列（FPGA）、專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0146】 陳述 3.本發明概念的實施例包含根據陳述 1 所述的系統，其中硬體介面包含系統管理匯流排（SMBus）和積體電路間（Inter-Integrated Circuit；I2C）匯流排中的一個。

【0147】 陳述 4.本發明概念的實施例包含根據陳述 1 所述的系統，其中第四儲存裝置包含一次性可程式（one-time programmable；OTP）記憶體、可程式唯讀記憶體（Programmable Read-Only Memory；PROM）、可擦可程式唯讀記憶體（Erasable Programmable

Read-Only Memory；EPROM）和電可擦可程式唯讀記憶體（EEPROM）中的一個。

【0148】 陳述 5.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器可操作以向 SSD 查詢唯一 SSD ID 且將唯一 SSD ID 儲存在第五儲存裝置中。

【0149】 陳述 6.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器可操作以為 SSD 提供唯一輔助處理器 ID。

【0150】 陳述 7.本發明概念的實施例包含根據陳述 1 所述的系統，其中 SSD 可操作以向輔助處理器查詢唯一輔助處理器 ID 且將唯一輔助處理器 ID 儲存在第三儲存裝置中。

【0151】 陳述 8.本發明概念的實施例包含根據陳述 1 所述的系統，其中 SSD 可操作以為輔助處理器提供唯一 SSD ID。

【0152】 陳述 9.本發明概念的實施例包含根據陳述 1 所述的系統，其中 SSD 可帶外地操作以接收關於 SSD 和輔助處理器的查詢。

【0153】 陳述 10.本發明概念的實施例包含根據陳述 9 所述的系統，其中 SSD 包含用於帶外地接收查詢的 SMBus 連接。

【0154】 陳述 11.本發明概念的實施例包含根據陳述 9 所述的系統，其中 SSD 可操作以用唯一 SSD ID 和唯一輔助處理器 ID 二者對查詢作出回應。

【0155】 陳述 12.本發明概念的實施例包含根據陳述 9 所述的系統，其中查詢包含非揮發性記憶體快速（NVMe）管理介面（MI）命令。

【0156】 陳述 13.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器可操作以帶外地接收關於 SSD 和輔助處理器的查詢。

【0157】 陳述 14.本發明概念的實施例包含根據陳述 13 所述的系統，其中輔助處理器可操作以用唯一 SSD ID 和唯一輔助處理器 ID 二者對查詢作出回應。

【0158】 陳述 15.本發明概念的實施例包含根據陳述 13 所述的系統，其中查詢包含非揮發性記憶體快速（NVMe）管理介面（MI）命令。

【0159】 陳述 16.本發明概念的實施例包含根據陳述 1 所述的系統，其中 SSD 可操作以帶內地接收關於 SSD 和輔助處理器的查詢。

【0160】 陳述 17.本發明概念的實施例包含根據陳述 16 所述的系統，其中 SSD 包含用於帶內地接收查詢的周邊元件連接快速（PCIe）連接。

【0161】 陳述 18.本發明概念的實施例包含根據陳述 16 所述的系統，其中 SSD 可操作以用唯一 SSD ID 和唯一輔助處理器 ID 二者對查詢作出回應。

【0162】 陳述 19.本發明概念的實施例包含根據陳述 16 所述的系統，其中查詢包含非揮發性記憶體快速（NVMe）管理介面（MI）命令。

【0163】 陳述 20.本發明概念的實施例包含一種方法，包括：

將查詢從第一裝置發送到第二裝置；

從第二裝置接收第一裝置處的回應，所述回應包含第一配對資料；

將第一配對資料儲存在第一裝置中的第二儲存裝置中；

從第一裝置中的第一儲存裝置存取第二配對資料；以及

將第二配對資料從第一裝置發送到第二裝置。

【0164】 陳述 21.本發明概念的實施例包含根據陳述 20 所述的方法，其中第一裝置和第二裝置分別包含現場可程式閘陣列（FPGA）、專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0165】 陳述 22.本發明概念的實施例包含根據陳述 20 所述的方法，其中：

將查詢從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將查詢從第一裝置發送到第二裝置；

從第二裝置接收第一裝置處的回應包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的回應；且

將第二配對資料從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將第二配對資料從第一裝置發送到第二裝置。

【0166】 陳述 23.本發明概念的實施例包含根據陳述 20 所述的方法，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電

可擦可程式唯讀記憶體（EEPROM）中的一個。

【0167】 陳述 24.本發明概念的實施例包含一種方法，包括：

從第二裝置接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取第一配對資料；

將回應從第一裝置發送到第二裝置，所述回應包含第一配對資料；

從第二裝置接收第一裝置處的第二配對資料；以及

將第二配對資料儲存在第一裝置中的第二儲存裝置中。

【0168】 陳述 25.本發明概念的實施例包含根據陳述 24 所述的方法，其中第一裝置和第二裝置分別包含現場可程式閘陣列（FPGA）、專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0169】 陳述 26.本發明概念的實施例包含根據陳述 24 所述的方法，其中：

從第二裝置接收第一裝置處的查詢包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的查詢；

將回應從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將回應從第一裝置發送到第二裝置；且

從第二裝置接收第一裝置處的第二配對資料包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的第二配對資料。

【0170】 陳述 27.本發明概念的實施例包含根據陳述 24 所述的方法

法，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電可擦可程式唯讀記憶體（EEPROM）中的一個。

【0171】 陳述 28.本發明概念的實施例包含一種方法，包括：

接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取用於第一裝置的第一唯一識別符（ID）；

從第一裝置中的第二儲存裝置存取用於第二裝置的第二唯一 ID，所述第二裝置與第一裝置配對；以及

發送對來自第一裝置的查詢的回應，所述回應包含第一唯一 ID 和第二唯一 ID 二者。

【0172】 陳述 29.本發明概念的實施例包含根據陳述 28 所述的方法，其中：

接收第一裝置處的查詢包含帶外地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶外地發送對來自第一裝置的查詢的回應。

【0173】 陳述 30.本發明概念的實施例包含根據陳述 29 所述的方法，其中：

帶外地接收第一裝置處的查詢包含通過系統管理匯流排（SMBus）連接接收第一裝置處的查詢；且

帶外地發送對來自第一裝置的查詢的回應包含通過

SMBus 連接發送對來自第一裝置的查詢的回應。

【0174】 陳述 31.本發明概念的實施例包含根據陳述 28 所述的方法，其中：

接收第一裝置處的查詢包含帶內地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶內地發送對來自第一裝置的查詢的回應。

【0175】 陳述 32.本發明概念的實施例包含根據陳述 31 所述的方法，其中：

帶內地接收第一裝置處的查詢包含通過周邊元件連接快速（PCIe）連接接收第一裝置處的查詢；且

帶內地發送對來自第一裝置的查詢的回應包含通過 PCIe 連接發送對來自第一裝置的查詢的回應。

【0176】 陳述 33.本發明概念的實施例包含根據陳述 28 所述的方法，其中查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0177】 陳述 34.本發明概念的實施例包含一種方法，包括：

將第一查詢發送到由第一虛擬識別符（ID）表示的固態驅動器（SSD）；

回應於第一查詢從 SSD 接收唯一 SSD ID 和唯一輔助處理器 ID；

將第二查詢發送到由第二虛擬 ID 表示的輔助處理器；

回應於第二查詢從輔助處理器接收唯一 SSD ID 和唯一輔助處理器 ID；以及

將第一虛擬 ID 與第二虛擬 ID 配對。

【0178】 陳述 35.本發明概念的實施例包含根據陳述 34 所述的方法，其中將第一查詢發送到固態驅動器（SSD）包含將第一查詢帶外地發送到 SSD。

【0179】 陳述 36.本發明概念的實施例包含根據陳述 35 所述的方法，其中將第一查詢帶外地發送到 SSD 包含通過系統管理匯流排（SMBus）連接將第一查詢發送到 SSD。

【0180】 陳述 37.本發明概念的實施例包含根據陳述 34 所述的方法，其中將第一查詢發送到固態驅動器（SSD）包含將第一查詢帶內地發送到 SSD。

【0181】 陳述 38.本發明概念的實施例包含根據陳述 37 所述的方法，其中將第一查詢帶內地發送到 SSD 包含通過周邊元件連接快速（PCIe）連接將第一查詢發送到 SSD。

【0182】 陳述 39.本發明概念的實施例包含根據陳述 34 所述的方法，其中第一查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0183】 陳述 40.本發明概念的實施例包含根據陳述 34 所述的方法，其中將第二查詢發送到輔助處理器包含將第二查詢帶外地發送到輔助處理器。

【0184】 陳述 41.本發明概念的實施例包含根據陳述 40 所述的方法

法，其中將第二查詢帶外地發送到輔助處理器包含通過 SMBus 連接將第二查詢發送到輔助處理器。

【0185】 陳述 42.本發明概念的實施例包含根據陳述 34 所述的方法，其中第二查詢包含非揮發性管理快速(NVMe)管理介面(MI)命令。

【0186】 陳述 43.本發明概念的實施例包含根據陳述 34 所述的方法，其中將第一虛擬 ID 與第二虛擬 ID 配對包含回應於返回唯一 SSD ID 和唯一輔助處理器 ID 的 SSD 和輔助處理器二者而將第一虛擬 ID 與第二虛擬 ID 配對。

【0187】 陳述 44.本發明概念的實施例包含根據陳述 34 所述的方法，所述方法進一步包括提供應用程式設計介面(API)，所述應用程式設計介面可操作以對關於第一虛擬 ID 與第二虛擬 ID 的配對的查詢作出回應。

【0188】 陳述 45.本發明概念的實施例包含根據陳述 44 所述的方法，所述方法進一步包括：

接收對第一虛擬 ID 的配對的配對查詢；以及

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID。

【0189】 陳述 46.本發明概念的實施例包含根據陳述 45 所述的方法，其中：

接收對第一虛擬 ID 的配對的配對查詢包含經由 API 從應用程式接收用於第一虛擬 ID 的配對的配對查詢；且

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID 包含回應於第一虛擬 ID 與第二虛擬 ID 的配對而將第二虛擬 ID 返回到應用程式。

【0190】 陳述 47.本發明概念的實施例包含根據陳述 44 所述的方法，所述方法進一步包括：

接收對與文件相關聯的配對的文件查詢；

將 SSD 識別為儲存所述文件；以及

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID。

【0191】 陳述 48.本發明概念的實施例包含根據陳述 47 所述的方法，其中：

接收對與文件相關聯的配對的文件查詢包含經由 API 從應用程式接收對與文件相關聯的配對的文件查詢；

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID 包含回應於文件查詢而將第一虛擬 ID 和第二虛擬 ID 返回到應用程式。

【0192】 陳述 49.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

將查詢從第一裝置發送到第二裝置；

從第二裝置接收第一裝置處的回應，所述回應包含第一配對資料；

將第一配對資料儲存在第一裝置中的第二儲存裝置中；

從第一裝置中的第一儲存裝置存取第二配對資料；以及
將第二配對資料從第一裝置發送到第二裝置。

【0193】 陳述 50.本發明概念的實施例包含根據陳述 49 所述的物品，其中第一裝置和第二裝置分別包含現場可程式閘陣列（FPGA）、專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0194】 陳述 51.本發明概念的實施例包含根據陳述 49 所述的物品，其中：

將查詢從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將查詢從第一裝置發送到第二裝置；

從第二裝置接收第一裝置處的回應包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的回應；且

將第二配對資料從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將第二配對資料從第一裝置發送到第二裝置。

【0195】 陳述 52.本發明概念的實施例包含根據陳述 49 所述的物品，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電可擦可程式唯讀記憶體（EEPROM）中的一個。

【0196】 陳述 53.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

從第二裝置接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取第一配對資料；

將回應從第一裝置發送到第二裝置，所述回應包含第一配對資料；

從第二裝置接收第一裝置處的第二配對資料；以及

將第二配對資料儲存在第一裝置中的第二儲存裝置中。

【0197】 陳述 54.本發明概念的實施例包含根據陳述 53 所述的物品，其中第一裝置和第二裝置分別包含現場可程式閘陣列（FPGA）、專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0198】 陳述 55.本發明概念的實施例包含根據陳述 53 所述的物品，其中：

從第二裝置接收第一裝置處的查詢包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的查詢；

將回應從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將回應從第一裝置發送到第二裝置；且

從第二裝置接收第一裝置處的第二配對資料包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的第二配對資料。

【0199】 陳述 56.本發明概念的實施例包含根據陳述 53 所述的物品，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電

可擦可程式唯讀記憶體（EEPROM）中的一個。

【0200】 陳述 57.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取用於第一裝置的第一唯一識別符（ID）；

從第一裝置中的第二儲存裝置存取用於第二裝置的第二唯一 ID，所述第二裝置與第一裝置配對；以及

發送對來自第一裝置的查詢的回應，所述回應包含第一唯一 ID 和第二唯一 ID 二者。

【0201】 陳述 58.本發明概念的實施例包含根據陳述 57 所述的物品，其中：

接收第一裝置處的查詢包含帶外地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶外地發送對來自第一裝置的查詢的回應。

【0202】 陳述 59.本發明概念的實施例包含根據陳述 58 所述的物品，其中：

帶外地接收第一裝置處的查詢包含通過系統管理匯流排（SMBus）連接接收第一裝置處的查詢；且

帶外地發送對來自第一裝置的查詢的回應包含通過

SMBus 連接發送對來自第一裝置的查詢的回應。

【0203】 陳述 60.本發明概念的實施例包含根據陳述 57 所述的物品，其中：

接收第一裝置處的查詢包含帶內地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶內地發送對來自第一裝置的查詢的回應。

【0204】 陳述 61.本發明概念的實施例包含根據陳述 60 所述的物品，其中：

帶內地接收第一裝置處的查詢包含通過周邊元件連接快速（PCIe）連接接收第一裝置處的查詢；且

帶內地發送對來自第一裝置的查詢的回應包含通過 PCIe 連接發送對來自第一裝置的查詢的回應。

【0205】 陳述 62.本發明概念的實施例包含根據陳述 57 所述的物品，其中查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0206】 陳述 63.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

將第一查詢發送到由第一虛擬識別符（ID）表示的固態驅動器（SSD）；

回應於第一查詢從 SSD 接收唯一 SSD ID 和唯一輔助處

理器 ID；

將第二查詢發送到由第二虛擬 ID 表示的輔助處理器；

回應於第二查詢從輔助處理器接收唯一 SSD ID 和唯一輔助處理器 ID；以及

將第一虛擬 ID 與第二虛擬 ID 配對。

【0207】 陳述 64.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第一查詢發送到固態驅動器（SSD）包含將第一查詢帶外地發送到 SSD。

【0208】 陳述 65.本發明概念的實施例包含根據陳述 64 所述的物品，其中將第一查詢帶外地發送到 SSD 包含通過系統管理匯流排（SMBus）連接將第一查詢發送到 SSD。

【0209】 陳述 66.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第一查詢發送到固態驅動器（SSD）包含將第一查詢帶內地發送到 SSD。

【0210】 陳述 67.本發明概念的實施例包含根據陳述 66 所述的物品，其中將第一查詢帶內地發送到 SSD 包含通過周邊元件連接快速（PCIe）連接將第一查詢發送到 SSD。

【0211】 陳述 68.本發明概念的實施例包含根據陳述 63 所述的物品，其中第一查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0212】 陳述 69.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第二查詢發送到輔助處理器包含將第二查詢帶外地發

送到輔助處理器。

【0213】 陳述 70.本發明概念的實施例包含根據陳述 69 所述的物品，其中將第二查詢帶外地發送到 S 輔助處理器 SD 包含通過 SMBus 連接將第二查詢發送到輔助處理器。

【0214】 陳述 71.本發明概念的實施例包含根據陳述 63 所述的物品，其中第二查詢包含非揮發性管理快速(NVMe)管理介面(MI)命令。

【0215】 陳述 72.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第一虛擬 ID 與第二虛擬 ID 配對包含回應於返回唯一 SSD ID 和唯一輔助處理器 ID 的 SSD 和輔助處理器二者而將第一虛擬 ID 與第二虛擬 ID 配對。

【0216】 陳述 73.本發明概念的實施例包含根據陳述 63 所述的物品，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：提供應用程式設計介面(API)，所述應用程式設計介面可操作以對關於第一虛擬 ID 與第二虛擬 ID 的配對的查詢作出回應。

【0217】 陳述 74.本發明概念的實施例包含根據陳述 73 所述的物品，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的其它指令：

接收對第一虛擬 ID 的配對的配對查詢；以及

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID。

【0218】 陳述 75.本發明概念的實施例包含根據陳述 74 的物品，其中：

接收對第一虛擬 ID 的配對的配對查詢包含經由 API 從應用程式接收對第一虛擬 ID 的配對的配對查詢；且

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID 包含回應於第一虛擬 ID 與第二虛擬 ID 的配對而將第二虛擬 ID 返回到應用程式。

【0219】 陳述 76.本發明概念的實施例包含根據陳述 73 所述的物品，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的其它指令：

接收對與文件相關聯的配對的文件查詢；

將 SSD 識別為儲存所述文件；以及

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID。

【0220】 陳述 77.本發明概念的實施例包含根據陳述 76 的物品，其中：

接收對與文件相關聯的配對的文件查詢包含經由 API 從應用程式接收對與文件相關聯的配對的文件查詢；

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID 包含回應於文件查詢而將第一虛擬 ID 和第二虛擬 ID 返回到應用程式。

【0221】 因此，考慮到對本文中所描述的實施例的各種置換，此詳細描述和隨附材料旨在僅為說明性的，並且不應視為限制本發

明概念的範圍。因此，本發明概念所要求保護的是落入所附申請專利範圍書以及其等效物的範圍和精神內的所有此類修改。

【符號說明】

【0222】

105：機器/裝置

110：處理器

115：記憶體

120：記憶體控制器

125、125-1、125-2、125-3、125-4、125-5、125-6：儲存裝

置/裝置/SSD

130-1、130-2：輔助處理器/裝置

205：現場可程式閘陣列

210：專用積體電路

215：圖形處理單元

220：張量處理單元

225：擦除編碼控制器

230：小型處理器內核

305：時鐘

310：網路連接器

315：匯流排

320：使用者介面

325：輸入/輸出引擎

405：作業系統

410、415、420、425：虛擬識別符

430、435：資料儲存裝置

505-1、505-2、510-1、510-2、515-1、515-2、520-1、520-2：

儲存裝置

605、615：查詢

610、620：回應

625：操作

705：系統管理匯流排/硬體介面

710：帶內連接

715：帶外連接

905：識別裝置

910：識別回應

915：設置配對資料

920、930、1020、1025：設置回應

925：設置高級資料/設置日誌頁

1005：讀取身份資料

1010：讀取回應

1015：設置身份資料

1105、1305、1405：具有後備擦除編碼邏輯的 PCIe 交換機；

1505、1510、1515、1520、1525、1605、1610、1615、1620、

1625、1705、1710、1715、1720、1805、1810、1815、1820、1825、
1830、1905、1910、1915、1920、1925、1930：框
1935、1940：箭頭

【發明申請專利範圍】

【第1項】 一種系統，包括：

固態驅動器，包含用於資料的第一儲存裝置、用於唯一固態驅動器識別符的第二儲存裝置以及用於唯一輔助處理器識別符的第三儲存裝置；

輔助處理器，包含用於所述唯一輔助處理器識別符的第四儲存裝置和用於所述唯一固態驅動器識別符的第五儲存裝置；以及

硬體介面，位於所述固態驅動器與所述輔助處理器之間。

【第2項】 如申請專利範圍第 1 項所述的系統，其中所述輔助處理器包含現場可程式閘陣列、專用積體電路、圖形處理單元、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【第3項】 如申請專利範圍第 1 項所述的系統，其中所述輔助處理器可操作以向所述固態驅動器查詢所述唯一固態驅動器識別符且將所述唯一固態驅動器識別符儲存在所述第五儲存裝置中。

【第4項】 如申請專利範圍第 1 項所述的系統，其中所述輔助處理器可操作以為所述固態驅動器提供所述唯一輔助處理器識別符。

【第5項】 如申請專利範圍第 1 項所述的系統，其中所述固態驅動器可操作以為所述輔助處理器提供所述唯一固態驅動器識別符。

【第6項】 如申請專利範圍第 1 項所述的系統，其中所述固態驅動器可操作以帶外地接收關於所述固態驅動器和所述輔助處理器的查詢。

【第7項】 如申請專利範圍第 6 項所述的系統，其中所述固態驅動

器可操作以用所述唯一固態驅動器識別符和所述唯一輔助處理器識別符二者對所述查詢作出回應。

【第8項】 如申請專利範圍第 1 項所述的系統，其中所述輔助處理器可操作以帶外地接收關於所述固態驅動器和所述輔助處理器的查詢。

【第9項】 如申請專利範圍第 8 項所述的系統，其中所述輔助處理器可操作以用所述唯一固態驅動器識別符和所述唯一輔助處理器識別符二者對所述查詢作出回應。

【第10項】 如申請專利範圍第 1 項所述的系統，其中所述固態驅動器可操作以帶內地接收關於所述固態驅動器和所述輔助處理器的查詢。

【第11項】 如申請專利範圍第 10 項所述的系統，其中所述固態驅動器可操作以用所述唯一固態驅動器識別符和所述唯一輔助處理器識別符二者對所述查詢作出回應。

【第12項】 一種方法，包括：

將查詢從第一裝置發送到第二裝置；

從所述第二裝置接收所述第一裝置處的回應，所述回應包含第一配對資料；

將所述第一配對資料儲存在所述第一裝置中的第一儲存裝置中；

從所述第一裝置中的第二儲存裝置存取第二配對資料；以及

將第二配對資料從所述第一裝置發送到所述第二裝置。

【第13項】 如申請專利範圍第 12 項所述的方法，其中：

將查詢從第一裝置發送到第二裝置包含通過所述第一裝置與所述第二裝置之間的硬體介面將所述查詢從所述第一裝置發送到所述第二裝置；

從所述第二裝置接收所述第一裝置處的回應包含通過所述第一裝置與所述第二裝置之間的所述硬體介面從所述第二裝置接收所述第一裝置處的所述回應；以及

將第二配對資料從所述第一裝置發送到所述第二裝置包含通過所述第一裝置與所述第二裝置之間的所述硬體介面將所述第二配對資料從所述第一裝置發送到所述第二裝置。

【第14項】 一種方法，包括：

將第一查詢發送到由第一虛擬識別符表示的固態驅動器；

回應於所述第一查詢而從所述固態驅動器接收唯一固態驅動器識別符和唯一輔助處理器識別符；

將第二查詢發送到由第二虛擬識別符表示的輔助處理器；

回應於所述第二查詢而從所述輔助處理器接收所述唯一固態驅動器識別符和所述唯一輔助處理器識別符；以及

將所述第一虛擬識別符與所述第二虛擬識別符配對。

【第15項】 如申請專利範圍第 14 項所述的方法，其中將所述第一虛擬識別符與所述第二虛擬識別符配對包含回應於返回所述唯一固態驅動器識別符和所述唯一輔助處理器識別符的所述固態驅動器和所述輔助處理器二者而將所述第一虛擬識別符與所述第二虛

擬識別符配對。

【第16項】 如申請專利範圍第 14 項所述的方法，進一步包括提供應用程式設計介面，所述應用程式設計介面可操作以對關於所述第一虛擬識別符與所述第二虛擬識別符的所述配對的查詢作出回應。

【第17項】 如申請專利範圍第 16 項所述的方法，進一步包括：
接收對所述第一虛擬識別符的配對的配對查詢；以及
回應於所述第一虛擬識別符與所述第二虛擬識別符的所述配對而返回所述第二虛擬識別符。

【第18項】 如申請專利範圍第 17 項所述的方法，其中：
接收對所述第一虛擬識別符的配對的配對查詢包含經由所述應用程式設計介面從應用程式接收對所述第一虛擬識別符的所述配對的所述配對查詢；以及

回應於所述第一虛擬識別符與所述第二虛擬識別符的所述配對而返回所述第二虛擬識別符包含回應於所述第一虛擬識別符與所述第二虛擬識別符的所述配對而將所述第二虛擬識別符返回到所述應用程式。

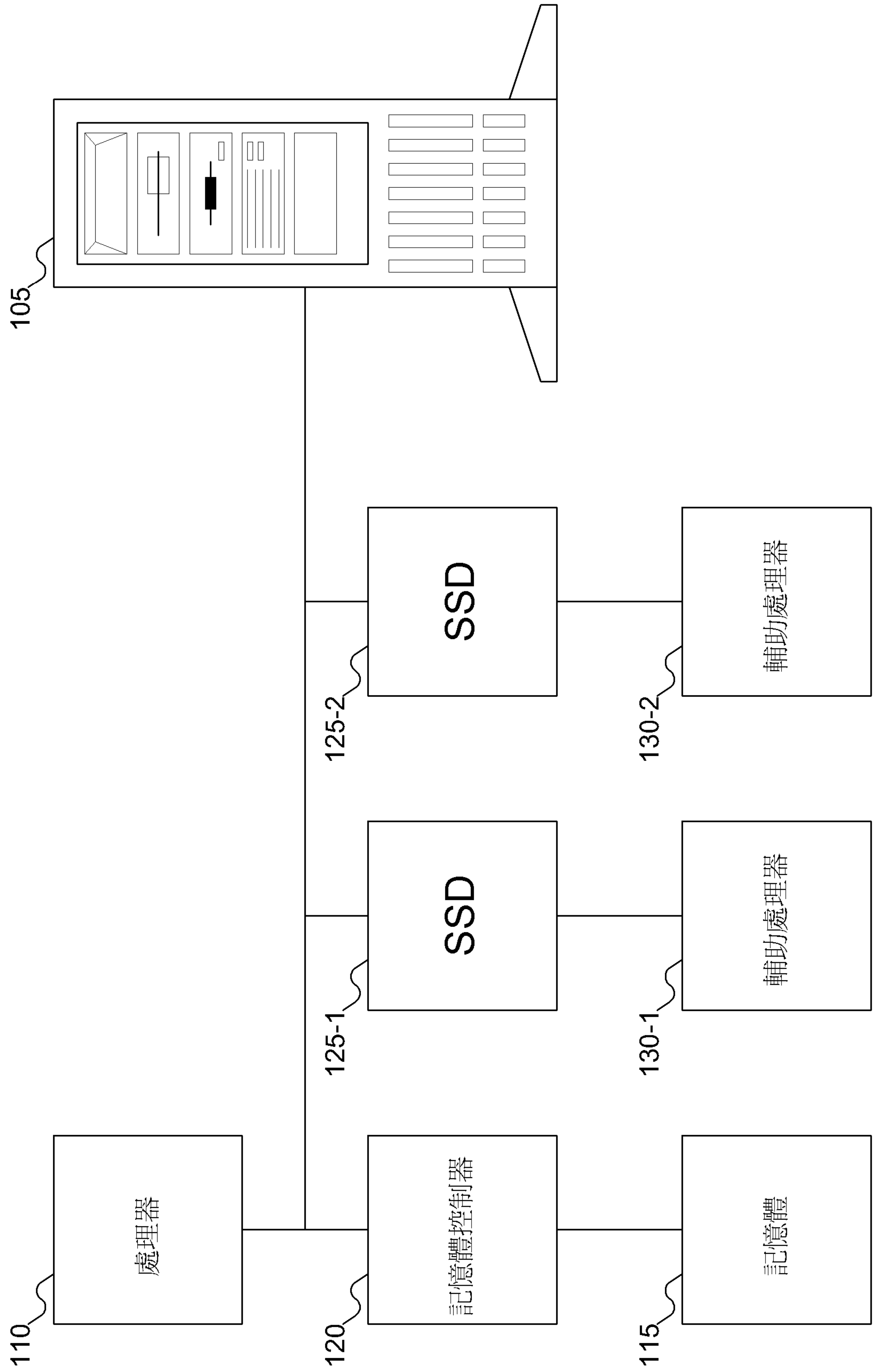
【第19項】 如申請專利範圍第 16 項所述的方法，進一步包括：
接收對與文件相關聯的配對的文件查詢；
將所述固態驅動器識別為儲存所述文件；以及
回應於所述文件查詢而返回所述第一虛擬識別符和所述第二虛擬識別符。

【第20項】 如申請專利範圍第 19 項所述的方法，其中：

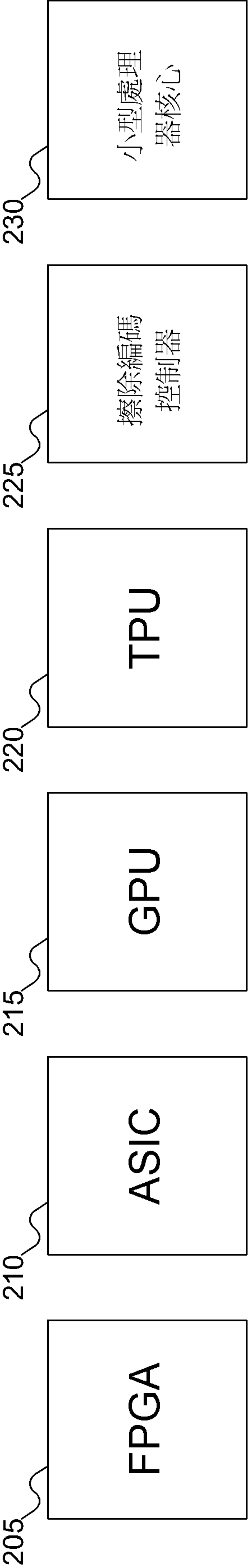
接收對與文件相關聯的配對的文件查詢包含經由所述應用程式設計介面從應用程式接收對與所述文件相關聯的所述配對的所述文件查詢；以及

回應於所述文件查詢而返回所述第一虛擬識別符和所述第二虛擬識別符包含回應於所述文件查詢而將所述第一虛擬識別符和所述第二虛擬識別符返回到所述應用程式。

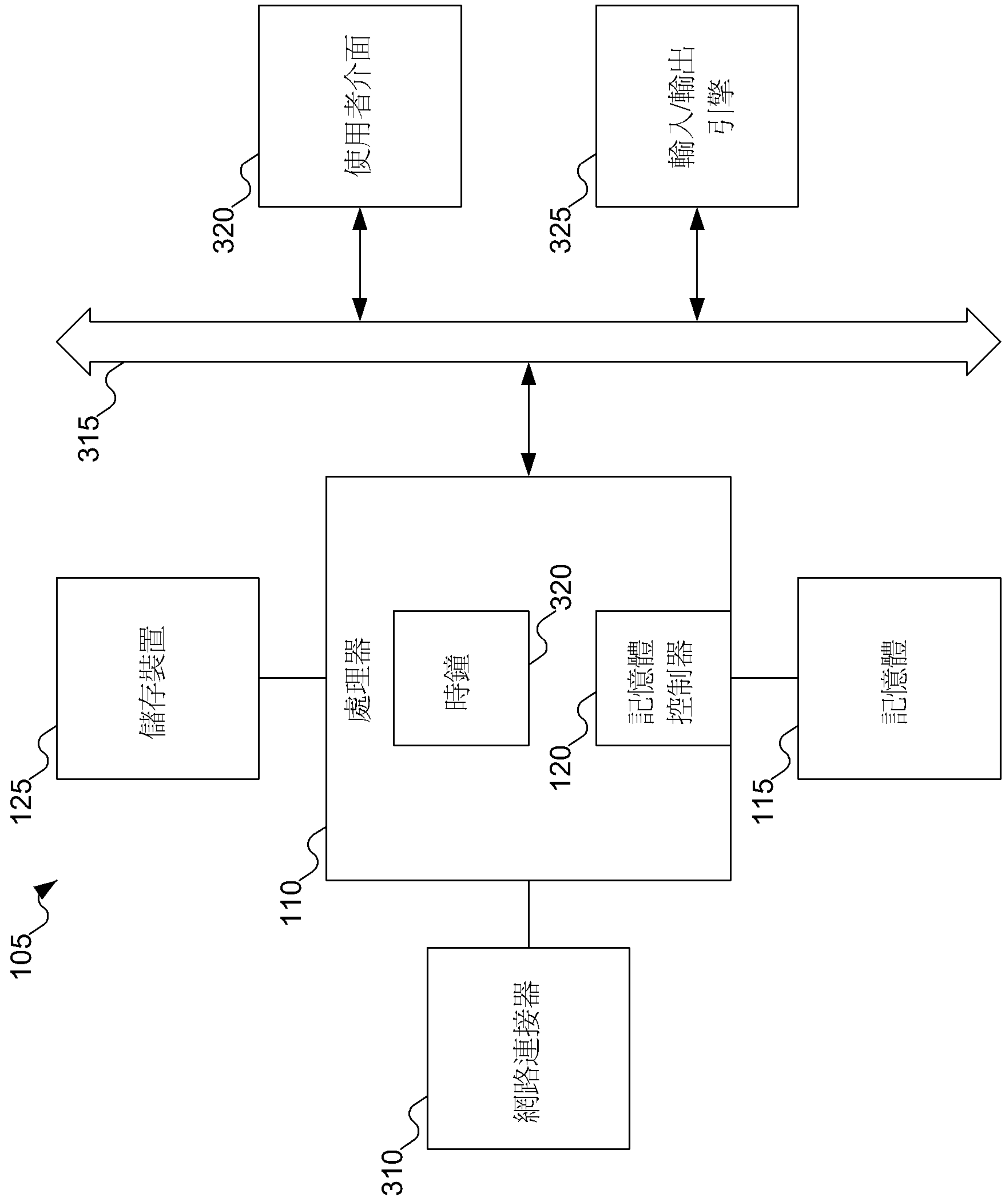
【發明圖式】



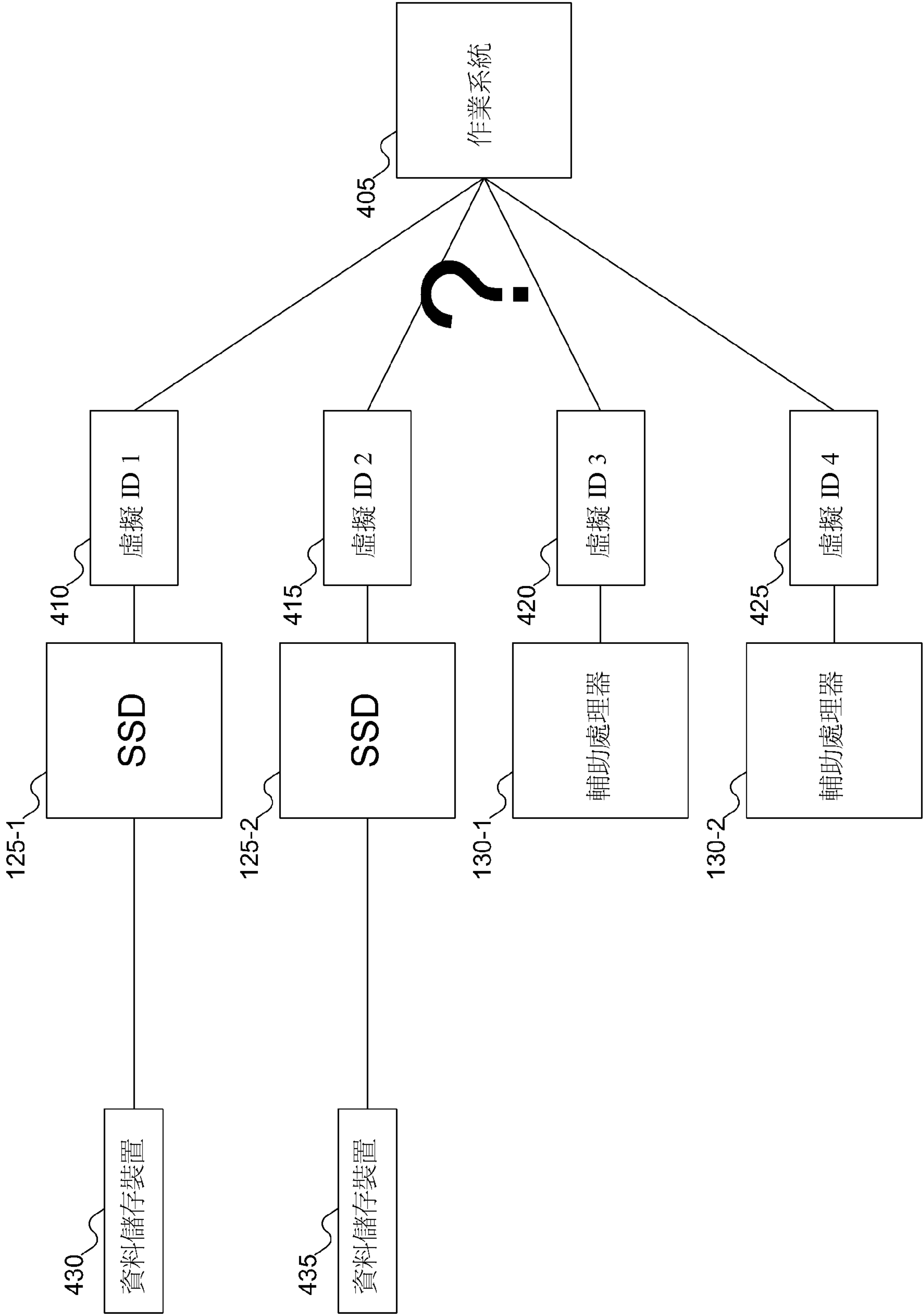
【圖 1】



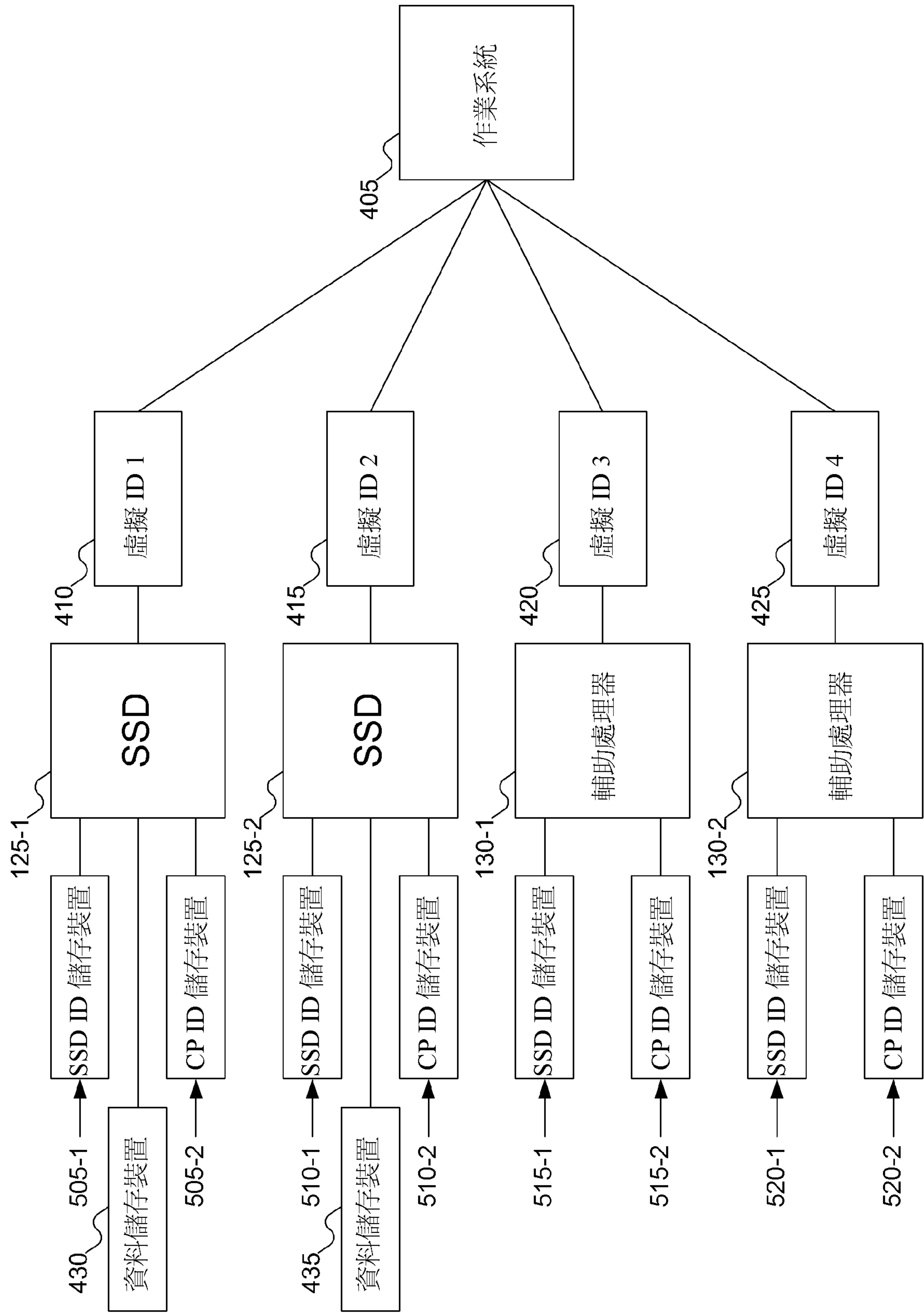
【圖 2】



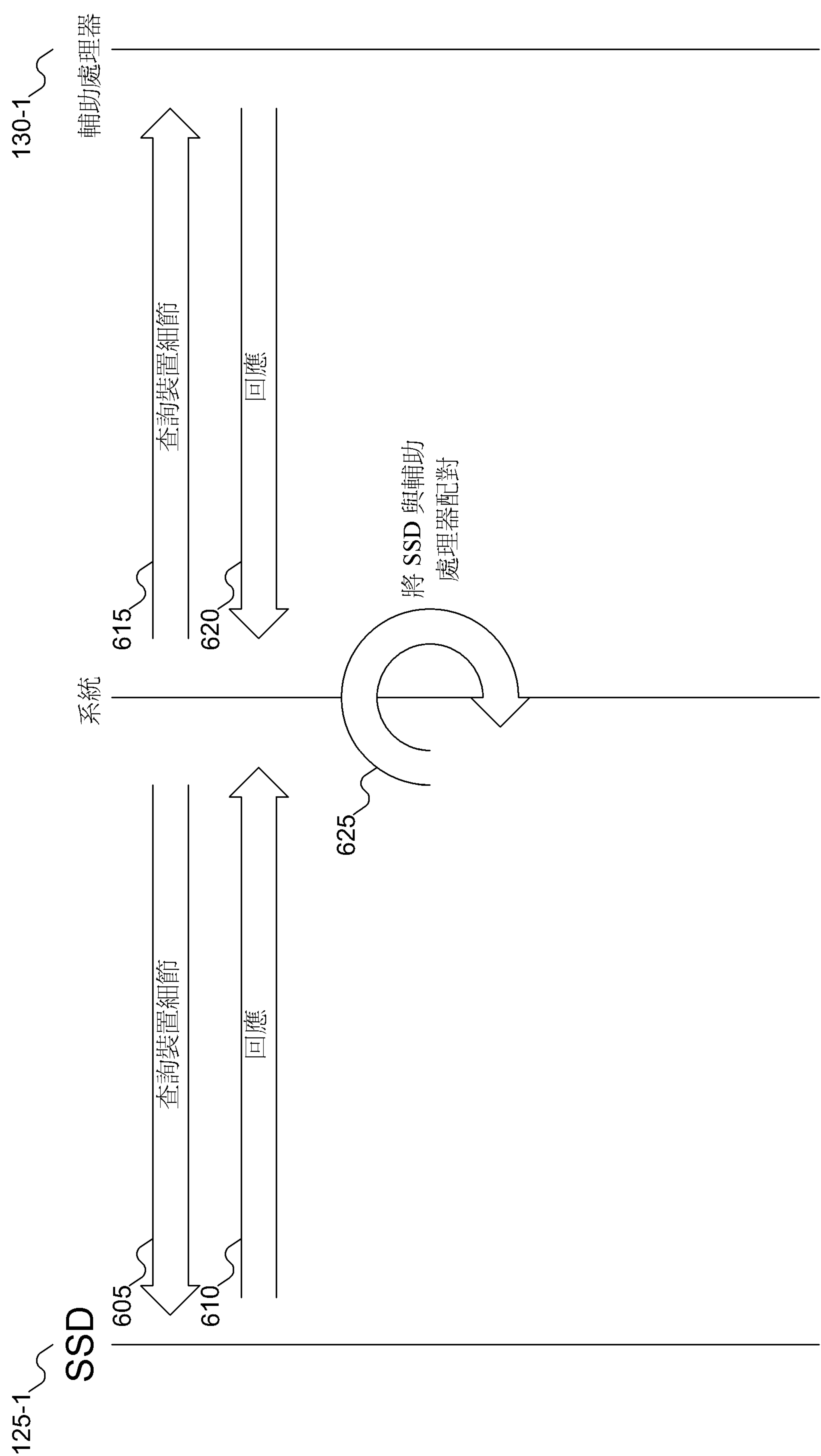
【圖 3】



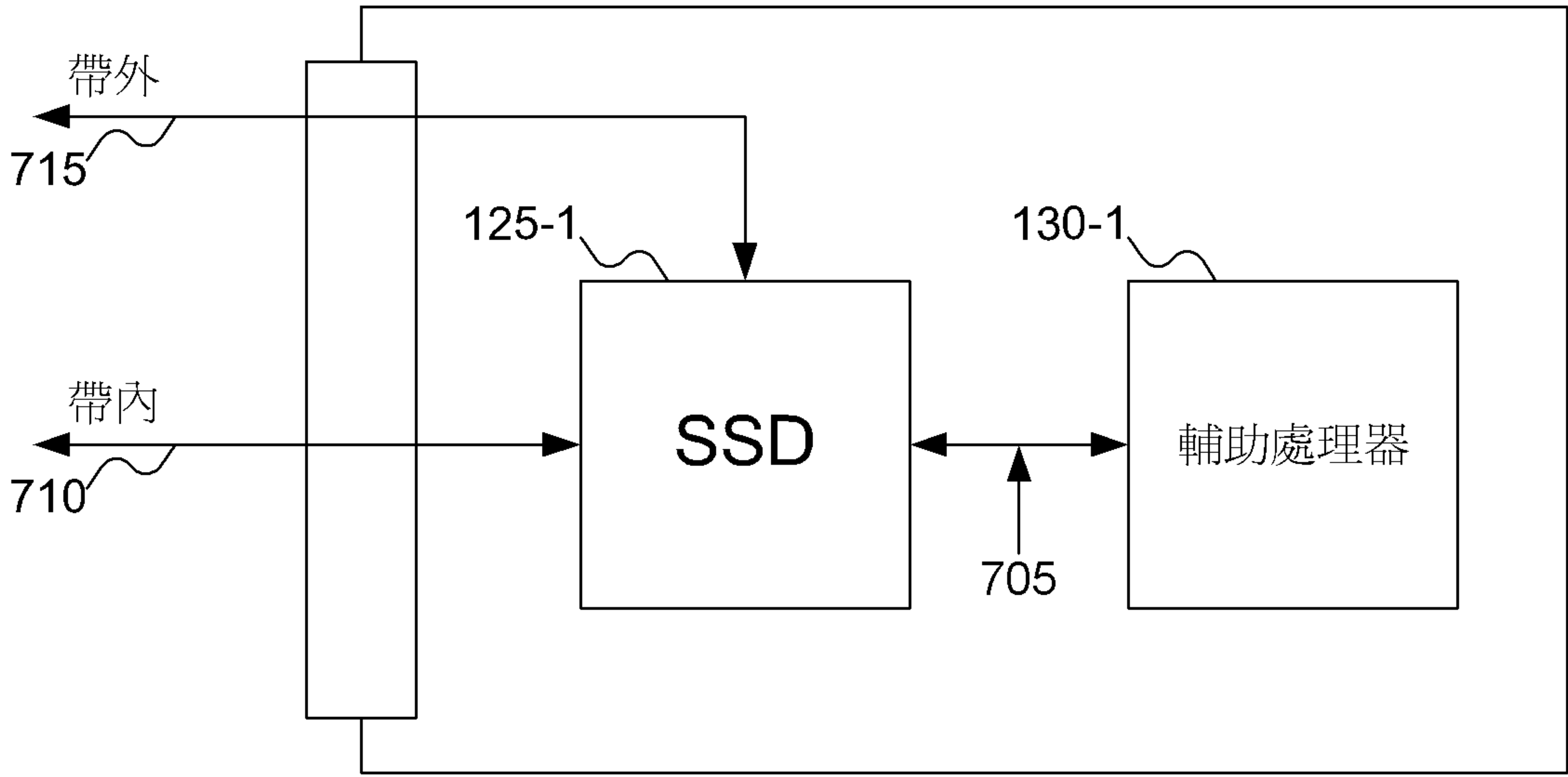
【圖 4】



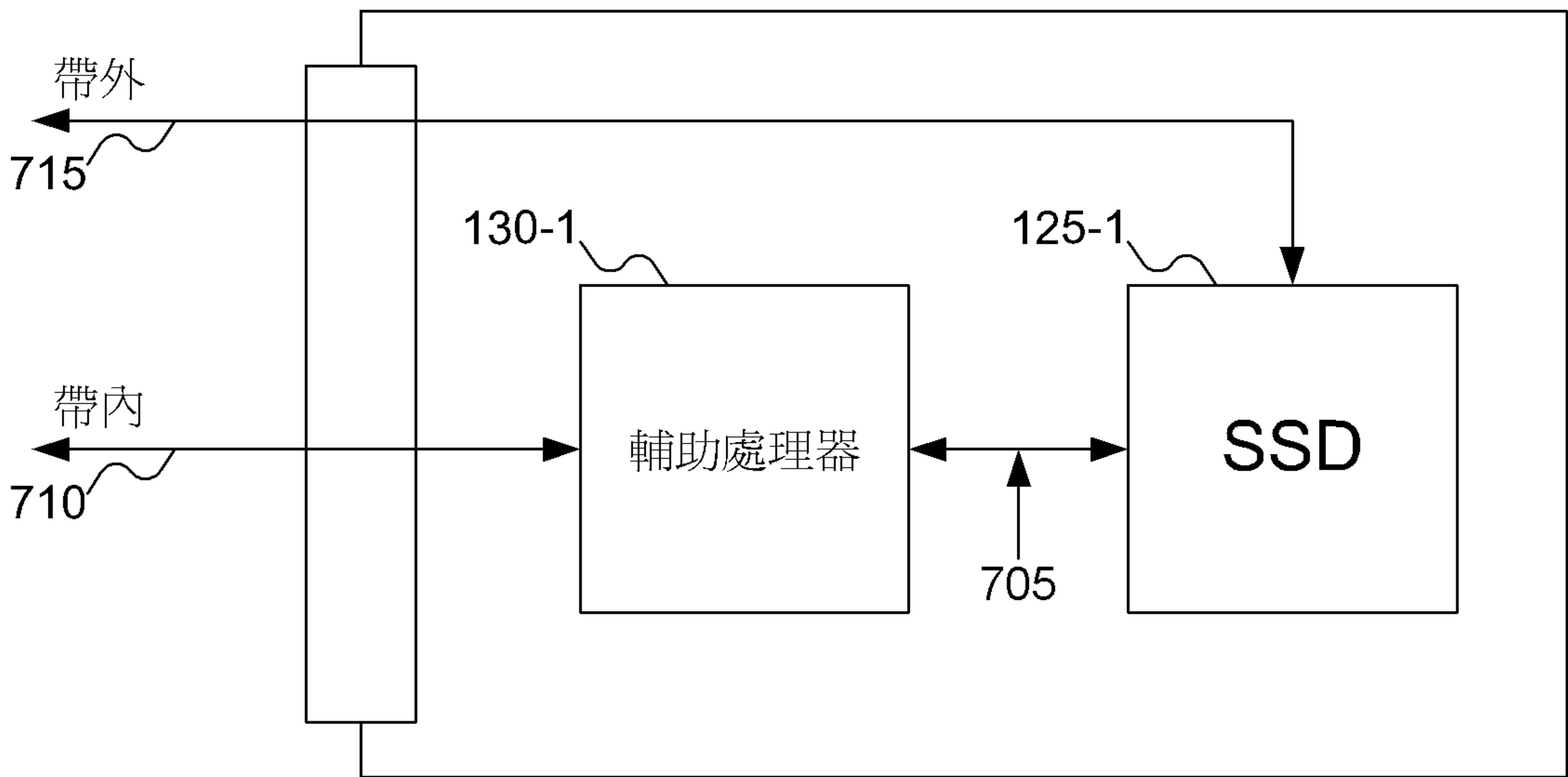
【圖 5】



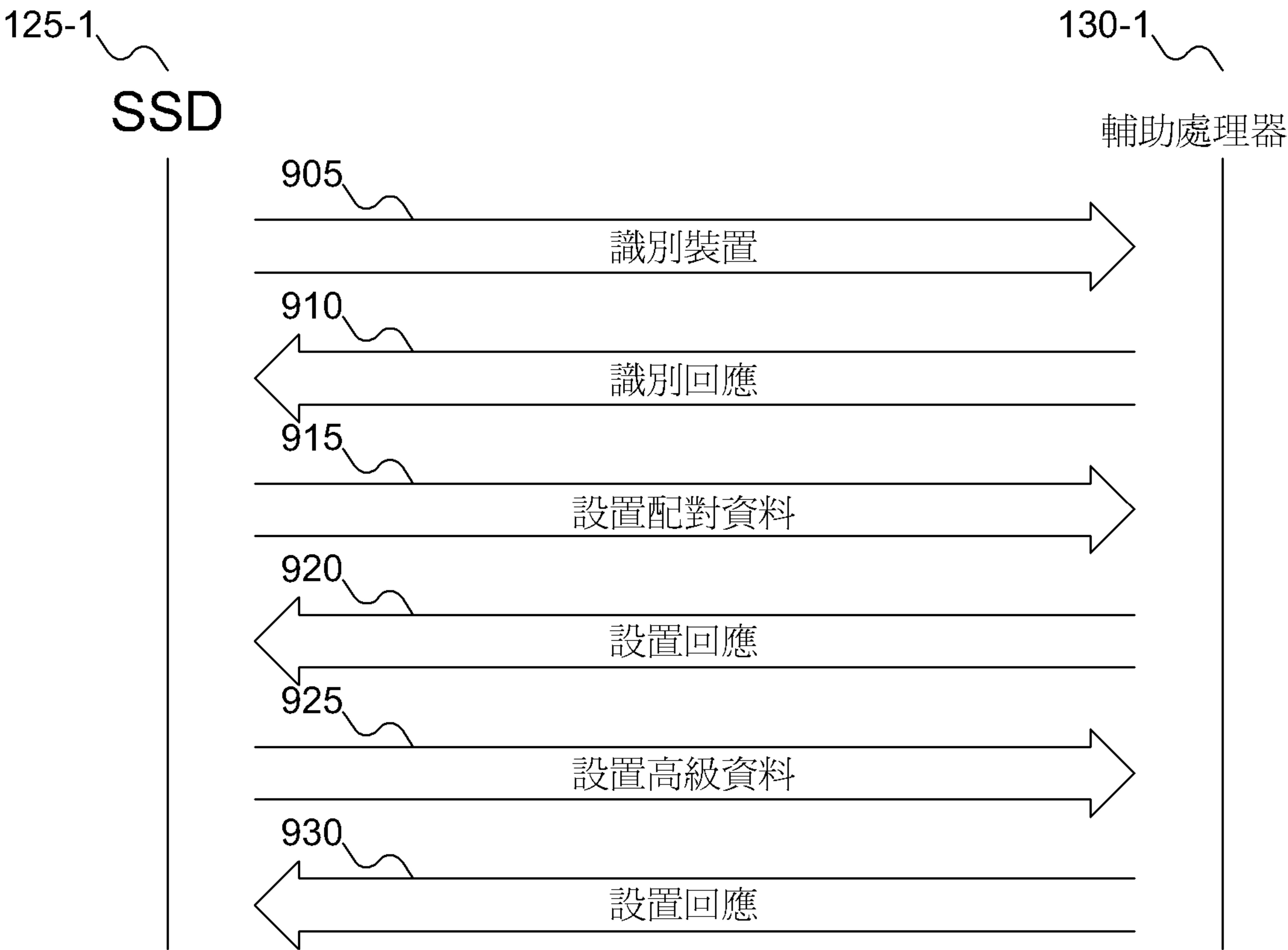
【圖 6】



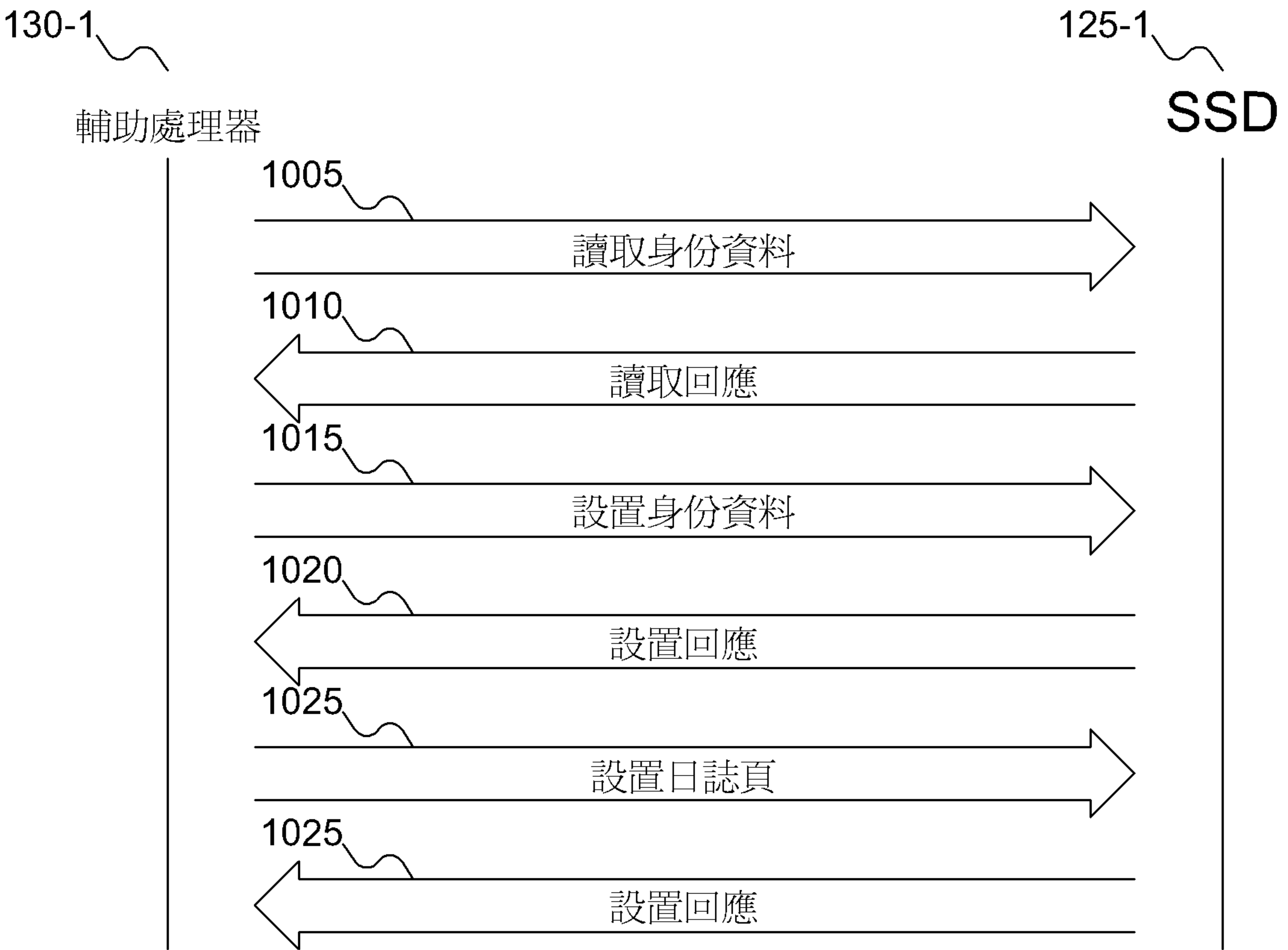
【圖 7】



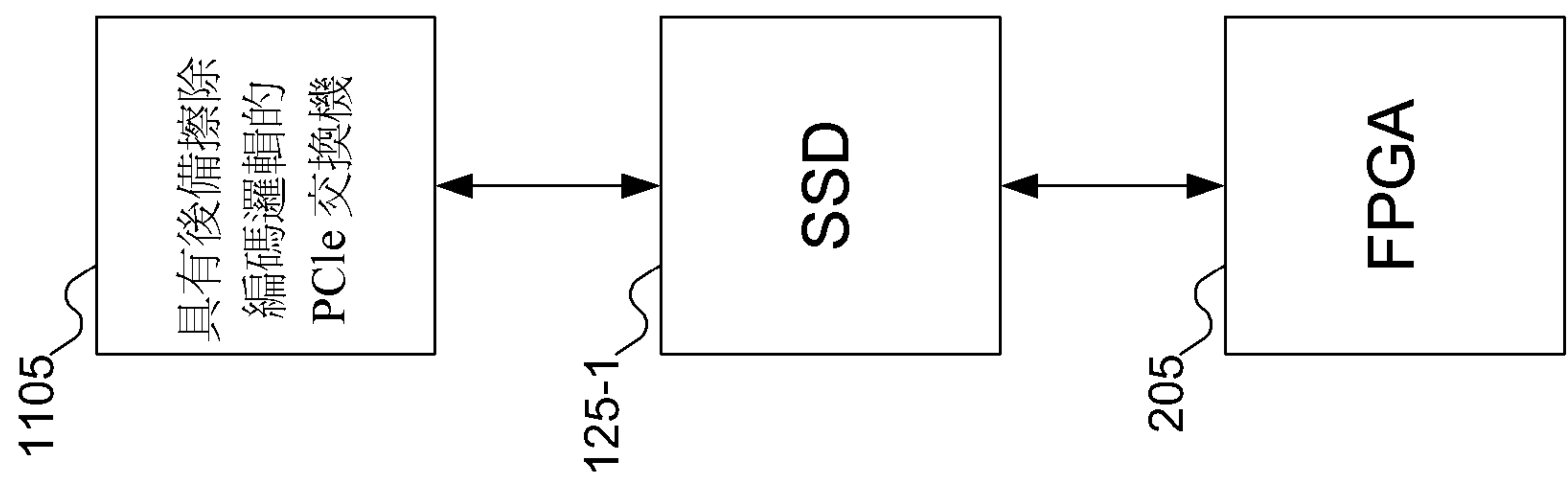
【圖 8】



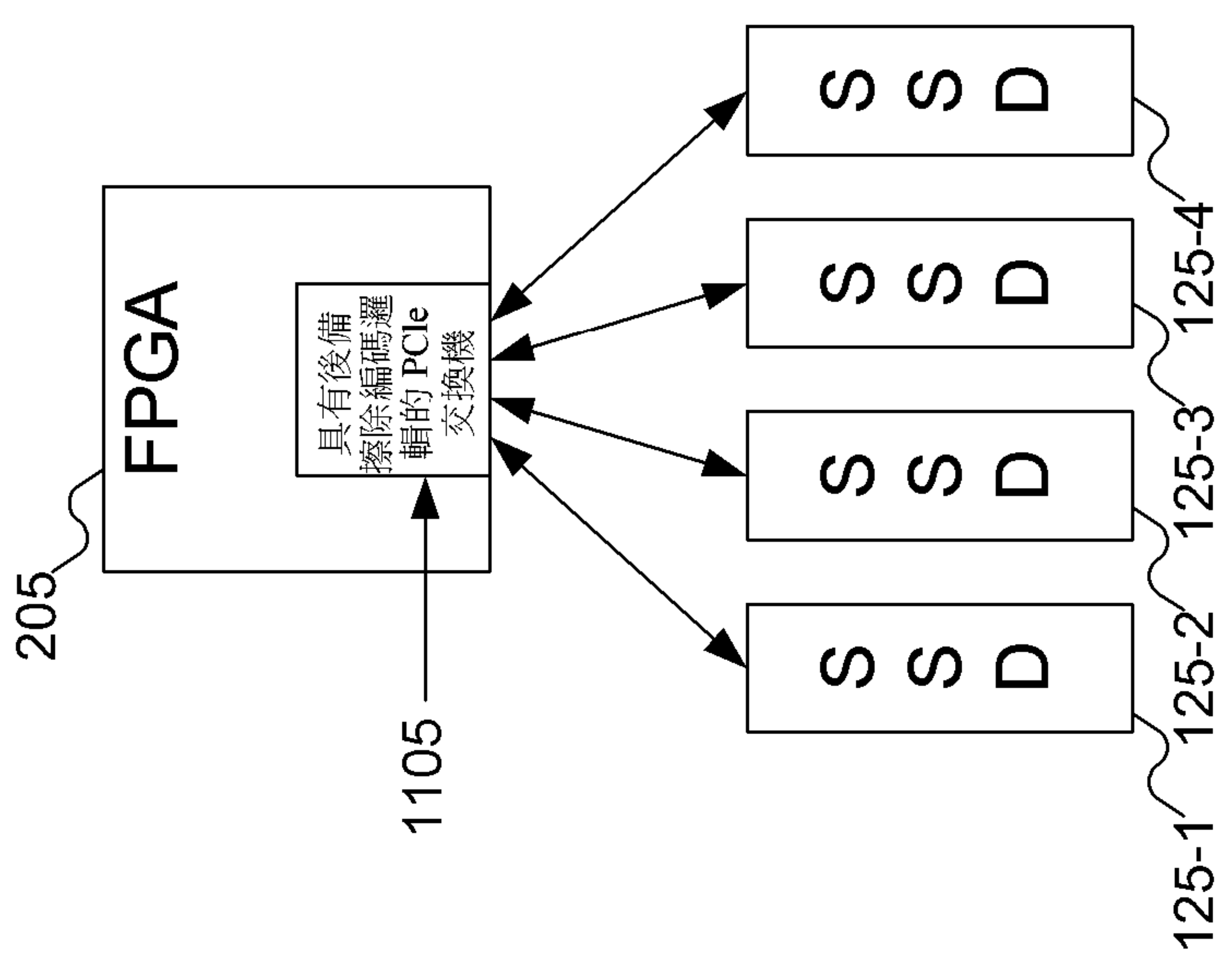
【圖 9】



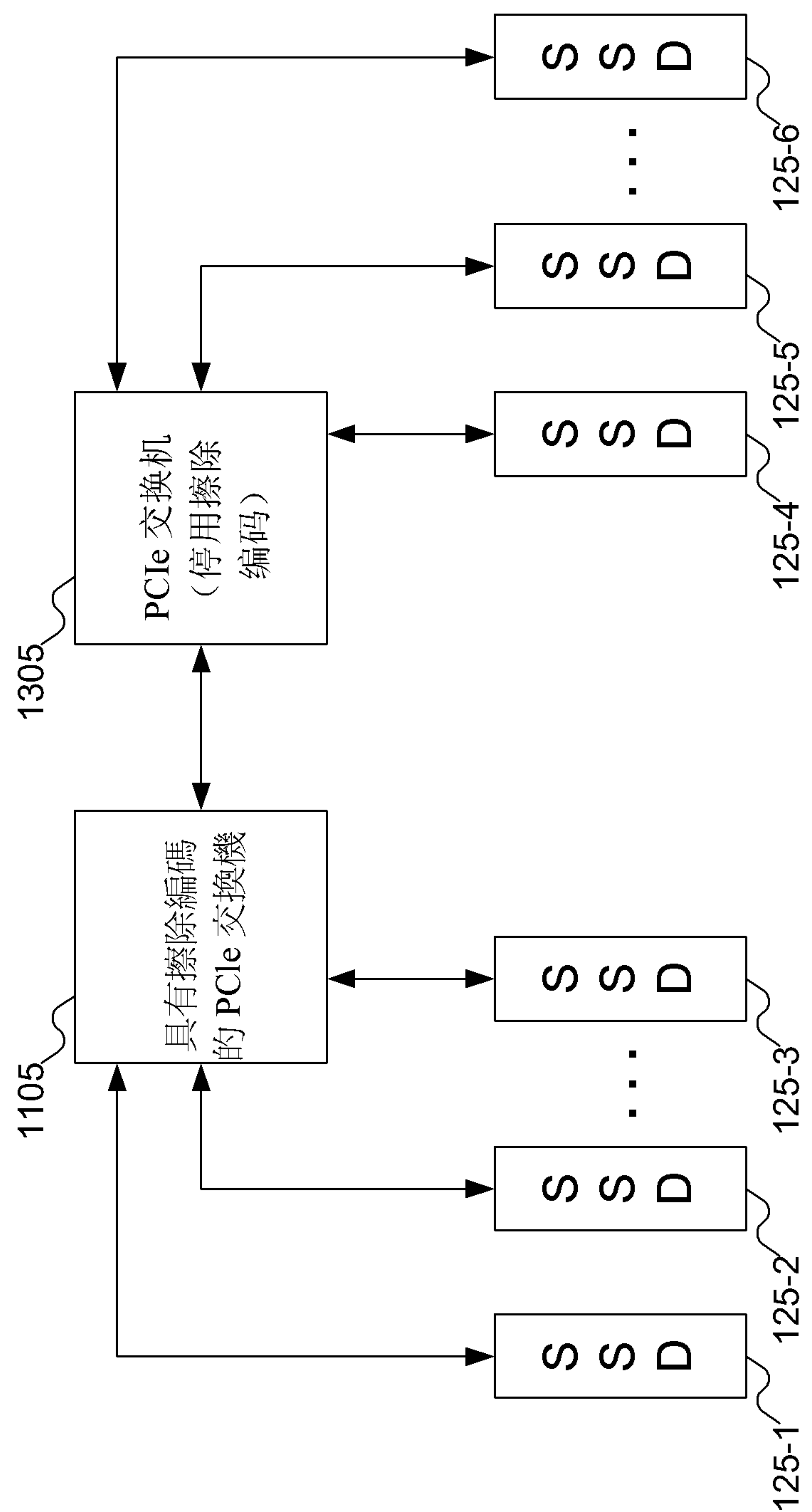
【圖 10】



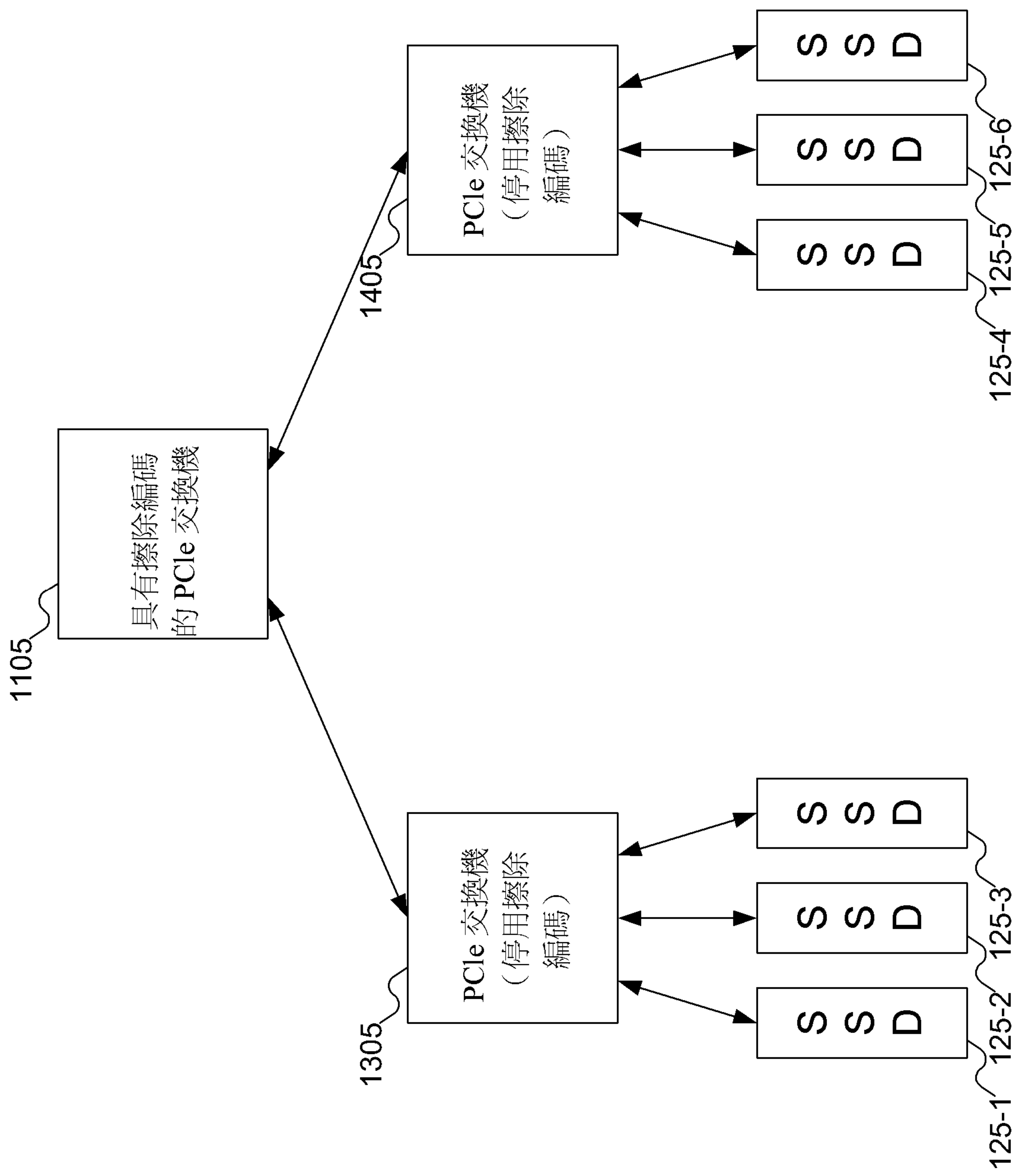
【圖 11】



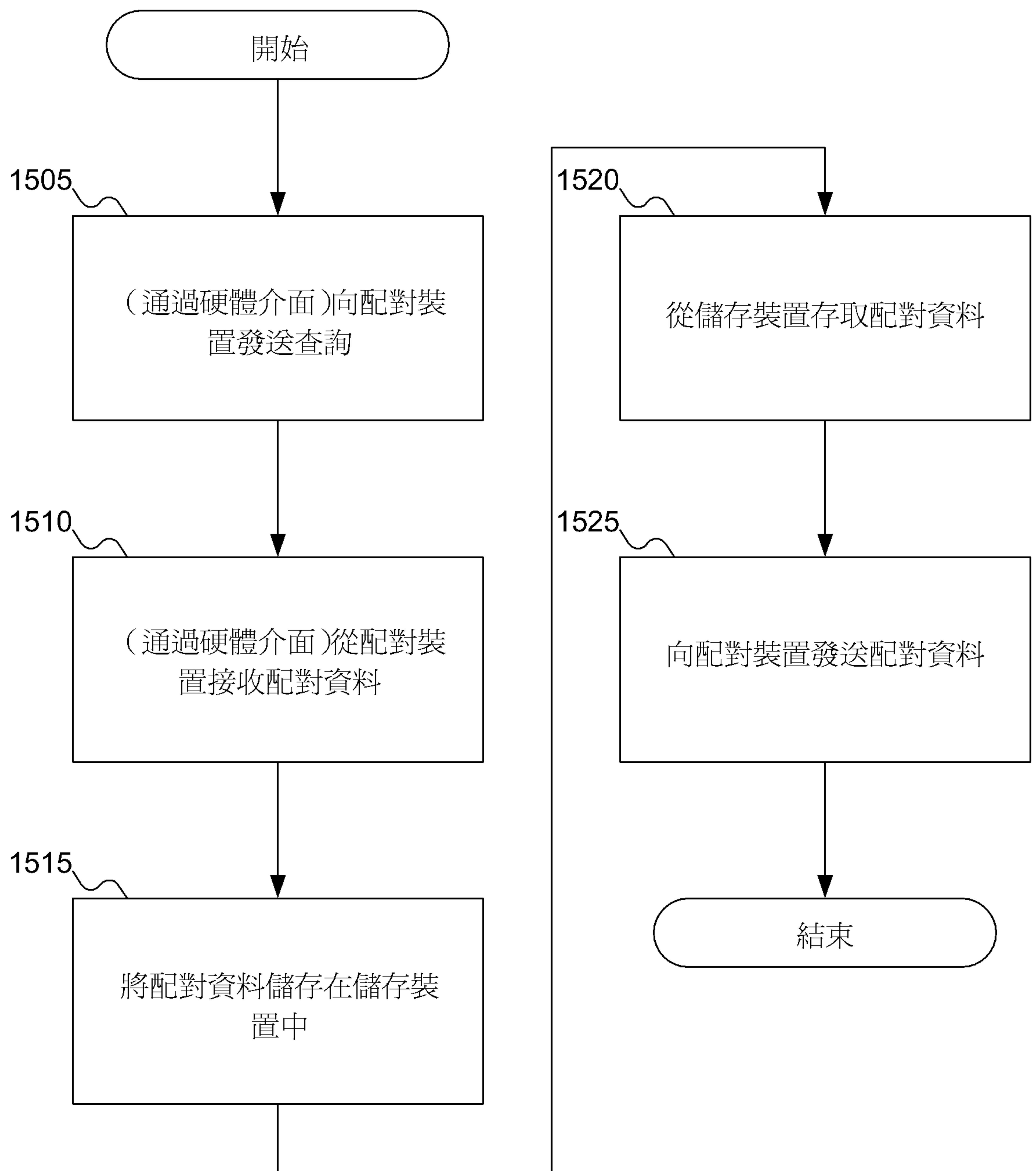
【圖 12】



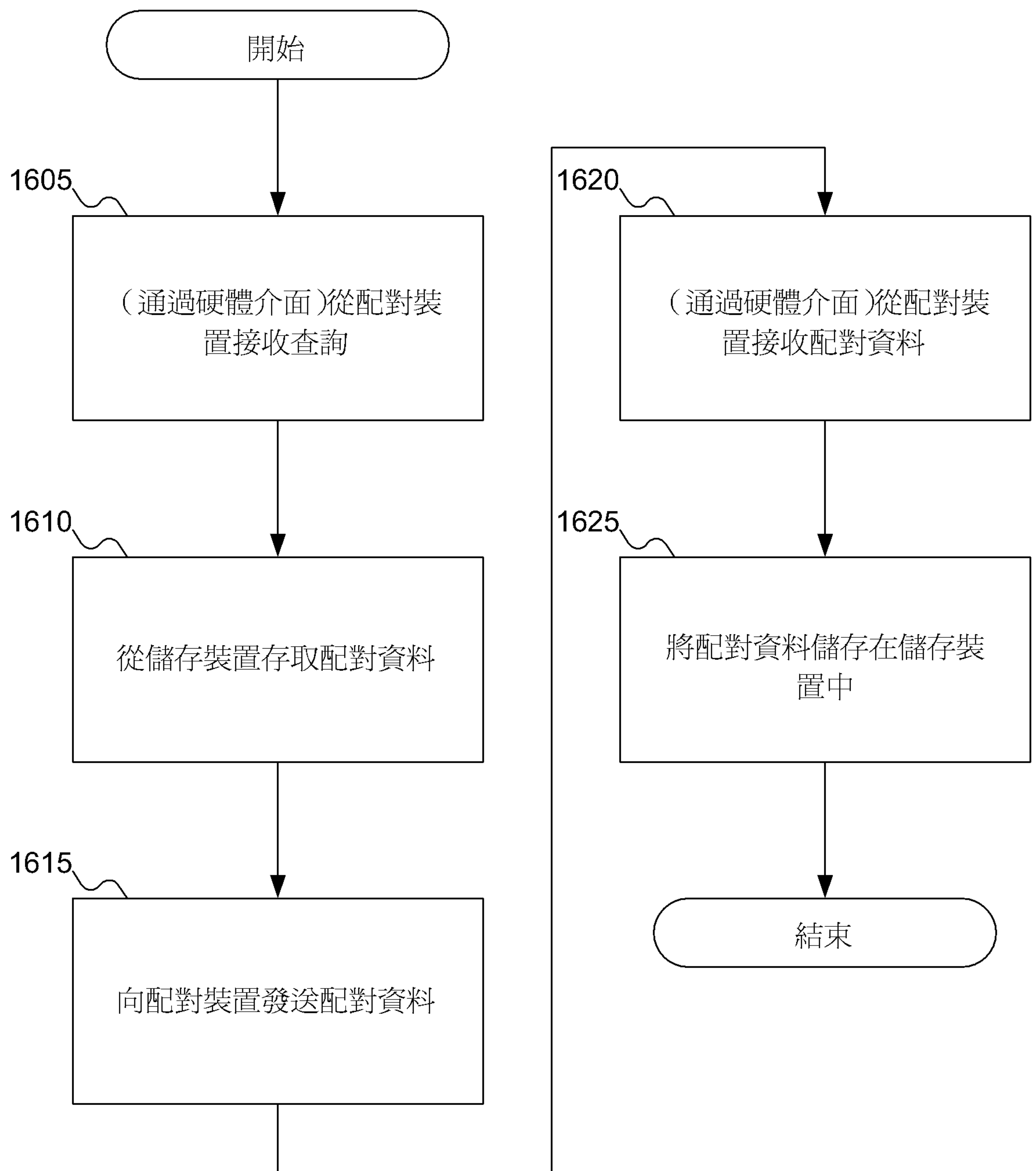
【圖 13】



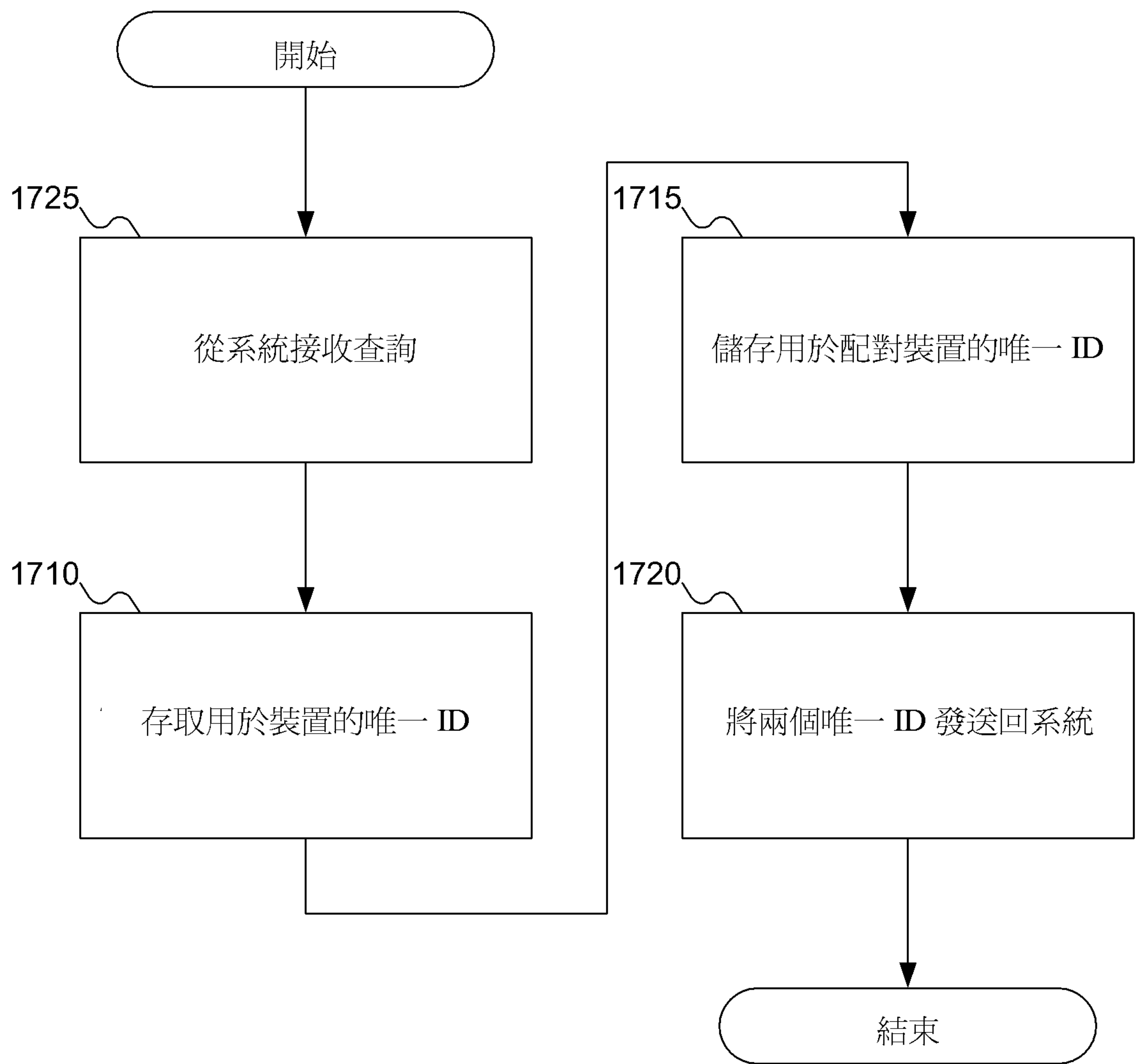
【圖 14】



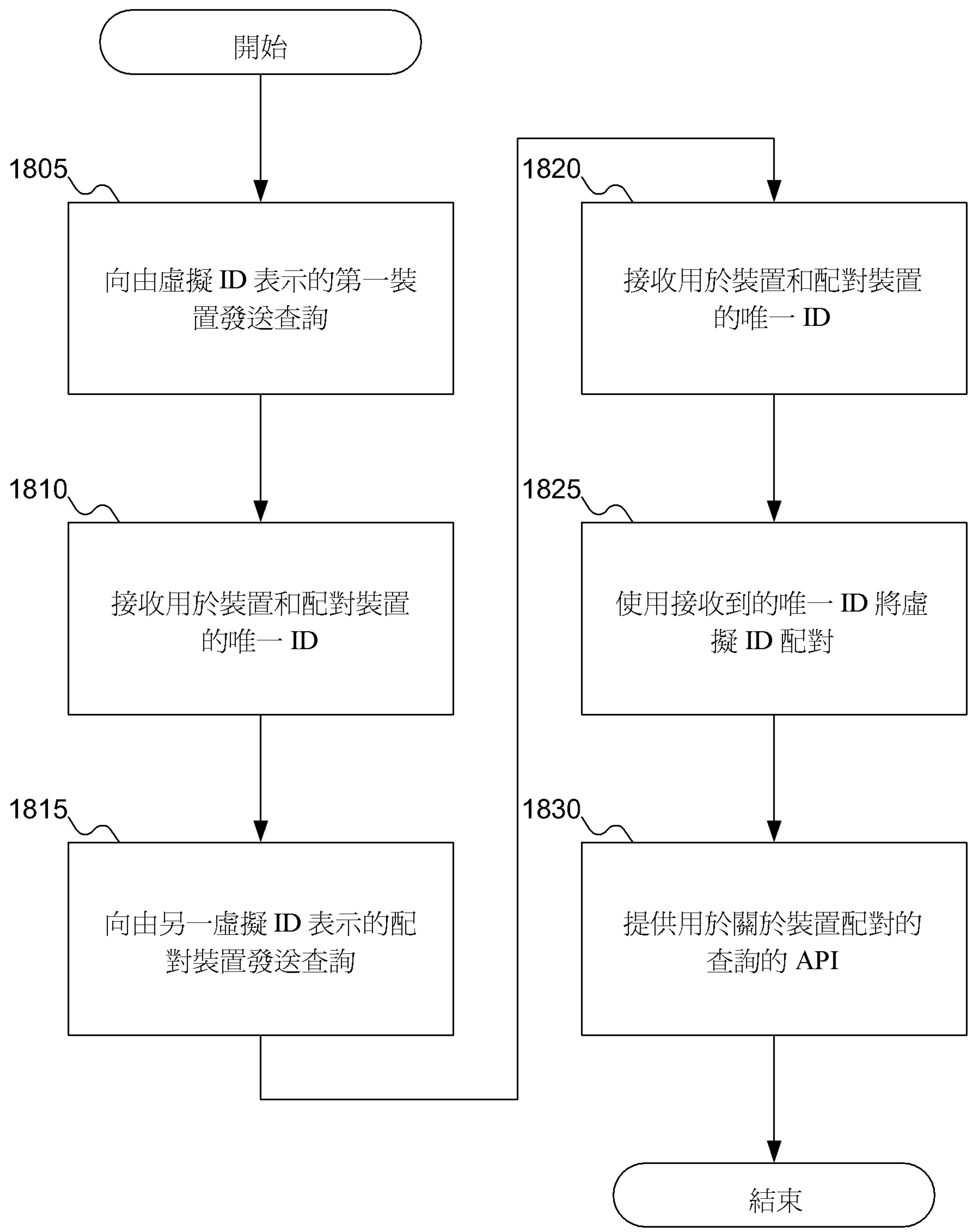
【圖 15】



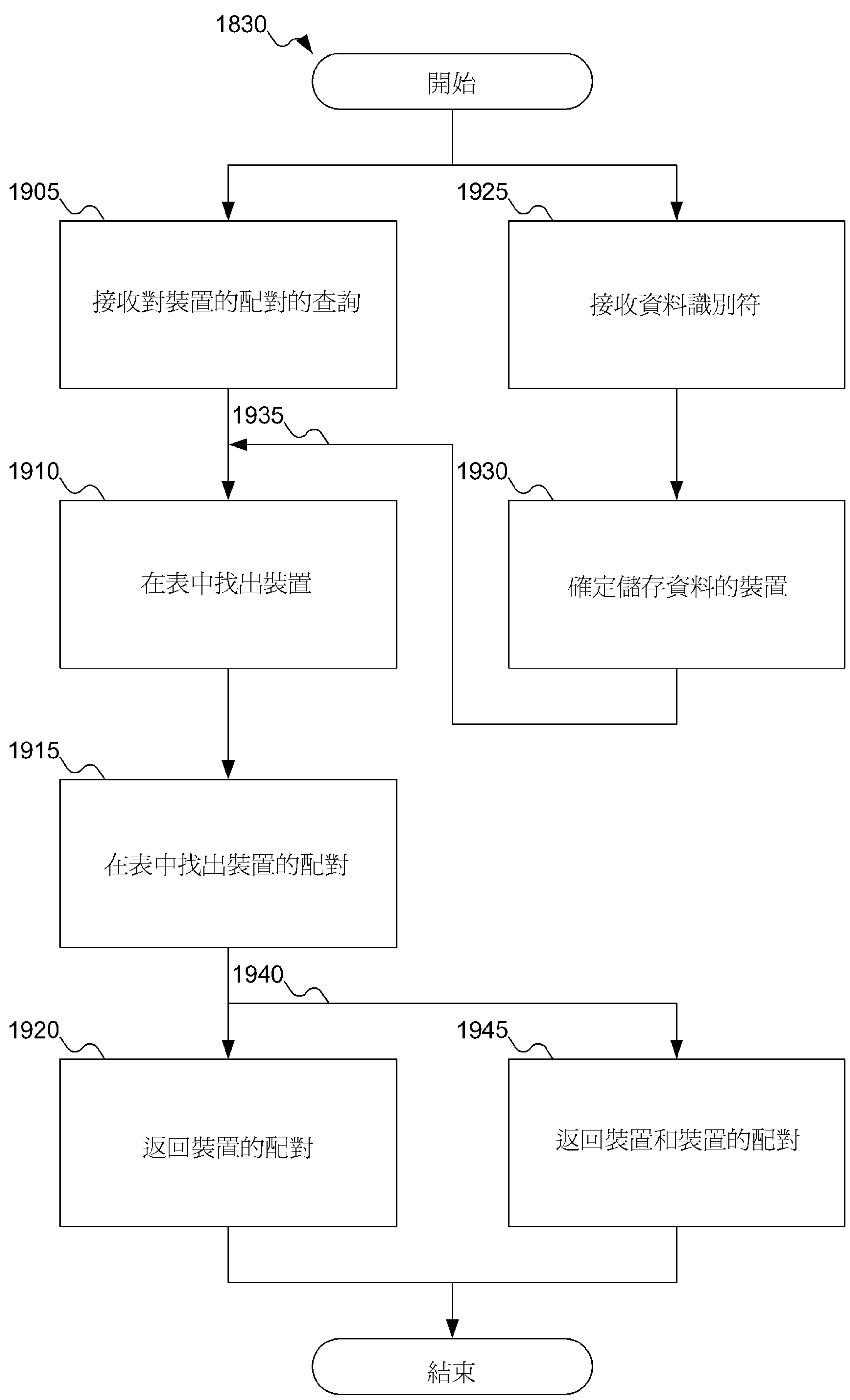
【圖 16】



【圖 17】



【圖 18】



【圖 19】



【發明摘要】

【中文發明名稱】多裝置的配對系統及配對方法

【英文發明名稱】PAIRING SYSTEM AND PAIRING METHOD OF MULTI-DEVICE

【中文】一種多裝置的配對系統及配對方法。系統可包含固態驅動器和輔助處理器。固態驅動器可包含用於資料的儲存裝置、用於唯一固態驅動器識別符的儲存裝置以及用於唯一輔助處理器識別符的儲存裝置。輔助處理器可包含用於唯一固態驅動器識別符的儲存裝置和用於唯一輔助處理器識別符的儲存裝置。硬體介面可准許固態驅動器與輔助處理器之間的通信。

【英文】A pairing system and a pairing method of a multi-device are disclosed. The system may include a Solid State Drive (SSD) and a co-processor. The SSD may include storage for data, storage for a unique SSD identifier (ID), and storage for a unique co-processor ID. The co-processor may include storage for the unique SSD ID, and storage for the unique co-processor ID. A hardware interface may permit communication between the SSD and the co-processor.

【指定代表圖】圖 1。

【代表圖之符號簡單說明】

105：機器/裝置

- 110：處理器
- 115：記憶體
- 120：記憶體控制器
- 125-1、125-2：儲存裝置/裝置/SSD
- 130-1、130-2：輔助處理器/裝置

【特徵化學式】無

【發明說明書】

【中文發明名稱】多裝置的配對系統及配對方法

【英文發明名稱】PAIRING SYSTEM AND PAIRING METHOD OF MULTI-DEVICE

【技術領域】

【0001】 本發明概念大體上涉及電腦系統，且更確切地說，涉及包含儲存裝置和輔助處理器的系統。

[相關申請案的交叉參考]

【0002】 本申請是 2019 年 1 月 28 日申請的美國專利申請第 16/260,087 號的部分接續申請，所述申請是 2018 年 12 月 19 日申請的美國專利申請第 16/226,629 號的部分接續申請，所述申請是 2018 年 11 月 30 日申請的美國專利申請第 16/207,080 號的接續申請，所述申請要求 2018 年 10 月 12 日申請的美國臨時專利申請第 62/745,261 號的權益，所有上述申請出於所有目的以引用的方式併入本文中。

【0003】 本申請要求 2018 年 9 月 18 日申請的美國臨時專利申請第 62/733,077 號和 2019 年 3 月 13 日申請的美國臨時專利申請第 62/818,096 號的權益，所述兩個申請出於所有目的以引用的方式併入本文中

【先前技術】

【0004】 出於外觀尺寸、功率、密度和性能益處，通常（但未必總是）將現場可程式閘陣列（Field Programmable Gate Array；FPGA）和固態驅動器（Solid State Drive；SSD）子裝置封裝於一個裝置外殼中。FPGA 和 SSD 在主機的周邊元件連接（Peripheral Component Interconnect；PCI）視圖中顯現為獨立物理功能（physical function；PF）。FPGA 和 SSD 子裝置也群集於不具有相互關係的獨立輸入/輸出（Input/Output；I/O）堆疊（具體來說，儲存裝置和 OpenCL）上。

【0005】 包含 FPGA 和 SSD 裝置二者的外觀尺寸將顯示三個物理功能（PF）：資料 PF（也稱為使用者空間 PF）、管理 PF 以及非揮發性儲存快速（Non-Volatile Memory Express；NVMe）PF。前兩個 PF 用於 FPGA；第三 PF 用於 SSD。

【0006】 在機器僅包含一個 FPGA/SSD 配對的情況下，獨立 PF 對於配對識別不是問題（例如在 x86 主機伺服器中）。但在（又，例如在密集地群集的 x86 主機伺服器（a densely populated x86 host server）中）存在大於一個裝置時，不存在對哪個 FPGA 與哪個 SSD 配對的指示。當啟用 PCIe 直通且多功能裝置顯現為多個單功能裝置時，在虛擬化環境中的問題更加嚴重。

【0007】 對等（peer-to-peer；P2P）計算需要配對才能正確地運行。在不配對的情況下，p2p 將失敗，這是由於資料可載入到錯誤的 FPGA 裝置環境中，從而導致硬體內核不具有正確的資料。當主機使用者不可在配對需求中識別應用程式時，問題變得嚴重。

【0008】 仍需要建立 FPGA 和其它輔助處理器與儲存裝置（例如 SSD）的配對。

【發明內容】

【0009】 根據本發明公開的實施例的多裝置的配對系統包括：固態驅動器，包含用於資料的第一儲存裝置、用於唯一固態驅動器識別符的第二儲存裝置以及用於唯一輔助處理器識別符的第三儲存裝置；輔助處理器，包含用於所述唯一輔助處理器識別符的第四儲存裝置和用於所述唯一固態驅動器識別符的第五儲存裝置；以及硬體介面，位於所述固態驅動器與所述輔助處理器之間。

【0010】 根據本發明公開的實施例的多裝置的配對方法包括：將查詢從第一裝置發送到第二裝置；從所述第二裝置接收所述第一裝置處的回應，所述回應包含第一配對資料；將所述第一配對資料儲存在所述第一裝置中的第一儲存裝置中；從所述第一裝置中的第二儲存裝置存取第二配對資料；以及將所述第二配對資料從所述第一裝置發送到所述第二裝置。

【0011】 根據本發明公開的實施例的多裝置的配對方法包括：將第一查詢發送到由第一虛擬識別符表示的固態驅動器；回應於所述第一查詢而從所述固態驅動器接收唯一固態驅動器識別符和唯一輔助處理器識別符；將第二查詢發送到由第二虛擬識別符表示的輔助處理器；回應於所述第二查詢而從所述輔助處理器接收所述唯一固態驅動器識別符和所述唯一輔助處理器識別符；以及將

所述第一虛擬識別符與所述第二虛擬識別符配對。

【圖式簡單說明】

【0012】

圖 1 繪示根據本發明概念的一實施例的設計成支援儲存裝置與輔助處理器的配對的機器。

圖 2 繪示圖 1 的輔助處理器的不同形式。

圖 3 繪示圖 1 的機器的額外細節。

圖 4 繪示圖 1 的裝置的作業系統的視圖。

圖 5 繪示圖 1 的配備成儲存關於其配對的資訊的裝置。

圖 6 繪示查詢圖 1 的 SSD 和圖 1 的輔助處理器且將裝置配對的作業系統。

圖 7 繪示在本發明概念的一實施例中的呈單個外觀尺寸的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 8 繪示在本發明概念的另一實施例中的呈單個外觀尺寸的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 9 繪示根據本發明概念的一實施例的建立其配對的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 10 繪示根據本發明概念的另一實施例的建立其配對的圖 1 的 SSD 和圖 1 的輔助處理器。

圖 11 繪示根據本發明概念的一個實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第一拓樸。

圖 12 繪示根據本發明概念的另一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第二拓樸。

圖 13 繪示根據本發明概念的又一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第三拓樸。

圖 14 繪示根據本發明概念的又一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第四拓樸。

圖 15 繪示根據本發明概念的一實施例的供圖 1 的 SSD(或圖 1 的輔助處理器)向其合作夥伴查詢配對資料的實例過程的流程圖。

圖 16 繪示根據本發明概念的一實施例的供圖 1 的 SSD(或圖 1 的輔助處理器)從其合作夥伴接收配對資料的查詢的實例過程的流程圖。

圖 17 繪示根據本發明概念的一實施例的用於圖 1 的 SSD 和/或圖 1 的輔助處理器以對關於其和其配對合作夥伴的來自作業系統的查詢作出回應的實例過程的流程圖。

圖 18 繪示根據本發明概念的一實施例的用於圖 5 的作業系統以查詢圖 1 的 SSD 和圖 1 的輔助處理器且將它們配對的實例過程的流程圖。

圖 19 繪示根據本發明概念的一實施例的用於圖 5 的作業系統以對來自應用程式的關於裝置的配對資訊的查詢作出回應的實例過程的流程圖。

【實施方式】

【0013】 現在將詳細參考本發明概念的實施例，在附圖中說明所述實施例的實例。在以下詳細描述中，闡述眾多具體細節以實現對本發明概念的透徹理解。然而，應理解，本領域的普通技術人

員可以在沒有這些具體細節的情況下實踐本發明概念。在其它情況下，未詳細描述眾所周知的方法、過程、元件、電路和網路，以免不必要地混淆實施例的各方面。

【0014】 應理解，雖然術語「第一」、「第二」等可在本文中用於描述各種元件，但這些元件不應受這些術語限制。這些術語僅用以將一個元件與另一元件區分開來。舉例來說，在不脫離本發明概念的範圍內，第一模組可以稱為第二模組，且類似地，第二模組可以稱為第一模組。

【0015】 本文中用於本發明概念的描述中的術語是僅出於描述特定實施例的目的且並不希望限制本發明概念。除非上下文另外明確指示，否則如本發明概念和所附發明申請專利範圍的描述中所使用，單數形式「一（a/an）」和「所述（the）」旨在也包含複數形式。還將理解，如本文中所使用的術語「和/或」指代且涵蓋相關聯的所列專案中的一個或多個的任何和所有可能組合。應進一步理解，當在本說明書中使用時，術語「包括（comprises/comprising）」指定存在所陳述的特徵、整數、步驟、操作、元件和/或組件，但不排除存在或添加一或多個其它特徵、整數、步驟、操作、元件、組件和/或其群組。圖式中的元件和特徵未必是按比例繪製。

【0016】 當大於一個固態驅動器（SSD）/現場可程式閘陣列（FPGA）裝置配對在相同伺服器上可用時，存在主機應用使用者可在兩個獨立的此類配對上選擇對等緩衝器和 SSD 的可能性。這

種選擇將造成資料損壞和加速結果不正確。SSD/FPGA 配對顯示三個物理功能（PF）：資料 PF（也稱為使用者空間）（用於 FPGA）、管理 PF（用於 FPGA）以及非揮發性儲存快速（NVMe）PF（用於 SSD）。如果所有的三個 PF 都基於相同裝置，那麼可減輕這種問題。但使用 Xilinx 3 埠交換機設計方法（Xilinx 3-port switch design approach），FPGA 和 SSD 可顯示為不具有關於其物理關聯的細節的獨立裝置。（Xilinx 是賽靈思公司的註冊商標）。由於 Xilinx 向其應用程式顯示的 OpenCL 軟體介面，因此問題變得更加複雜。軟體介面使匯流排/裝置/功能（bus/device/function；BDF）細節虛擬化且用邏輯編號（例如 0、1、2 等等）表示每個 FPGA 裝置。軟體級別下的這種額外間接完全混淆先前可在周邊元件連接（PCI）BDF 級別下推導出的配對關聯。應用程式或使用者必須瞭解 PCI BDF 級別下的多功能裝置關聯、Xilinx 驅動器內部以及檔案系統級映射複雜性。

【0017】 這種佈置容易出錯且其自身基於所使用的環境顯示出不同問題。對於用戶來說，由於對等請求仍然可成功，因此這種佈置的調試也可以是繁瑣的。

【0018】 密集地群集的系統

【0019】 在上述情況下，期望所有裝置位於相同的根複合體下。但密集地群集有 SSD/FPGA 裝置的系統可能需要使用根據連接到每個 CPU 插座的每個根複合體配置的大於一個 PCI 快速（PCI Express；PCIe）交換機。利用可用於虛擬化環境中的存取控制服

務（Access Control Service；ACS）和 CPU/晶片組的不同支持，對等未得到統一支持，從而為應用用戶理解拓撲中的這些細微差別增加了負擔。

【0020】 從 SSD 到 P2P 依需撥號選路(Dial on Demand Routing；DDR) 的 p2p 傳輸可因其可能不受支持而失敗。這種結果是由這一事實造成的：不需要 PCI 根複合體支援在根埠之間轉發包。這種設計選擇在實踐中對於儲存加速環境中的 p2p 使用率較有利，但對於用戶體驗不利。

【0021】 密集的 SSD/FPGA 部署可由各種系統供應商內置有任何因特爾（Intel）/AMD 解決方案，且可存在關於系統將如何交互的有限控制或不存在對其的控制。這個事實可對起作用的和不起作用的產生複雜度。

【0022】 虛擬化環境中的 PCI 直通

【0023】 在某些 Linux 虛擬化環境中，多功能裝置（例如 SSD/FPGA 裝置）在用直通屬性映射到虛擬機器(Virtual Machine；VM) 時可顯現為針對每個物理功能的獨立的單功能裝置。因此，可將 SSD 與 FPGA 之間顯示的三個 PF 映射為其間不具有關聯的三個單功能裝置。

【0024】 不具有 PCI 知識的用戶

【0025】 除了以上情況之外，應用使用者可能不夠瞭解 BDF 關聯。這個事實可能是由於使用者是不需要用這種級別的系統細節教育的高級應用用戶。這種問題揭露可能需要高級抽象來解決這

種知識差距的情況。

【0026】 所提出的解決方案

【0027】 通過提供近儲存加速且將其自身與其它獨立式 SSD 和 FPGA 區分開，SSD/FPGA 裝置可視為新的 SSD 裝置類別。新裝置可能需要識別其自身的明確方式，即，其是具有近儲存的 FPGA 還是具有近加速的 NVMe SSD？解決方案可包含：

【0028】 低級裝置介面變更，包含：FPGA 與 SSD 之間的私用硬體介面類別系統管理匯流排（System Management Bus；SMBus），用於共用特性；NVMe SSD 韌體的較小更新，用於適應加速屬性；以及對 FPGA 韌體的更新，用於查詢 SSD 且通告 SSD 識別配對屬性。

【0029】 高級軟體介面變更，包含：FPGA 的介面，所述介面可查詢低級配對細節，向現有軟體路徑顯示 NVMe 識別控制器新特性，且增強可管理性軟體模組以向 FPGA 和 SSD 查詢配對。

【0030】 啟用 API 以用於採用生態系統，包含可通過裝置名、檔案名等識別配對的應用介面調用。

【0031】 這些變更應足夠小，以視需要將 NVMe SSD 保持為通用。舉例來說，可對現有 NVMe SSD 進行重新程式設計以使其作為 SSD 適應於 SSD/FPGA 裝置。

【0032】 更改 NVMe SSD 以便與 FPGA 配對

【0033】 較小硬體變更使得 FPGA 和 SSD 能夠彼此對話。

【0034】 SSD 控制器可支援兩個 SMBus 主介面(如下文參看圖 7

到圖 8 和隨附文本所繪示且論述)。一個 SMBus 主介面可通過來自板管理控制器 (Board Management Controller ; BMC) 或此類管理實體的連接器連接到外部 SMBus (帶外 (out-of-band ; OOB))。SSD 上的第二 SMBus 主埠可連接到 FPGA 裝置上的從 SMBus 埠或主 SMBus 埠。帶外 (OOB) SMBus 介面可用於實施管理協定，例如 NVMe 管理介面 (NVMe Management Interface ; NMVe-MI)。SSD 控制器與 FPGA 之間的內部 SMBus 介面可專門用於這兩個裝置之間的通信。SSD 控制器韌體可向 FPGA 裝置查詢其唯一識別資訊。這種介面還可用於 FPGA 裝置的配置、狀態以及由 SSD 控制器根據 BMC 或主機的指導對所述 FPGA 裝置進行監視。當主機或 BMC 使用管理協定 (例如 SSD 控制器的 NVMe-MI) 來查詢 FPGA 識別資訊時，SSD 控制器又可從 FPGA 提取所需資訊並將所述資訊返回到主機或 BMC。

【0035】 SSD 控制器可使用基於消息的協定來與 FPGA 裝置通信。SSD 控制器可將各種命令消息寫入到 FPGA 的從 SMBus 埠，且隨後輪詢回應可用性。當 FPGA 回應訊息準備就緒時，SSD 控制器讀取出回應訊息。當 FPGA 需要 SSD 控制器的關注時，FPGA 可設置由 SSD 控制器週期性地輪詢的標誌。

【0036】 SSD 韌體所適應的較小變更可支援以上硬體設置。PCIe 裝置初始化完成首先在多功能裝置內的嵌入式作業系統 (operating system ; O/S) 環境中發生。稍後，多功能裝置在 x86 主機環境中再次初始化。

【0037】 作為 PCIe init 階段的部分，軟體元件（SSD 裝置中的韌體）可查詢並發現多功能裝置的本地裝置和附接裝置。在 NVMe SSD 和 FPGA 元件的初始化完成後，軟體元件可向 FPGA 查詢其裝置細節，所述裝置細節提供唯一序號和產品部件編號。這些細節可在其記憶體映射的 NVMe 基址暫存器(Base Address Register ；BAR) 空間中的私用偏移處寫入到 SSD 暫存器。在重定之後但在使得 PCI 配置存取適應這種更新之前，可由 SSD 韌體使得寫入窗口可用。這將更新保持在內部且保持在嵌入式 O/S 的控制內。

【0038】 NVMe 規格限定識別控制器和命名空間命令以發現 NVMe SSD 的能力。作為這些能力的部分，控制器可限定以下內容以通告其加速能力（參見表 1、表 2 及表 3）。

【0039】 表 1：識別控制器資料結構

位元組	任選/必選	描述
4095:4031	O（供應商專有的）	加速能力

【0040】 表 2：擴展特徵

位元組	類型	復位	描述
3:0	RO	0h	供應商簽名
4	RO	1h	所存在的擴展特徵
6:5	RO	Imp.專有	計算類型：FPGA
10:7	RO	Imp.專有	裝置計數，專用/共用，啟用
12:11	RO	Imp.專有	計算類型：cpu-ARM
16:13	RO	Imp.專有	裝置計數，專用/共用，啟用

【0041】 表 3：加速能力

位元組	類型	復位	描述
3:0	RO	0h	供應商簽名
4	RO	1h	加速裝置啟用且可用
6:5	RO	100h	主要版本，次要版本
7	RO	1h	當前狀態
9:8	RO	0h	保留
25:10	RO	Imp.專有	如 FPGA VPD 細節中所報告的加速部件編號
29:26	RO	Imp.專有	部件供應商 ID，裝置 ID
33:30	RO	Imp.專有	加速特徵 1（TBD）
63:34	RO	0h	保留

【0042】 更改 FPGA 以通告 SSD 裝置配對

【0043】 類似於 NVMe SSD，FPGA 可由嵌入式 O/S 組件程式設計有唯一 SSD 細節。這些細節可通過介面來供 x86 主機軟體元件使用。

【0044】 用於配對的嵌入式 O/S 組件

【0045】 軟體元件（也是 SSD 中的韌體）可查詢並發現多功能裝置的本地裝置和附接裝置。在 NVMe SSD 和 FPGA 元件的初始化完成後，軟體元件可向 FPGA 查詢其裝置細節，所述裝置細節提供唯一序號和產品部件編號。這些細節可在其記憶體映射的 NVMe BAR 空間中的私用偏移處寫入到 SSD 暫存器。類似地，軟體元件可用唯一 SSD 細節對 FPGA 進行程式設計，使得其與彼此配對。

【0046】 SMBus 上的上電/重定時的樣本枚舉

【0047】 1. FPGA 向 SSD 發出 NVMe（讀取識別控制器）

【0048】 2. SSD 用識別資料進行回應

【0049】 3. FPGA 保存序號、型號細節

【0050】 4. FPGA 發出 NVMe (設置識別資料—偏移擴展特徵—供應商專有的 3072 位元組到 4095 位元組)，包含：

【0051】 所存在的擴展特徵

【0052】 計算類型：FPGA、計數、專用/共用

【0053】 計算類型：cpu-ARM、計數、專用/共用

【0054】 5. SSD 確認 NVMe (設置識別資料)

【0055】 6. FPGA 發出 NVMe(設置 LogPage-compute_FPGA)，包含：

【0056】 序號、型號

【0057】 硬體能力—LUT、BRAM、URAM、Reg、DSP、DRAM

【0058】 7. SSD 確認 NVMe (設置 LogPage-compute_FPGA)

【0059】 專用介面可存在於 x86 主機軟體與這種元件之間以用於對配對和其它特徵的額外查詢。

【0060】 可管理性軟體更改為適應新配對

【0061】 BMC 通常與 SMBus 上的 SSD 介接。這種介面可擴展為適應 FPGA 配對，且還適應針對可用性和可管理性的特徵和其它屬性。

【0062】 樣本流：

【0063】 1. BMC 向 SSD 發出 NVMe (讀取 LogPage Temp2)

【0064】 2. SSD 向 FPGA 請求讀取溫度感測器

【0065】 3. FPGA 返回溫度資料

【0066】 4. SSD 返回 LogPage 資料

【0067】 5. BMC 向 SSD 發出 NVMe（讀取 LogPage FPGA 利用率）

【0068】 6. SSD 向 FPGA 請求讀取 FPGA 利用率

【0069】 7. FPGA 返回利用率資料

【0070】 8. SSD 返回 LogPage 資料

【0071】 用於配對的 x86 主機軟體元件

【0072】 這種軟體元件可供用作庫，且可在多功能裝置中共存的 NVMe SSD 與 FPGA 之間提供配對細節。元件可對 x86 SDAccel 執行時間驅動器和庫起作用以提供配對細節。

【0073】 到今天為止的 OpenCL 介面不顯示裝置的 BDF 級別細節，而是用從偏移 0 開始的編號提供邏輯抽象。介面可由提供商在內部進行更改，以查詢僅在硬體中顯示的低級細節，且這樣做還可以為計算端提供配對細節。此處，供應商可對介面變更負責。

【0074】 用於查詢配對的命令列工具

【0075】 命令列工具可在不具有任何選項的情況下運行時提供細節，例如下表 4 中所繪示的那些細節。兩個 I/O 堆疊和其可程式設計裝置參考反映於細節中。NVMe SSD/dev/nvme2 在指數零下與加速裝置配對。應注意，如在這種伺服器上所繪示，SSD 裝置次序並未隨著 FPGA 加速裝置而遞增。

【0076】 表 4：命令列工具輸出

裝置配對資訊：	
NVMe 裝置	加速裝置 (clGetDeviceIDs 指數)

/dev/nvme2	0
/dev/nvme1	1

【0077】 命令列工具還可支援詳細資訊選項（ verbose option ），所述詳細資訊選項顯示對像系統管理員這樣的現場個人（ field personal ）而言更為重要的額外細節。這些額外細節可包含 NVMe SSD 屬性，這些屬性在這種類別的裝置上是唯一的，例如序號、模型和韌體細節以及命名空間和多分區映射資訊。細節的唯一集合還包含可識別裝置插入的槽位元的 PCIe 裝置鏈。下表 5 繪示此類資訊的實例。

【0078】 表 5：命令列工具輸出

裝置配對資訊：	
NVMe 裝置	加速裝置 (clGetDeviceIDs 指數)
/dev/nvme0	
.....0	
\-[0000:3d:00.0]	\-[0000:3e:00.0]-[0000:3e:00.1]
---> [PCIe EP][交換 DP Slot#0][交換 UP][RP 槽#1][Numa 節點 0]	
+-型號： NVMe SSD 型號信息	
+-序列#： 0123456789ABCDEF0000	
+-Firmware_rev： FPGASSD0	
+-映射： /dev/nvme0n1p1 /dev/nvme0n1	
/dev/nvme2	1
.....1	
\-[0000:8e:00.0]	\-[0000:8f:00.0]-[0000: 8f:00.1]
---> [PCIe EP][交換 DP 槽#0][交換 UP][RP 槽#7][Numa 節點 1]	
+-型號： NVMe SSD 型號信息	
+-序列#： 0123456789ABCDEF0000	
+-Firmware_rev： FPGASSD0	
+-映射： /dev/nvme2n1p1 /dev/nvme2n1	

【0079】 對於裝置/dev/nvme0，將 SSD/FPGA 裝置插入到同樣接近於 numa 節點 0 CPU 的槽號 1 中。這種資訊可以用於現場級分析以及可在應用級處用於 CPU 親和力。這種資訊還可在包含於深層嵌模式 PCIe 交換結構中時用於理解裝置分級結構，且還可隔離裝置問題：例如對於系統管理員。

【0080】 優勢

【0081】 具有針對 SSD/FPGA 裝置的配對解決方案有益於使此類裝置更可用。短期來看，這種配對解決方案可解決識別差距（identification gap）。長期來看，這種配對解決方案可說明在如何推進加速裝置方面做出決策。這種解決方案可以用於其它加速器類型，例如 GPU、嵌入式 CPU（比如高級精簡指令集電腦（Reduced Instruction Set Computer；RISC）機器（Advanced Reduced Instruction Set Computer Machine；ARM）、RISC-V、張量處理單元（Tensor Processing Unit；TPU）和基於特定硬體的加速器）、NVMe 規格擴展或一些其它機制。

【0082】 圖 1 繪示根據本發明概念的一實施例的設計成支援儲存裝置與輔助處理器的配對的機器。在圖 1 中，繪示機器 105。機器 105 可包含處理器 110。處理器 110 可以是任何多種處理器：例如因特爾至強（Intel Xeon）、賽揚（Celeron）、安騰（Itanium）或凌動處理器（Atom processor）、AMD 皓龍處理器（Opteron processor）、ARM 處理器等。雖然圖 1 在機器 105 中繪示單個處理器 110，但

機器 105 可包含任何數目的處理器，所述處理器中的每一個可以是單核處理器或多核處理器，且可以任何所需組合混合。

【0083】 機器 105 還可包含記憶體 115。記憶體 115 可以是任何種類的記憶體，例如快閃記憶體、動態隨機存取記憶體（Dynamic Random Access Memory；DRAM）、靜態隨機存取記憶體（Static Random Access Memory；SRAM）、永久性隨機存取記憶體、鐵電隨機存取記憶體（Ferroelectric Random Access Memory；FRAM）或非揮發性隨機存取記憶體（Non-Volatile Random Access Memory；NVRAM），例如磁阻隨機存取記憶體（Magnetoresistive Random Access Memory；MRAM）等。記憶體 115 也可以是不同記憶體類型的任何所需組合。記憶體 115 可由記憶體控制器 120 管理。

【0084】 機器 105 還可包含儲存裝置 125-1 和儲存裝置 125-2，所述儲存裝置可由裝置驅動器（未繪示）控制。儲存裝置 125-1 和儲存裝置 125-2 可以是任何所需形式的儲存裝置。舉例來說，儲存裝置 125-1 和儲存裝置 125-2 可以是固態驅動器（SSD），例如非揮發性儲存快速（NVMe）SSD、硬碟驅動器或任何其它所需形式的儲存裝置。此外，儲存裝置 125-1 和儲存裝置 125-2 可具有不同類型、製造商和/或模型：例如，儲存裝置 125-1 可能是 SSD，而儲存裝置 125-2 可能是硬碟驅動器。

【0085】 機器 105 還可包含輔助處理器 130-1 和輔助處理器 130-2。輔助處理器 130-1 和輔助處理器 130-2 可提供任何所需功能以支援儲存裝置 125-1 和儲存裝置 125-2。舉例來說，輔助處理器 125-1

可提供如下功能：資料加速、資料刪除重複、資料完整性、資料加密、資料壓縮和/或擦除編碼。輔助處理器 130-1 和輔助處理器 130-2 可各自提供僅一個此類功能，或輔助處理器 130-1 和輔助處理器 130-2 可各自提供多個此類功能。可使用任何所需元件來實施輔助處理器 130-1 和輔助處理器 130-2。圖 2 繪示輔助處理器 130-1 和輔助處理器 130-2 的一些實例實施方案，例如現場可程式閘陣列(FPGA)205、專用積體電路(Application-Specific Integrated Circuit；ASIC)210、圖形處理單元(Graphics Processing Unit；GPU)215、張量處理單元(TPU)220、擦除編碼控制器225和小型處理器核心230，但本發明概念的實施例也可包含輔助處理器130-1和輔助處理器130-2的其它實施方案。

【0086】 返回到圖 1，雖然圖 1 繪示兩個儲存裝置，其中每個儲存裝置具有一個輔助處理器，但本發明概念的實施例可視需要包含任何數目的儲存裝置和用於每個儲存裝置的任何數目的輔助處理器，所述儲存裝置和輔助處理器可具有不同類型。此外，在本發明概念的一些實施例中，一些儲存裝置可能具有輔助處理器，而其它儲存裝置可能不具有輔助處理器。但正如僅一個儲存裝置和一個輔助處理器的情況，不必考慮關於將儲存裝置與輔助處理器配對的問題，本發明概念的大部分實施例包含具有對應輔助處理器的至少兩個儲存裝置。在本文文件的剩餘部分中，術語「配對」旨在指代其中配對中的一個裝置支援另一裝置的裝置，且不應理解為僅將配對限制於兩個裝置。舉例來說，如果儲存裝置包

含 FPGA 和 GPU 二者，那麼所有的三個裝置可視為「配對」。(可替代地，FPGA 和 GPU 可分別視為與公共儲存裝置配對，若需要，保留 FPGA 與待間接確定的 GPU 之間的關聯。)

【0087】 雖然圖 1 將機器 105 描繪為伺服器(其可以是獨立式伺服器或機架伺服器)，但本發明概念的實施例可包含(但不限於)任何所需類型的機器 105。舉例來說，機器 105 可用臺式電腦或膝上型電腦或可得益于本發明概念的實施例的任何其它機器替換。機器 105 也可包含專用可攜式電腦器、平板電腦、智慧手機和其它電腦器。

【0088】 圖 3 繪示圖 1 的機器的額外細節。在圖 3 中，通常，機器 105 包含一或多個處理器 110，所述一或多個處理器可包含記憶體控制器 120 和時鐘 305，所述記憶體控制器和時鐘可用於協調裝置 105 的元件的操作。處理器 110 還可以連接到記憶體 115，例如，所述記憶體可包含隨機存取記憶體(random access memory; RAM)、唯讀記憶體(read-only memory; ROM)或其它狀態保持介質。處理器 110 還可以連接到儲存裝置 125 和網路連接器 310，所述網路連接器可以是例如乙太網連接器或無線連接器。處理器 110 也可連接到匯流排 315，使用者介面 320 和輸入/輸出介面埠可附接到所述匯流排，可使用輸入/輸出引擎 325 以及其它元件來管理所述輸入/輸出介面埠。

【0089】 圖 4 繪示圖 1 的裝置的作業系統的視圖。在常規系統中，作業系統 405 使用虛擬識別符(identifier; ID) 410、虛擬識別符

415、虛擬識別符 420 和虛擬識別符 425 來識別 SSD 125-1 和 SSD 125-2 以及輔助處理器 130-1 和輔助處理器 130-2。(從此處開始，論述的重點是作為可能包含輔助處理器的儲存裝置的具體實例的 SSD，但本發明概念的實施例仍然可擴展到除 SSD 外的類型的儲存裝置。)可在通過控制器(例如周邊元件連接(PCI)枚舉器)枚舉裝置期間分配虛擬 ID 410、虛擬 ID 415、虛擬 ID 420 和虛擬 ID 425，或可將它們分配作為「構建」圖 1 的機器 105 內的虛擬機器(VM)的部分(或二者)。無論哪種方式，作業系統 405 僅具有作為虛擬 ID 410、虛擬 ID 415、虛擬 ID 420 和虛擬 ID 425 的結果而提供的資訊。借助於 SSD 125-1 和 SSD 125-2 是 SSD 的事實，作業系統 405 可以知道分配有虛擬 ID 410 的 SSD 125-1 可包含資料儲存裝置 430，且可以知道分配有虛擬 ID 415 的 SSD 125-2 可包含資料儲存裝置 435。但作業系統 405 可不知道分配有虛擬 ID 420 的輔助處理器 130-1 打算支持分配有虛擬 ID 410 的 SSD 125-1 的操作，或可不知道分配有虛擬 ID 425 的輔助處理器 130-2 打算支援 SSD 125-2 的操作。

【0090】 圖 5 繪示圖 1 的配備成儲存關於其配對的資訊的裝置。在圖 5 中，裝置 125-1、裝置 125-2、裝置 130-1 和裝置 130-2 可包含用於與配對有關的各種資訊片段的儲存裝置。因此，SSD 125-1 可包含用於關於其自身和其配對輔助處理器(輔助處理器 130-1)的資訊的儲存裝置 505-1 和儲存裝置 505-2，SSD 125-2 可包含用於關於其自身和其配對輔助處理器(輔助處理器 130-2)的

資訊的儲存裝置 510-1 和儲存裝置 510-2，輔助處理器 130-1 可包含用於關於其自身和其配對 SSD（SSD 125-1）的資訊的儲存裝置 515-1 和儲存裝置 515-2，且輔助處理器 130-2 可包含用於關於其自身和其配對 SSD（SSD 125-2）的資訊的儲存裝置 520-1 和儲存裝置 520-2。在本發明概念的一些實施例中，儲存裝置 505-1、儲存裝置 505-2、儲存裝置 510-1、儲存裝置 510-2、儲存裝置 515-1、儲存裝置 515-2、儲存裝置 520-1 以及儲存裝置 520-2 中所儲存的資訊可包含每個裝置所獨有的資訊，例如全域唯一 ID（globally unique ID；GUID）的序號；在本發明概念的其它實施例中，儲存裝置 505-1、儲存裝置 505-2、儲存裝置 510-1、儲存裝置 510-2、儲存裝置 515-1、儲存裝置 515-2、儲存裝置 520-1 以及儲存裝置 520-2 可儲存在配對裝置之間一致同意的資訊，所述資訊是唯一的或幾乎可確定是唯一的。舉例來說，存在通過不安全連接使得雙方同意共用秘密以用於確保各方之間的通信安全的演算法：SSD 125-1 和輔助處理器 130-1 可使用此類演算法來同意可用作一致同意的資訊的共用秘密。或 SSD 125-1 和輔助處理器 130-1 可在製造時（當它們進行物理配對時）分配有公共資料段。應注意，如果配對裝置使用其它裝置將不會使用的一些唯一資訊，那麼裝置 125-1、裝置 125-2、裝置 130-1 和裝置 130-2 至少出於配對目的可能僅需要儲存所述唯一資訊，而不是各自儲存關於配對中的每個裝置的資訊。

【0091】 當作業系統 405 向單獨的裝置查詢關於它們自身的資訊

時，每個裝置還可返回關於其配對的資訊。因此，例如，SSD 125-1 可將其自身的資訊儲存在儲存裝置 505-1 中且將關於輔助處理器 130-1 的資訊儲存在儲存裝置 505-2 中；類似地，輔助處理器 130-1 可將其自身的資訊儲存在儲存裝置 515-2 中且將關於 SSD 125-1 的資訊儲存在儲存裝置 515-1 中。隨後，作業系統 405 可使用來自儲存裝置 505-1、儲存裝置 505-2、儲存裝置 515-1 以及儲存裝置 515-2 的資訊來確定 SSD 125-1 與輔助處理器 130-1 是配對的。此類資訊可以是例如各種裝置的序號或期望獨有的其它資訊，例如 GUID 或計算得到的共用秘密。舉例來說，如果兩個（或大於兩個）裝置各自提供其自身的序號，且其配對的序號與所述序號正如期望一樣對應，那麼作業系統 405 可將兩個裝置視為配對。類似地，如果兩個（或大於兩個）裝置各自提供唯一識別符（或可能期望獨有的識別符），那麼裝置全部提供所述識別符的事實可證實這些裝置應視為是配對的。以此方式，作業系統 405 可視需要引起虛擬 ID 410、虛擬 ID 415、虛擬 ID 420 以及虛擬 ID 425 的配對。

【0092】 圖 6 繪示查詢圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1 且將裝置配對的圖 5 的作業系統 405。在圖 6 中，作業系統 405 可向 SSD 125-1 發送詢問其裝置細節的查詢 605。應注意，常規作業系統可查詢裝置以確定裝置特性和特徵作為啟動的部分；基本輸入/輸出系統（Basic Input/Output System；BIOS）還可查詢以發現哪些裝置是連接的。新穎的是，作為回應 610，SSD 125-1

可包含關於其自身的資訊和關於輔助處理器 130-1 的資訊。類似地，作業系統 405 可向輔助處理器 130-1 發送詢問其裝置細節的查詢 615：輔助處理器 130-1 可發送包含關於其自身的資訊和關於 SSD 125-1 的資訊的回應 620。當作業系統 405 接收回應 610 和回應 620 時，作業系統 405 可使用所述資訊來確定 SSD 125-1 和輔助處理器 130-1 是配對的，如操作 625 中所繪示。作業系統 405 隨後可儲存這種配對資訊。

【0093】 一旦作業系統 405 察覺到哪些儲存裝置與哪些輔助處理器配對，作業系統 405 可使這種資訊可供應用程式和/或使用者使用。舉例來說，作業系統 405 可提供應用程式設計介面(Application Programming Interface；API)，應用程式可使用應用程式設計介面來向作業系統 405 查詢配對資訊。舉例來說，應用程式可發送查詢，以向 SSD 125-1 詢問哪個（哪些）裝置經由 API 與所述裝置配對。作業系統 405 隨後可用輔助處理器 130-1 與 SSD 125-1 配對的資訊進行回應。另一應用程式可詢問關於與特定資料段相關聯的配對裝置的資訊：例如，給定特定文件（或鍵值目標，或可在儲存裝置上的另一格式中所儲存的資料），哪些儲存裝置儲存所述資料，以及哪些其它裝置與所述儲存裝置配對。作業系統 405 隨後可確定哪個儲存裝置儲存所述資料，且隨後返回關於儲存裝置和其配對的資訊。（當然，應用程式可發送兩個 API 查詢：一個用以確定儲存目標資料的特定儲存裝置，且另一個用以確定哪個（哪些）裝置與所述儲存裝置配對。將這兩個查詢組合成一個僅是一

種簡化。)

【0094】 一旦應用程式經由 API 瞭解到哪些裝置是配對的，應用程式隨後可相應地使用所述資訊。舉例來說，假設圖 1 的輔助處理器 130-1 和輔助處理器 130-2 是提供資料加速服務的兩個 FPGA。一旦應用程式知道哪個儲存裝置儲存目標資料，應用程式可將請求導向與所述儲存裝置配對的 FPGA，從而請求對目標資料進行資料加速服務。相同原理適用於可由圖 1 的輔助處理器 130-1 和輔助處理器 130-2 提供的任何其它功能：資料加速僅用作實例功能。

【0095】 此時，一個問題保持不變：如何使裝置察覺到識別配對中的裝置的資訊？如果在製造時將資訊分配為由配對裝置共用的唯一資料，那麼應答是顯而易見的。但如果裝置使用其序列編號或每個裝置分別所獨有的其它資料來說明識別其配對，那麼應答不會如此簡單。圖 7 到圖 9 說明裝置可如何獲得這種資訊。

【0096】 圖 7 繪示在本發明概念的一實施例中的呈單個外觀尺寸的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。在圖 7 中，SSD 125-1 和輔助處理器 130-1 可使用連接裝置的硬體介面進行通信。舉例來說，這種硬體介面可以是連接 SSD 125-1 和輔助處理器 130-1 的系統管理匯流排 (SMBus)。如果使用 SMBus，那麼裝置 (SSD 125-1 或輔助處理器 130-1) 中任一個可以是主裝置，且另一個可以是從裝置，或二者可以是多主匯流排上的主裝置。舉例來說，在一些實施例中，SSD 125-1 可以是 SMBus 705 的主裝置，而輔助處理器 130-1 可以是從裝置。

【0097】 如所繪示，SSD 125-1 可經由帶內連接 710 和帶外連接 715 二者連接到圖 1 的機器 105。帶內連接 710 可包含例如通過 PCI 快速（PCIe）連接發送的消息，而帶外連接 715 可以是例如另一 SMBus 連接（在其上 SSD 125-1 可為從裝置，且基板管理控制器（BMC）可為主裝置，或在其上 SSD 125-1 和 BMC 可以是多主匯流排上的主裝置）。通常，帶內連接 710 可以用於常規請求（例如向 SSD 125-1 發出的讀取請求和寫入請求）且可以用於使用輔助處理器 130-1 的功能，而帶外連接 715 可以用於控制類型請求：例如，對 SSD 125-1 和/或輔助處理器 130-1 的當前運行溫度的查詢。在使用帶內連接 710 來與輔助處理器 130-1 進行通信的情況下，SSD 125-1 可充當直通裝置，所述裝置依賴於針對輔助處理器 130-1 的消息。可替代地，SSD 125-1 可在一些轉換器能力中起作用，從而將如從圖 1 的機器 105 接收的請求轉換為不同形式以供傳輸到輔助處理器 130-1。

【0098】 與圖 7 相比，圖 8 繪示在本發明概念的另一實施例中的呈單個外觀尺寸的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。在圖 8 中所繪示的實施例中，輔助處理器 130-1 直接連接到帶內連接 710，而不是 SSD 125-1。在本發明概念的這一實施例中，當輔助處理器 130-1 接收既定用於 SSD 125-1 的請求時，輔助處理器 130-1 可充當直通裝置，所述裝置依賴於針對 SSD 125-1 的消息。可替代地，輔助處理器 130-1 可在一些轉換器能力中起作用，從而將如從圖 1 的機器 105 接收的請求轉換為不同形式以供傳輸到

SSD 125-1。在所有其它方面中，SSD 125-1 和輔助處理器 130-1 與如圖 7 中的 SSD 125-1 和輔助處理器 130-1 類似地操作。

【0099】 雖然圖 7 到圖 8 解決 SSD 125-1 和輔助處理器 130-1 二者以相同外觀尺寸出售的可能性，SSD 125-1 和輔助處理器 130-1 可作為獨立元件出售，只要存在准許這兩個配對裝置之間的通信的某一形式的硬體介面 705 即可，以使得裝置能夠與圖 4 的作業系統 405 共用配對資訊。

【0100】 圖 9 繪示根據本發明概念的一實施例的建立其配對的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。圖 9 可在 SSD 125-1 和輔助處理器 130-1 共用硬體介面（例如圖 7 到圖 8 的硬體介面 705）時使用。在圖 9 中，SSD 125-1 正在從輔助處理器 130-1 發起對裝置資訊的查詢。SSD 125-1 可向輔助處理器 130-1 發送識別裝置 905（這種命令和圖 9 到圖 10 中的所有其它命令可以是 NVMe 命令，或可以是使用其它協定的命令）。輔助處理器 130-1 可用識別回應 910 進行回應，所述識別回應可包含與 SSD 125-1 和輔助處理器 130-1 的配對有關的唯一資訊。這種資訊可包含例如 GUID 或輔助處理器 130-1 的製造商型號和序號。在接收到識別回應 910 後，SSD 125-1 可儲存輔助處理器 130-1 的資訊：例如將其儲存於圖 5 的儲存裝置 505-2 中。SSD 125-1 隨後可發送設置配對資料 915，所述設置配對資料可包含 SSD 125-1 的唯一資訊：此外，例如，GUID 或 SSD 125-1 的製造商型號和序號。輔助處理器 130-1 隨後可儲存 SSD 125-1 的資訊：此外，例如，將其儲存於圖 5 的儲存

裝置 515-1 中。輔助處理器 130-1 隨後可發送設置回應 920 以向 SSD 125-1 通知接收到設置配對資料命令中的配對資料。最後，SSD 125-1 可發送設置高級資料 925 以向輔助處理器 130-1 通知 SSD 125-1 希望輔助處理器 130-1 知道的任何其它資料，所述輔助處理器 130-1 可用設置回應 930 進行應答。

【0101】 圖 10 繪示根據本發明概念的另一實施例的建立其配對的圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1。除了輔助處理器 130-1 而不是 SSD 125-1 可發起資訊交換之外，圖 10 類似於圖 9。在圖 10 中，輔助處理器 130-1 可向 SSD 125-1 發送讀取身份資料 1005。SSD 125-1 可用讀取回應 1010 進行回應，所述讀取回應可包含與輔助處理器 130-1 和 SSD 125-1 的配對有關的唯一資訊。這種資訊可包含例如 GUID 或 SSD 125-1 的製造商型號和序號。在接收到讀取回應 1010 後，輔助處理器 130-1 可儲存 SSD 125-1 的資訊：例如，將其儲存於圖 5 的儲存裝置 505-2 中。輔助處理器 130-1 隨後可發送設置身份資料 1015，所述設置身份資料可包含輔助處理器 130-1 的唯一資訊：此外，例如，GUID 或輔助處理器 130-1 的製造商型號和序號。SSD 125-1 隨後可儲存輔助處理器 130-1 的資訊：此外，例如，將其儲存於圖 5 的儲存裝置 515-1 中。SSD 125-1 隨後可發送設置回應 1020 以向輔助處理器 130-1 通知接收到設置身份資料命令中的配對資料。最後，輔助處理器 130-1 可發送設置日誌頁 1025 以向 SSD 125-1 通知輔助處理器 130-1 希望 SSD 125-1 知道的任何其它資料，所述 SSD 125-1 可用設置回

應 1030 進行應答。

【0102】 圖 11 繪示根據本發明概念的一個實施例的包含圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1 的第一拓樸。圖 11 到圖 14 截取自同在申請中的 2019 年 1 月 28 日申請的美國專利申請第 16/260,087 號，所述申請是 2018 年 12 月 19 日申請的美國專利申請第 16/226,629 號的部分接續申請，所述申請是 2018 年 11 月 30 日申請的美國專利申請第 16/207,080 號的接續申請，所述申請要求 2018 年 10 月 12 日申請的美國臨時專利申請第 62/745,261 號的權益，所有上述申請出於所有目的以引用的方式併入本文中。但是同在申請中的美國專利申請第 16/260,087 號關注的是具有擦除編碼的 PCIe 交換機的總體組合，而本文更為關注的是 SSD 和其輔助處理器的結構。

【0103】 在圖 11 中，繪示具有後備擦除編碼邏輯的 PCIe 交換機 1105，其可實施為圖 1 的機器 105 的獨立組件。也就是說，可製造具有後備擦除編碼邏輯的 PCIe 交換機 1105，且其可與任何其它元件(例如圖 1 的處理器 110、儲存裝置 125-1 或輔助處理器 130-1)分開出售。

【0104】 具有後備擦除編碼邏輯的 PCIe 交換機 1105 可連接到儲存裝置 125-1。在圖 11 中，將具有後備擦除編碼邏輯的 PCIe 交換機 1105 繪示為連接到僅單個儲存裝置，所述儲存裝置可以不支援擦除編碼：擦除編碼需要至少兩個儲存裝置或儲存裝置的至少兩個部分來執行分帶、分塊、分組以及使用同位或碼資訊。但即使

利用單個儲存裝置，具有後備擦除編碼邏輯的 PCIe 交換機 1105 也可以提供一些優勢。舉例來說，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可支援將改錯碼與儲存裝置 125-1 一起使用，或如果儲存裝置 125-1 本身不提供那些服務，那麼對儲存在儲存裝置 125-1 上的資料進行加密。

【0105】 儲存裝置 125-1 也可以連接到 FPGA 205、圖 1 的輔助處理器 130-1 的實例（針對關於圖 11 到圖 14 的論述的剩餘部分，對 FPGA 205 的任何參考可理解為包含對如圖 2 中所繪示的任何替代輔助處理器的參考，或更通常來說對圖 1 的輔助處理器 130-1 的參考）。FPGA 205 可支援加速。簡單地說，可存在其中可能需要對資料進行處理且隨後將其丟棄的情況。將所有所述資料載入到圖 1 的處理器 110 中以執行處理可以是昂貴且耗時的：計算更接近資料時可更容易地執行。FPGA 205 可支援在更接近儲存裝置的情況下執行此類計算，從而避免了將資料載入到圖 1 的處理器 110 中來執行計算：這種概念稱為「加速」。基於 FPGA 的加速在 2018 年 9 月 5 日申請的美國專利申請第 16/122,865 號中更詳細地論述，所述申請要求 2018 年 3 月 13 日申請的美國臨時專利申請第 62/642,568 號、2018 年 3 月 13 日申請的美國臨時專利申請第 62/641,267 號以及 2018 年 3 月 5 日申請的美國臨時專利申請第 62/638,904 號的權益，所有上述申請特此以引用的方式併入本文中；且要求 2018 年 9 月 6 日申請的美國專利申請第 16/124,179 號、2018 年 9 月 6 日申請的美國專利申請第 16/124,182 號以及 2018 年 9 月

6 日申請的美國專利申請第 16/124,183 號的權益，所有上述申請是 2018 年 9 月 5 日申請的美國專利申請案第 16/122,865 號的接續申請且特此以引用的方式併入本文中。由於加速的目標是在不將資料傳輸到圖 1 的處理器 110 的情況下處理資料，因此圖 11 將 FPGA 205 繪示為更接近儲存裝置 125-1。然而，應注意，不需要圖 11 中所繪示的特定佈置：FPGA 205 可位於具有後備擦除編碼邏輯的 PCIe 交換機 1105 與儲存裝置 125-1 之間。

【0106】 除資料加速以外，FPGA 205 可提供其它功能以支援儲存裝置 125-1。舉例來說，FPGA 205 可在儲存裝置 125-1 上實現資料刪除重複功能，以試圖減少將相同資料儲存在儲存裝置 125-1 上的次數。FPGA 205 可確定是否不止一次將特定資料儲存在儲存裝置 125-1 上，在各種邏輯塊位址之間建立關聯（或由主機用來識別資料的其它資訊），且其中將資料儲存在儲存裝置 125-1 上，並且刪除額外複本。

【0107】 可替代地，FPGA 205 可在儲存裝置 125-1 上實現資料完整性功能（例如添加改錯碼），以防止通過儲存裝置 125-1 的操作中或使用迴圈冗餘校正（Cyclic Redundancy Correction；CRC）進行端對端保護的 T10DIF（資料完整性欄位）中的錯誤而發生資料丟失。以此方式，FPGA 205 可能能夠檢測在儲存裝置 125-1 上寫入或讀取資料的錯誤何時出現或對躍遷中的資料進行檢測並恢復初始資料。應注意，FPGA 205 可在主機未察覺到正在提供資料完整性功能的情況下實現資料完整性功能：主機可僅參看資料本身

且不參看任何改錯碼。

【0108】 可替代地，FPGA 205 可在儲存裝置 125-1 上實現資料加密功能，以防止未經授權的各方能夠在儲存裝置 125-1 上存取資料：在不提供適合的加密金鑰的情況下，從 FPGA 205 返回的資料對於請求者來說是無意義的。主機可提供待在寫入和讀取資料時使用的加密金鑰。或，FPGA 205 可自動執行資料加密和解密：FPGA 205 可儲存加密金鑰（且甚至可代表主機產生加密金鑰），且基於誰正在請求資料來確定要使用的適合的加密金鑰。

【0109】 可替代地，FPGA 205 可在儲存裝置 125-1 上實現資料壓縮功能，以減少將資料儲存在儲存裝置 125-1 上所需的空間量。當將資料寫入到儲存裝置 125-1 時，FPGA 205 可實施將由主機提供的資料壓縮成較小儲存量隨後儲存壓縮的資料（以及在從儲存裝置 125-1 讀取資料時恢復初始資料所需的任何資訊）的功能。當從儲存裝置 125-1 讀取資料時，FPGA 205 可讀取壓縮的資料（以及從壓縮的資料恢復初始資料所需的任何資訊）且除去壓縮以恢復初始資料。

【0110】 可使用資料刪除重複、資料完整性、資料加密以及資料壓縮的任何所需實施方案。本發明概念的實施例不限於任何這些功能的特定實施方案。

【0111】 FPGA 205 還可視需要在儲存裝置 125-1 上實現功能的任何組合。舉例來說，FPGA 205 可實施資料壓縮和資料完整性二者（由於資料壓縮可增加資料對錯誤的靈敏度：如儲存在儲存裝

置 125-1 上的資料中的單個錯誤可導致大量資料不可用)。或 FPGA 205 可實施資料加密和資料壓縮二者(以在盡可能少地使用用於資料的儲存裝置時保護資料)。也可以由 FPGA 205 提供兩個或大於兩個功能的其它組合。

【0112】 就總體操作而言，在實現任何這些功能時，FPGA 205 可從適合的源讀取資料。應注意，雖然術語「源」是單數名詞，但是本發明概念的實施例可在適當情況下從多個源（例如多個儲存裝置）讀取資料。FPGA 205 隨後可對資料執行適當的操作：資料加速、資料整合、資料加密和/或資料壓縮。FPGA 205 隨後可對操作結果採取適當的操作：例如，將結果發送到圖 1 的機器 105，或將資料寫入到儲存裝置 125-1。

【0113】 雖然參看圖 11 的 FPGA 205 描述以上功能，但本發明概念的實施例可將這些功能包含在系統（所述系統包含 FPGA）中的任何位置。另外，本發明概念的實施例可使 FPGA 205 從「遠距離」儲存裝置存取資料。舉例來說，暫時回到圖 1，且假設儲存裝置 125-1 包含類似於 FPGA 205 的 FPGA，但儲存裝置 125-2 不含此類輔助處理器。在儲存裝置 125-1 中所包含的 FPGA 可用於通過向儲存裝置 125-2 發送請求來將其功能應用於儲存裝置 125-2。舉例來說，如果儲存裝置 125-1 中的 FPGA 提供資料加速，那麼儲存裝置 125-1 中的 FPGA 可發送對從儲存裝置 125-2 讀取資料的請求，執行適當的加速，隨後將結果發送到適合的目的地（例如圖 1 的機器 105）。

【0114】 在圖 11 中（且在下圖 12 到圖 14 中所繪示的拓撲中），具有後備擦除編碼邏輯的 PCIe 交換機 1105 可附接到不具備擦除編碼的資格的裝置。舉例來說，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可附接到具有內建式擦除編碼功能的其它儲存裝置或附接到不是儲存裝置的裝置，例如圖 11 的 FPGA 205 或圖 2 的 GPU 215。可將所有此類裝置描述為不具備擦除編碼（或至少，通過具有後備擦除編碼邏輯的 PCIe 交換機 1105 進行擦除編碼）的資格的裝置。

【0115】 當具有後備擦除編碼邏輯的 PCIe 交換機 1105 連接到不具備擦除編碼的資格的裝置時，系統具有可使用的各種替代方法。在本發明概念的一個實施例中，包含不具備擦除編碼的資格的任何裝置可導致具有後備擦除編碼邏輯的 PCIe 交換機 1105 的後備擦除編碼邏輯停用。因此，如果例如具有後備擦除編碼邏輯的 PCIe 交換機 1105 連接到圖 11 的 FPGA 205，或圖 2 的 GPU 215，或具有本地擦除編碼邏輯的儲存裝置，那麼連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 的儲存裝置中無一可與擦除編碼一起使用。應注意，對停用具有後備擦除編碼邏輯的 PCIe 交換機 1105 的後備擦除編碼邏輯的決策不必轉移到在相同底盤或其它底盤中的具有後備擦除編碼邏輯的其它 PCIe 交換機。舉例來說，暫時提前參看圖 13，圖 13 繪示兩個具有後備擦除編碼邏輯的 PCIe 交換機 1105、具有後備擦除編碼邏輯的 PCIe 交換機 1305，其中一個可具有啟用的後備擦除編碼邏輯，而另一個可具有停用的後備擦

除編碼邏輯。

【0116】 本發明概念的另一實施例可停用不具備擦除編碼的資格的裝置，如同它們根本未連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 一樣來處理這些裝置。在本發明概念的這一實施例中，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可針對儲存裝置 125-1 啟用後備擦除編碼邏輯，且可停用不具備擦除編碼的資格的任何其它儲存裝置，如同它們未連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 一樣。

【0117】 在本發明概念的又一實施例中，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可針對可由後備擦除編碼邏輯覆蓋的儲存裝置來啟用後備擦除編碼邏輯，但仍然使得能夠訪問不具備擦除編碼的資格的其它裝置。本發明概念的這一實施例是最複雜的實施方式：具有後備擦除編碼邏輯的 PCIe 交換機 1105 需要確定哪些裝置具備擦除編碼的資格和哪些裝置不具備擦除編碼的資格，隨後分析流量以確定流量是指定用於虛擬儲存裝置(在這種情況下，流量由後備擦除編碼邏輯截斷)還是未指定用於虛擬儲存裝置(在這種情況下，將流量傳送到其初始目的地。)

【0118】 在其中圖 1 的機器 105 最終沒有提供已安裝裝置的完整功能的本發明概念的實施例中，即在其中擦除編碼由於存在不具備擦除編碼的資格的裝置而停用或此類裝置由具有後備擦除編碼邏輯的 PCIe 交換機 1105 停用的本發明概念的實施例中，圖 1 的機器 105 可向用戶通知這一事實。這種通知可由圖 1 的處理器 110、

BMC 或具有後備擦除編碼邏輯的 PCIe 交換機 1105 提供。除向用戶通知一些功能已停用以外，所述通知還可通知使用者如何重新配置圖 1 的機器 105 以准許添加的功能。舉例來說，所述通知可建議不具備擦除編碼的資格的裝置連接到中平面中的特定槽位（可能是連接到具有後備擦除編碼邏輯的 PCIe 機 1305 的那些槽位），並且建議確實具備擦除編碼的資格的儲存裝置連接到其它槽位元，例如連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 的那些槽位。以此方式，具備擦除編碼的資格的至少一些儲存裝置可受益於擦除編碼方案，但不阻斷對不具備擦除編碼的資格的其它裝置進行訪問。

【0119】 圖 12 繪示根據本發明概念的另一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第二拓樸。在圖 12 中，具有後備擦除編碼邏輯的 PCIe 交換機 1105 可位於 FPGA 205 內：也就是說，FPGA 205 也可實施具有後備擦除編碼邏輯的 PCIe 交換機 1105。FPGA 205 和具有後備擦除編碼邏輯的 PCIe 交換機 1105 隨後可連接到儲存裝置 125-1 到儲存裝置 125-4。雖然圖 12 繪示 FPGA 205 和連接到四個儲存裝置 125-1 到儲存裝置 125-4 的具有後備擦除編碼邏輯的 PCIe 交換機 1105，但本發明概念的實施例可包含任何數目的儲存裝置 125-1 到儲存裝置 125-4。

【0120】 通常，圖 12 中所繪示的拓樸可在含有所繪示的所有組件（SSD 125-1 到 SSD 125-4 可以是獨立快閃記憶體，而不是自給式 SSD）的單個外殼或殼體內實現。也就是說，並非作為獨立元

件出售，而是圖 12 中所繪示的整個結構可作為單個單元出售。但本發明概念的實施例還可包含轉接卡（riser card），所述轉接卡的一端連接到圖 1 的機器 105（可能連接到中平面），且其中另一端上的連接器（例如 U.2、M.3 或 SFF-TA-1008 連接器）連接到儲存裝置 125-1 到儲存裝置 125-4。且雖然圖 12 將具有後備擦除編碼邏輯的 PCIe 交換機 1105 繪示為 FPGA 205 的部件，但具有後備擦除編碼邏輯的 PCIe 交換機 1105 也可以實施為智慧 SSD 的部件。

【0121】 圖 13 繪示根據本發明概念的又一實施例的圖 1 的用於使用具有後備擦除編碼邏輯的 PCIe 交換機 1105 的第三拓樸。在圖 13 中，繪示兩個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305，其間連接了至多 24 個儲存裝置 125-1 到儲存裝置 125-6。每個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可包含 96 個 PCIe 通路，在每個方向上使用四個 PCIe 通路來與儲存裝置 125-1 到儲存裝置 125-6 中的一個通信：每個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 隨後可支援至多 12 個儲存裝置。為了在由多個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 所支援的儲存裝置上支援擦除編碼，一個具有後備擦除編碼邏輯的 PCIe 交換機可指定用於負責在所有裝置上的擦除編碼，且可具有啟用的後備擦除編碼邏輯。另一具有後備擦除編碼邏輯的 PCIe 交換機 1305 可在後備擦除編碼邏輯停用的情況

下僅僅作為 PCIe 交換機來操作。可以任何所需方式完成關於應該選擇哪個 PCIe 交換機來處理擦除編碼的選擇：例如，兩個 PCIe 交換機可單獨對這個進行協商，或首先枚舉的 PCIe 交換機可指定用於處理擦除編碼。選擇用來處理擦除編碼的 PCIe 交換機隨後可向虛擬儲存裝置（跨越兩個 PCIe 交換機）報告，而不處理擦除編碼的 PCIe 交換機可能無下游裝置進行報告（以防止圖 1 的處理器 110 試圖存取作為擦除編碼方案的部分的儲存裝置）。

【0122】 應注意，雖然具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可都位於相同底盤中，但具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可位於不同底盤中。也就是說，擦除編碼方案可跨越多個底盤中的儲存裝置。唯一需要的就是各種底盤中的 PCIe 交換機能夠彼此協商將成為擦除編碼方案的部分的儲存裝置所處的位置。本發明概念的實施例不限於兩個具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305：在擦除編碼方案中所包含的儲存裝置可連接到任何數目的具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305。

【0123】 主機邏輯塊位址（Host Logical Block Address；LBA）可以任何所需方式跨具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 分割。舉例來說，主機中的最低有效位元（least significant bit；LBA）可用於識別

具有後備擦除編碼邏輯的 PCIe 交換機 1105 或具有後備擦除編碼邏輯的 PCIe 交換機 1305 中的哪一個包含儲存具有所述主機 LBA 的資料的儲存裝置。利用大於兩個具有後備擦除編碼邏輯的 PCIe 交換機，多個位可用於確定哪一個具有後備擦除編碼邏輯的 PCIe 交換機管理儲存資料的儲存裝置。一旦已識別到適合的具有後備擦除編碼邏輯的 PCIe 交換機，傳輸就可以路由到適合的具有後備擦除編碼邏輯的 PCIe 交換機（假設傳輸並未指定用於儲存裝置，所述儲存裝置連接到啟用後備擦除編碼邏輯的具有後備擦除編碼邏輯的 PCIe 交換機）。

【0124】 在本發明概念的另一實施例中，並非使單個具有後備擦除編碼邏輯的 PCIe 交換機負責虛擬化連接到兩個具有後備擦除編碼邏輯的 PCIe 交換機的所有儲存裝置，而是每個具有後備擦除編碼邏輯的 PCIe 交換機可產生獨立虛擬儲存裝置（具有獨立擦除編碼域）。以此方式，可為不同客戶產生不同擦除編碼域，但這些編碼域具有較小容量。

【0125】 雖然圖 13 意指只有儲存裝置 125-1 到儲存裝置 125-6 連接到具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305，且意指所有儲存裝置 125-1 到儲存裝置 125-6 可與擦除編碼方案一起使用，但如上文所論述，本發明概念的實施例不限於此：具有後備擦除編碼邏輯的 PCIe 交換機 1105 和具有後備擦除編碼邏輯的 PCIe 交換機 1305 可使不具備擦除編碼的資格的裝置與其連接。可根據單個具有後備擦除編碼邏

輯的 PCIe 交換機對此類裝置進行分組，其中根據不同具有後備擦除編碼邏輯的 PCIe 交換機 1105 對具備擦除編碼的資格的儲存裝置進行分組。以此方式，可實現圖 1 的機器 105 的最佳功能，其中使一個（或一些）具有後備擦除編碼邏輯的 PCIe 交換機啟用後備擦除編碼邏輯，且使一個（或一些）具有後備擦除編碼邏輯的 PCIe 交換機禁用後備擦除編碼邏輯。

【0126】 圖 14 繪示根據本發明概念的又一實施例的包含圖 1 的 SSD 和圖 1 的輔助處理器的第四拓樸。在圖 14 中，與圖 13 相比，具有後備擦除編碼邏輯的 PCIe 交換機 1105、具有後備擦除編碼邏輯的 PCIe 交換機 1305 以及具有後備擦除編碼邏輯的 PCIe 交換機 1405 可按照分級結構構造。具有後備擦除編碼邏輯的 PCIe 交換機 1105 在分級結構的頂部處可管理用於分級結構中的具有後備擦除編碼邏輯的 PCIe 交換機 1105 下方的所有儲存裝置的擦除編碼，並且因此可啟用後備擦除編碼邏輯。另一方面，具有後備擦除編碼邏輯的 PCIe 交換機 1305 和具有後備擦除編碼邏輯的 PCIe 交換機 1405 可使其後備擦除編碼邏輯停用（由於其儲存裝置由具有後備擦除編碼邏輯的 PCIe 交換機 1105 的後備擦除編碼邏輯管理）。

【0127】 雖然圖 14 繪示以兩層分級結構構造的三個具有後備擦除編碼邏輯的 PCIe 交換機 1105、具有後備擦除編碼邏輯的 PCIe 交換機 1305 以及具有後備擦除編碼邏輯的 PCIe 交換機 1405，但是本發明概念的實施例不受限於所包含的 PCIe 交換機的數目或不受限於分級佈置。因此，本發明概念的實施例可支援配置於任何

所需分級結構中的任何數目的具有後備擦除編碼邏輯的 PCIe 交換機。

【0128】 上文參看圖 1 到圖 14 所描述的本發明概念的實施例的重點是單埠儲存裝置。但本發明概念的實施例可擴展到雙埠儲存裝置，其中一個（或大於一個）儲存裝置與多個具有後備擦除編碼邏輯的 PCIe 交換機進行通信。在本發明概念的這些實施例中，如果圖 11 的具有後備擦除編碼邏輯的 PCIe 交換機 1105 無法與雙埠儲存裝置進行通信，那麼具有後備擦除編碼邏輯的 PCIe 交換機 1105 可將傳輸發送到具有後備擦除編碼邏輯的 PCIe 交換機 1305 以試圖與儲存裝置進行通信。具有後備擦除編碼邏輯的 PCIe 交換機 1305 有效地充當橋接器以使具有後備擦除編碼邏輯的 PCIe 交換機 1105 與儲存裝置進行通信。

【0129】 圖 15 繪示根據本發明概念的一實施例的供圖 1 的 SSD 125-1（或圖 1 的輔助處理器 130-1）向其合作夥伴查詢配對資料的實例過程的流程圖。在圖 15 中，在框 1505 處，圖 1 的 SSD 125-1 可向其合作夥伴發送圖 9 的識別裝置 905（或圖 1 的輔助處理器 130-1 可向其合作夥伴發送圖 10 的讀取身份資料 1005）。在框 1510 處，圖 1 的 SSD 125-1 可接收圖 9 的識別回應 910（或圖 1 的輔助處理器 130-1 可接收圖 10 的讀取回應 1010）。在框 1515 處，圖 1 的 SSD 125-1 可將接收到的配對資訊儲存在圖 5 的儲存裝置 505-2 中（或圖 1 的輔助處理器 130-1 可將接收到的配對資訊儲存在圖 5 的儲存裝置 515-1 中）。在框 1520 處，圖 1 的 SSD 125-1 可從圖 5

的儲存裝置 505-1 存取其自身的配對資訊（或圖 1 的輔助處理器 130-1 可從圖 5 的儲存裝置 515-2 存取其配對資訊）。最後，在框 1525 處，圖 1 的 SSD 125-1 可向其合作夥伴發送圖 9 的設置配對資料 915（或圖 1 的輔助處理器 130-1 可向其合作夥伴發送圖 10 的設置身份資料 1015），使得其合作夥伴可儲存其配對資訊。

【0130】 圖 16 繪示根據本發明概念的一實施例的供圖 1 的 SSD 125-1（或圖 1 的輔助處理器 130-1）從其合作夥伴接收配對資料的查詢的實例過程的流程圖。在圖 12 中，在框 1605 處，圖 1 的 SSD 125-1 可從圖 1 的輔助處理器 130-1 接收圖 10 的讀取身份資料 1005（或圖 1 的輔助處理器 130-1 可從圖 1 的 SSD 125-1 接收圖 9 的識別裝置 905）。在框 1610 處，圖 1 的 SSD 125-1 可從圖 5 的儲存裝置 505-1 存取其配對資訊（或輔助處理器 130-1 可從圖 5 的儲存裝置 515-2 存取其配對資訊）。在框 1615 處，圖 1 的 SSD 125-1 可向圖 1 的輔助處理器 130-1 發送圖 10 的讀取回應 1010 中的配對資訊（或圖 1 的輔助處理器 130-1 可發送圖 9 的識別回應 910 中的配對資訊）。在框 1620 處，圖 1 的 SSD 125-1 可從圖 1 的輔助處理器 130-1 接收圖 10 的設置身份資料 1015（或圖 1 的輔助處理器 130-1 可從圖 1 的 SSD 125-1 接收圖 9 的設置配對資料 915）。最後，在框 1625 處，圖 1 的 SSD 125-1 可將圖 1 的輔助處理器 130-1 的配對資訊儲存在圖 5 的儲存裝置 505-2 中（或圖 1 的輔助處理器 130-1 可將圖 1 的 SSD 125-1 的配對資訊儲存在圖 5 的儲存裝置 515-1 中）。

【0131】 圖 17 繪示根據本發明概念的一實施例的使圖 1 的 SSD 125-1 和/或圖 1 的輔助處理器 130-1 對關於其和其配對合作夥伴的來自圖 5 的作業系統 405 的查詢作出回應的實例過程的流程圖。在圖 17 中，在框 1705 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可從圖 5 的作業系統 405 接收圖 6 的查詢 605 和/或查詢 615。在框 1710 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可從圖 5 儲存裝置 505-1 和/或儲存裝置 515-2 存取用於圖 1 的 SSD 125-1 和/或輔助處理器 130-1 的配對資訊，例如唯一 ID 或製造商型號和/或序號。在框 1715 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可從圖 5 的儲存裝置 505-2 和/或儲存裝置 515-1 存取用於合作夥伴裝置的配對資訊，例如唯一 ID 或製造商型號和/或序號。最後，在框 1720 處，圖 1 的 SSD 125-1 和/或輔助處理器 130-1 可向圖 5 的作業系統 405 發送關於配對裝置的配對資訊。

【0132】 圖 18 繪示根據本發明概念的一實施例的使圖 5 的作業系統 405 查詢圖 1 的 SSD 125-1 和圖 1 的輔助處理器 130-1 且將它們配對的實例過程的流程圖。在圖 18 中，在框 1805 處，圖 5 的作業系統 405 可向由虛擬 ID 表示的裝置(向圖 5 的作業系統 405)發送查詢，例如圖 6 的查詢 605 和/或查詢 615。在框 1810 處，圖 5 的作業系統 405 可從裝置接收其配對資訊。在框 1815 處，圖 5 的作業系統 405 可向由另一虛擬 ID 表示的另一裝置(向圖 5 的作業系統 405)發送另一查詢，例如圖 6 的查詢 605 和/或查詢 615。在框 1820 處，圖 5 的作業系統 405 可從所述裝置接收其配對資訊。

在框 1825 處，圖 5 的作業系統 405 可確定兩個裝置已提供了相同配對資訊，且在圖 5 的作業系統 405 內以某種方式將裝置配對。最後，在框 1830 處，圖 5 的作業系統 405 可將 API 提供給支援關於裝置配對的查詢的應用程式。

【0133】 圖 19 繪示根據本發明概念的一實施例的使圖 5 的作業系統 405 對來自應用程式的關於裝置的配對資訊的查詢作出回應的實例過程的流程圖。在圖 19 中，在框處 1905，圖 5 的作業系統 405 可從應用程式接收對特定裝置的配對的請求。在框 1910 處，圖 5 的作業系統 405 可在儲存配對資訊的表中找出所請求的裝置。在框 1915 處，圖 5 的作業系統 405 可為表中的裝置確定配對。在框 1920 處，圖 5 的作業系統 405 可向應用程式返回關於裝置的配對的資訊。

【0134】 可替代地，在框 1925 處，圖 5 的作業系統 405 可從應用程式接收對關於資料識別符（例如文件、物件、金鑰等）的配對資訊的請求。在框 1930 處，圖 5 的作業系統 405 可確定儲存由資料識別符識別到的資料的裝置。此時，如由箭頭 1935 所繪示，圖 5 的作業系統 405 可執行如上文所描述的框 1910 和框 1915。隨後，如由箭頭 1940 所繪示，在框 1945 處，圖 5 的作業系統 405 可向應用程式返回關於儲存資料的裝置和其配對二者的資訊。

【0135】 在圖 15 到圖 19 中，繪示本發明概念的一些實施例。但本領域技術人員將認識到，通過改變框的次序、通過省略框或通過包含未在附圖中繪示的鏈路，本發明概念的其它實施例也是可

能的。無論是否明確地描述，流程圖的所有此類變化都視為本發明概念的實施例。

【0136】 本發明概念的實施例提供優於現有技術的技術優勢。本發明概念的實施例准許圖 1 的 SSD 125-1 和 SSD 125-2 以及輔助處理器 130-1、輔助處理器 130-2 確定關於其配對合作夥伴的配對資訊。隨後，圖 1 的 SSD 125-1 和 SSD 125-2 以及輔助處理器 130-1、輔助處理器 130-2 可向圖 5 的作業系統 405 提供這種配對資訊，使得圖 5 的作業系統 405 能夠儲存關於哪些裝置與哪些其它裝置配對的資訊。一旦圖 5 的作業系統 405 具有適當地配對的裝置，圖 5 的作業系統 405 就可以經由 API 向應用程式提供這種資訊，使得應用程式能夠請求來自圖 1 的輔助處理器 130-1 和輔助處理器 130-2 的服務，所述輔助處理器與儲存資料的圖 1 的 SSD 125-1 和 SSD 125-2 配對，所述服務待在配對之後執行。

【0137】 以下論述旨在提供其中可以實施本發明概念的某些方面的一或多個合適機器的簡要一般描述。一或多個機器可以至少部分地通過來自例如鍵盤、滑鼠等常規輸入裝置的輸入，以及通過從另一機器接收的指令、與虛擬實境（virtual reality；VR）環境的交互、生物計量回饋或其它輸入信號來進行控制。本文中所使用的術語「機器」旨在廣泛地涵蓋單個機器、虛擬機器，或一起操作的以通信方式連接的機器、虛擬機器或裝置的系統。示例性機器包含計算裝置，例如個人電腦、工作站、伺服器、可攜式電腦、掌上型裝置、電話、平板電腦等；以及交通裝置，例如私

人或公共交通工具，例如汽車、火車、計程車等。

【0138】 一或多個機器可以包含嵌入式控制器，例如可程式設計或不可程式設計的邏輯裝置或陣列、專用積體電路（ASIC）、嵌入式電腦、智慧卡等。一或多個機器可以例如通過網路介面、數據機或其它通信連接來利用與一或多個遠端機器的一或多個連接。機器可以借助於物理網路和/或邏輯網路（例如企業內部網、網際網路、局域網、廣域網路等）互連。本領域技術人員應理解，網路通信可以利用各種有線和/或無線短程或遠端載波和協議，其包含射頻（radio frequency；RF）、衛星、微波、電氣電子工程師學會（Institute of Electrical and Electronics Engineer；IEEE）802.11、Bluetooth®、光學、紅外線、電纜、鐳射等。

【0139】 可以參考或結合包含功能、過程、資料結構、應用程式等的相關聯資料來描述本發明概念的實施例，所述相關聯資料在通過機器存取時引起機器執行任務或限定抽象資料類型或低級硬體環境。相關聯資料可以儲存在例如揮發性和/或非揮發性記憶體（例如 RAM、ROM 等）中或儲存在其它儲存裝置以及其相關聯儲存介質中，所述儲存介質包含硬碟驅動器、軟碟、光學儲存裝置、磁帶、快閃記憶體、儲存棒、數位視訊光碟、生物儲存裝置等。相關聯資料可以包、串列資料、並行資料、傳播信號等形式在包含物理和/或邏輯網路的傳輸環境上傳遞，並且可以壓縮或加密格式使用。相關聯資料可以用於分散式環境中，並且本地地和/或遠端地儲存以供機器訪問。

【0140】 本發明概念的實施例可以包含有形的非暫時性機器可讀介質，所述非暫時性機器可讀介質包括可由一或多個處理器執行的指令，所述指令包括用於執行如本文所描述的發明性概念的元件的指令。

【0141】 上文所描述的方法的各個操作可由能夠執行所述操作的任何合適的裝置來執行，例如各種硬體和/或軟體元件、電路和/或模組。軟體可包括用於實現邏輯功能的可執行指令的有序列表，且可以在供指令執行系統、設備或裝置使用或與指令執行系統、設備或裝置結合的任何「處理器可讀介質」中實施，所述指令執行系統、設備或裝置為例如單核處理器或多核處理器或含處理器的系統。

【0142】 結合本文中所公開的實施例而描述的方法或演算法及函數的框或步驟可直接以硬體、由處理器執行的軟體模組或所述兩個的組合實施。如果以軟體實施，那麼可將功能作為一或多個指令或代碼儲存在有形的非暫時電腦可讀介質上或通過所述有形的非暫時性電腦可讀介質進行傳輸。軟體模組可駐留在隨機存取記憶體（RAM）、快閃記憶體、唯讀記憶體（ROM）、電可程式設計 ROM（Electrically Programmable ROM；EPROM）、電可擦可程式設計 ROM（Electrically Erasable Programmable ROM；EEPROM）、暫存器、硬碟、可移動式磁片、CD ROM 或所屬領域中已知的任何其它形式的儲存介質中。

【0143】 在參考所說明實施例描述和說明本發明概念的原理之

後，應認識到，所說明實施例的佈置和細節可以在不脫離此類原理的情況下進行修改，並且可以按任何所需方式組合。而且，雖然前述論述的重點是特定實施例，但是可設想其它配置。特定來說，即使本文中使用的例如「根據本發明概念的實施例」等的表達，但是這些詞語一般表示參考實施例可能性，且並不旨在將本發明概念限制到特定實施例配置。如本文中所使用，這些術語可以參考可組合到其它實施例中的相同或不同實施例。

【0144】 前述說明性實施例不應解釋為限制其本發明概念。雖然已經描述幾個實施例，但本領域技術人員將容易理解，在實質上不脫離本公開的新穎教示和優勢的情況下，對那些實施例的許多修改是可能的。因此，所有此類修改旨在包含在如所附權利要求中限定的這一發明概念的範圍內。

【0145】 本發明概念的實施例可以擴展到（但不限於）以下陳述：

【0146】 陳述 1.本發明概念的實施例包含一種系統，包括：

固態驅動器（SSD），包含：

用於資料的第一儲存裝置；

用於唯一 SSD 識別符（ID）的第二儲存裝置；以及

用於唯一輔助處理器 ID 的第三儲存裝置；

輔助處理器，包含：

用於唯一輔助處理器 ID 的第四儲存裝置；

用於唯一 SSD ID 的第五儲存裝置；以及

硬體介面，位於 SSD 與輔助處理器之間。

【0147】 陳述 2.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器包含現場可程式閘陣列(FPGA)、專用積體電路、圖形處理單元(GPU)、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0148】 陳述 3.本發明概念的實施例包含根據陳述 1 所述的系統，其中硬體介面包含系統管理匯流排(SMBus)和積體電路間(Inter-Integrated Circuit ; I2C) 匯流排中的一個。

【0149】 陳述 4.本發明概念的實施例包含根據陳述 1 所述的系統，其中第四儲存裝置包含一次性可程式(one-time programmable ; OTP) 記憶體、可程式唯讀記憶體(Programmable Read-Only Memory ; PROM)、可擦可程式唯讀記憶體(Erasable Programmable Read-Only Memory ; EPROM) 和電可擦可程式唯讀記憶體(EEPROM) 中的一個。

【0150】 陳述 5.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器可操作以向 SSD 查詢唯一 SSD ID 且將唯一 SSD ID 儲存在第五儲存裝置中。

【0151】 陳述 6.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器可操作以為 SSD 提供唯一輔助處理器 ID。

【0152】 陳述 7.本發明概念的實施例包含根據陳述 1 所述的系統，其中 SSD 可操作以向輔助處理器查詢唯一輔助處理器 ID 且將唯一輔助處理器 ID 儲存在第三儲存裝置中。

【0153】 陳述 8.本發明概念的實施例包含根據陳述 1 所述的系統，其中 SSD 可操作以為輔助處理器提供唯一 SSD ID。

【0154】 陳述 9.本發明概念的實施例包含根據陳述 1 所述的系統，其中 SSD 可帶外地操作以接收關於 SSD 和輔助處理器的查詢。

【0155】 陳述 10.本發明概念的實施例包含根據陳述 9 所述的系統，其中 SSD 包含用於帶外地接收查詢的 SMBus 連接。

【0156】 陳述 11.本發明概念的實施例包含根據陳述 9 所述的系統，其中 SSD 可操作以用唯一 SSD ID 和唯一輔助處理器 ID 二者對查詢作出回應。

【0157】 陳述 12.本發明概念的實施例包含根據陳述 9 所述的系統，其中查詢包含非揮發性記憶體快速（NVMe）管理介面（MI）命令。

【0158】 陳述 13.本發明概念的實施例包含根據陳述 1 所述的系統，其中輔助處理器可操作以帶外地接收關於 SSD 和輔助處理器的查詢。

【0159】 陳述 14.本發明概念的實施例包含根據陳述 13 所述的系統，其中輔助處理器可操作以用唯一 SSD ID 和唯一輔助處理器 ID 二者對查詢作出回應。

【0160】 陳述 15.本發明概念的實施例包含根據陳述 13 所述的系統，其中查詢包含非揮發性記憶體快速（NVMe）管理介面（MI）命令。

【0161】 陳述 16.本發明概念的實施例包含根據陳述 1 所述的系

統，其中 SSD 可操作以帶內地接收關於 SSD 和輔助處理器的查詢。

【0162】 陳述 17.本發明概念的實施例包含根據陳述 16 所述的系統，其中 SSD 包含用於帶內地接收查詢的周邊元件連接快速(PCIe)連接。

【0163】 陳述 18.本發明概念的實施例包含根據陳述 16 所述的系統，其中 SSD 可操作以用唯一 SSD ID 和唯一輔助處理器 ID 二者對查詢作出回應。

【0164】 陳述 19.本發明概念的實施例包含根據陳述 16 所述的系統，其中查詢包含非揮發性記憶體快速(NVMe)管理介面(MI)命令。

【0165】 陳述 20.本發明概念的實施例包含一種方法，包括：

- 將查詢從第一裝置發送到第二裝置；
- 從第二裝置接收第一裝置處的回應，所述回應包含第一配對資料；
- 將第一配對資料儲存在第一裝置中的第二儲存裝置中；
- 從第一裝置中的第一儲存裝置存取第二配對資料；以及
- 將第二配對資料從第一裝置發送到第二裝置。

【0166】 陳述 21.本發明概念的實施例包含根據陳述 20 所述的方法，其中第一裝置和第二裝置分別包含現場可程式閘陣列(FPGA)、專用積體電路、圖形處理單元(GPU)、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0167】 陳述 22.本發明概念的實施例包含根據陳述 20 所述的方法，其中：

將查詢從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將查詢從第一裝置發送到第二裝置；

從第二裝置接收第一裝置處的回應包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的回應；且

將第二配對資料從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將第二配對資料從第一裝置發送到第二裝置。

【0168】 陳述 23.本發明概念的實施例包含根據陳述 20 所述的方法，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電可擦可程式唯讀記憶體（EEPROM）中的一個。

【0169】 陳述 24.本發明概念的實施例包含一種方法，包括：

從第二裝置接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取第一配對資料；

將回應從第一裝置發送到第二裝置，所述回應包含第一配對資料；

從第二裝置接收第一裝置處的第二配對資料；以及

將第二配對資料儲存在第一裝置中的第二儲存裝置中。

【0170】 陳述 25.本發明概念的實施例包含根據陳述 24 所述的方法，其中第一裝置和第二裝置分別包含現場可程式閘陣列（FPGA）、

專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0171】 陳述 26.本發明概念的實施例包含根據陳述 24 所述的方法，其中：

從第二裝置接收第一裝置處的查詢包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的查詢；

將回應從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將回應從第一裝置發送到第二裝置；且

從第二裝置接收第一裝置處的第二配對資料包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的第二配對資料。

【0172】 陳述 27.本發明概念的實施例包含根據陳述 24 所述的方法，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電可擦可程式唯讀記憶體（EEPROM）中的一個。

【0173】 陳述 28.本發明概念的實施例包含一種方法，包括：

接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取用於第一裝置的第一唯一識別符（ID）；

從第一裝置中的第二儲存裝置存取用於第二裝置的第二唯一 ID，所述第二裝置與第一裝置配對；以及

發送對來自第一裝置的查詢的回應，所述回應包含第一

唯一 ID 和第二唯一 ID 二者。

【0174】 陳述 29.本發明概念的實施例包含根據陳述 28 所述的方法，其中：

接收第一裝置處的查詢包含帶外地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶外地發送對來自第一裝置的查詢的回應。

【0175】 陳述 30.本發明概念的實施例包含根據陳述 29 所述的方法，其中：

帶外地接收第一裝置處的查詢包含通過系統管理匯流排（SMBus）連接接收第一裝置處的查詢；且

帶外地發送對來自第一裝置的查詢的回應包含通過 SMBus 連接發送對來自第一裝置的查詢的回應。

【0176】 陳述 31.本發明概念的實施例包含根據陳述 28 所述的方法，其中：

接收第一裝置處的查詢包含帶內地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶內地發送對來自第一裝置的查詢的回應。

【0177】 陳述 32.本發明概念的實施例包含根據陳述 31 所述的方法，其中：

帶內地接收第一裝置處的查詢包含通過周邊元件連接快

速（PCIe）連接接收第一裝置處的查詢；且

帶內地發送對來自第一裝置的查詢的回應包含通過 PCIe 連接發送對來自第一裝置的查詢的回應。

【0178】 陳述 33.本發明概念的實施例包含根據陳述 28 所述的方法，其中查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0179】 陳述 34.本發明概念的實施例包含一種方法，包括：

將第一查詢發送到由第一虛擬識別符（ID）表示的固態驅動器（SSD）；

回應於第一查詢從 SSD 接收唯一 SSD ID 和唯一輔助處理器 ID；

將第二查詢發送到由第二虛擬 ID 表示的輔助處理器；

回應於第二查詢從輔助處理器接收唯一 SSD ID 和唯一輔助處理器 ID；以及

將第一虛擬 ID 與第二虛擬 ID 配對。

【0180】 陳述 35.本發明概念的實施例包含根據陳述 34 所述的方法，其中將第一查詢發送到固態驅動器（SSD）包含將第一查詢帶外地發送到 SSD。

【0181】 陳述 36.本發明概念的實施例包含根據陳述 35 所述的方法，其中將第一查詢帶外地發送到 SSD 包含通過系統管理匯流排（SMBus）連接將第一查詢發送到 SSD。

【0182】 陳述 37.本發明概念的實施例包含根據陳述 34 所述的方法

法，其中將第一查詢發送到固態驅動器（SSD）包含將第一查詢帶內地發送到 SSD。

【0183】 陳述 38.本發明概念的實施例包含根據陳述 37 所述的方法，其中將第一查詢帶內地發送到 SSD 包含通過周邊元件連接快速（PCIe）連接將第一查詢發送到 SSD。

【0184】 陳述 39.本發明概念的實施例包含根據陳述 34 所述的方法，其中第一查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0185】 陳述 40.本發明概念的實施例包含根據陳述 34 所述的方法，其中將第二查詢發送到輔助處理器包含將第二查詢帶外地發送到輔助處理器。

【0186】 陳述 41.本發明概念的實施例包含根據陳述 40 所述的方法，其中將第二查詢帶外地發送到輔助處理器包含通過 SMBus 連接將第二查詢發送到輔助處理器。

【0187】 陳述 42.本發明概念的實施例包含根據陳述 34 所述的方法，其中第二查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0188】 陳述 43.本發明概念的實施例包含根據陳述 34 所述的方法，其中將第一虛擬 ID 與第二虛擬 ID 配對包含回應於返回唯一 SSD ID 和唯一輔助處理器 ID 的 SSD 和輔助處理器二者而將第一虛擬 ID 與第二虛擬 ID 配對。

【0189】 陳述 44.本發明概念的實施例包含根據陳述 34 所述的方法

法，所述方法進一步包括提供應用程式設計介面（API），所述應用程式設計介面可操作以對關於第一虛擬 ID 與第二虛擬 ID 的配對的查詢作出回應。

【0190】 陳述 45.本發明概念的實施例包含根據陳述 44 所述的方法，所述方法進一步包括：

接收對第一虛擬 ID 的配對的配對查詢；以及

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID。

【0191】 陳述 46.本發明概念的實施例包含根據陳述 45 所述的方法，其中：

接收對第一虛擬 ID 的配對的配對查詢包含經由 API 從應用程式接收用於第一虛擬 ID 的配對的配對查詢；且

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID 包含回應於第一虛擬 ID 與第二虛擬 ID 的配對而將第二虛擬 ID 返回到應用程式。

【0192】 陳述 47.本發明概念的實施例包含根據陳述 44 所述的方法，所述方法進一步包括：

接收對與文件相關聯的配對的文件查詢；

將 SSD 識別為儲存所述文件；以及

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID。

【0193】 陳述 48.本發明概念的實施例包含根據陳述 47 所述的方法，其中：

接收對與文件相關聯的配對的文件查詢包含經由 API 從應用程式接收對與文件相關聯的配對的文件查詢；

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID 包含回應於文件查詢而將第一虛擬 ID 和第二虛擬 ID 返回到應用程式。

【0194】 陳述 49.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

將查詢從第一裝置發送到第二裝置；

從第二裝置接收第一裝置處的回應，所述回應包含第一配對資料；

將第一配對資料儲存在第一裝置中的第二儲存裝置中；

從第一裝置中的第一儲存裝置存取第二配對資料；以及

將第二配對資料從第一裝置發送到第二裝置。

【0195】 陳述 50.本發明概念的實施例包含根據陳述 49 所述的物品，其中第一裝置和第二裝置分別包含現場可程式閘陣列（FPGA）、專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0196】 陳述 51.本發明概念的實施例包含根據陳述 49 所述的物品，其中：

將查詢從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將查詢從第一裝置發送到第二裝置；

從第二裝置接收第一裝置處的回應包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的回應；且

將第二配對資料從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將第二配對資料從第一裝置發送到第二裝置。

【0197】 陳述 52.本發明概念的實施例包含根據陳述 49 所述的物品，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電可擦可程式唯讀記憶體（EEPROM）中的一個。

【0198】 陳述 53.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

從第二裝置接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取第一配對資料；

將回應從第一裝置發送到第二裝置，所述回應包含第一配對資料；

從第二裝置接收第一裝置處的第二配對資料；以及

將第二配對資料儲存在第一裝置中的第二儲存裝置中。

【0199】 陳述 54.本發明概念的實施例包含根據陳述 53 所述的物品，其中第一裝置和第二裝置分別包含現場可程式閘陣列（FPGA）、專用積體電路、圖形處理單元（GPU）、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【0200】 陳述 55.本發明概念的實施例包含根據陳述 53 所述的物品，其中：

從第二裝置接收第一裝置處的查詢包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的查詢；

將回應從第一裝置發送到第二裝置包含通過第一裝置與第二裝置之間的硬體介面將回應從第一裝置發送到第二裝置；且

從第二裝置接收第一裝置處的第二配對資料包含通過第一裝置與第二裝置之間的硬體介面從第二裝置接收第一裝置處的第二配對資料。

【0201】 陳述 56.本發明概念的實施例包含根據陳述 53 所述的物品，其中第二儲存裝置包含一次性可程式（OTP）記憶體、可程式唯讀記憶體（PROM）、可擦可程式唯讀記憶體（EPROM）以及電可擦可程式唯讀記憶體（EEPROM）中的一個。

【0202】 陳述 57.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

接收第一裝置處的查詢；

從第一裝置中的第一儲存裝置存取用於第一裝置的第一唯一識別符（ID）；

從第一裝置中的第二儲存裝置存取用於第二裝置的第二唯一 ID，所述第二裝置與第一裝置配對；以及

發送對來自第一裝置的查詢的回應，所述回應包含第一

唯一 ID 和第二唯一 ID 二者。

【0203】 陳述 58.本發明概念的實施例包含根據陳述 57 所述的物品，其中：

接收第一裝置處的查詢包含帶外地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶外地發送對來自第一裝置的查詢的回應。

【0204】 陳述 59.本發明概念的實施例包含根據陳述 58 所述的物品，其中：

帶外地接收第一裝置處的查詢包含通過系統管理匯流排（SMBus）連接接收第一裝置處的查詢；且

帶外地發送對來自第一裝置的查詢的回應包含通過 SMBus 連接發送對來自第一裝置的查詢的回應。

【0205】 陳述 60.本發明概念的實施例包含根據陳述 57 所述的物品，其中：

接收第一裝置處的查詢包含帶內地接收第一裝置處的查詢；且

發送對來自第一裝置的查詢的回應包含帶內地發送對來自第一裝置的查詢的回應。

【0206】 陳述 61.本發明概念的實施例包含根據陳述 60 所述的物品，其中：

帶內地接收第一裝置處的查詢包含通過周邊元件連接快

速（PCIe）連接接收第一裝置處的查詢；且

帶內地發送對來自第一裝置的查詢的回應包含通過 PCIe 連接發送對來自第一裝置的查詢的回應。

【0207】 陳述 62.本發明概念的實施例包含根據陳述 57 所述的物品，其中查詢包含非揮發性管理快速（NVMe）管理介面（MI）命令。

【0208】 陳述 63.本發明概念的實施例包含一種物品，所述物品包括非暫時性儲存介質，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：

將第一查詢發送到由第一虛擬識別符（ID）表示的固態驅動器（SSD）；

回應於第一查詢從 SSD 接收唯一 SSD ID 和唯一輔助處理器 ID；

將第二查詢發送到由第二虛擬 ID 表示的輔助處理器；

回應於第二查詢從輔助處理器接收唯一 SSD ID 和唯一輔助處理器 ID；以及

將第一虛擬 ID 與第二虛擬 ID 配對。

【0209】 陳述 64.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第一查詢發送到固態驅動器（SSD）包含將第一查詢帶外地發送到 SSD。

【0210】 陳述 65.本發明概念的實施例包含根據陳述 64 所述的物品，其中將第一查詢帶外地發送到 SSD 包含通過系統管理匯流排

(SMBus) 連接將第一查詢發送到 SSD。

【0211】 陳述 66.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第一查詢發送到固態驅動器 (SSD) 包含將第一查詢帶內地發送到 SSD。

【0212】 陳述 67.本發明概念的實施例包含根據陳述 66 所述的物品，其中將第一查詢帶內地發送到 SSD 包含通過周邊元件連接快速 (PCIe) 連接將第一查詢發送到 SSD。

【0213】 陳述 68.本發明概念的實施例包含根據陳述 63 所述的物品，其中第一查詢包含非揮發性管理快速 (NVMe) 管理介面 (MI) 命令。

【0214】 陳述 69.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第二查詢發送到輔助處理器包含將第二查詢帶外地發送到輔助處理器。

【0215】 陳述 70.本發明概念的實施例包含根據陳述 69 所述的物品，其中將第二查詢帶外地發送到輔助處理器包含通過 SMBus 連接將第二查詢發送到輔助處理器。

【0216】 陳述 71.本發明概念的實施例包含根據陳述 63 所述的物品，其中第二查詢包含非揮發性管理快速 (NVMe) 管理介面 (MI) 命令。

【0217】 陳述 72.本發明概念的實施例包含根據陳述 63 所述的物品，其中將第一虛擬 ID 與第二虛擬 ID 配對包含回應於返回唯一 SSD ID 和唯一輔助處理器 ID 的 SSD 和輔助處理器二者而將第一

虛擬 ID 與第二虛擬 ID 配對。

【0218】 陳述 73.本發明概念的實施例包含根據陳述 63 所述的物品，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的指令：提供應用程式設計介面（API），所述應用程式設計介面可操作以對關於第一虛擬 ID 與第二虛擬 ID 的配對的查詢作出回應。

【0219】 陳述 74.本發明概念的實施例包含根據陳述 73 所述的物品，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的其它指令：

接收對第一虛擬 ID 的配對的配對查詢；以及

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID。

【0220】 陳述 75.本發明概念的實施例包含根據陳述 74 的物品，其中：

接收對第一虛擬 ID 的配對的配對查詢包含經由 API 從應用程式接收對第一虛擬 ID 的配對的配對查詢；且

回應於第一虛擬 ID 與第二虛擬 ID 的配對而返回第二虛擬 ID 包含回應於第一虛擬 ID 與第二虛擬 ID 的配對而將第二虛擬 ID 返回到應用程式。

【0221】 陳述 76.本發明概念的實施例包含根據陳述 73 所述的物品，所述非暫時性儲存介質具有儲存於其上的在由機器執行時引起以下操作的其它指令：

接收對與文件相關聯的配對的文件查詢；

將 SSD 識別為儲存所述文件；以及

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID。

【0222】 陳述 77.本發明概念的實施例包含根據陳述 76 的物品，其中：

接收對與文件相關聯的配對的文件查詢包含經由 API 從應用程式接收對與文件相關聯的配對的文件查詢；

回應於文件查詢而返回第一虛擬 ID 和第二虛擬 ID 包含回應於文件查詢而將第一虛擬 ID 和第二虛擬 ID 返回到應用程式。

【0223】 因此，考慮到對本文中所描述的實施例的各種置換，此詳細描述和隨附材料旨在僅為說明性的，並且不應視為限制本發明概念的範圍。因此，本發明概念所要求保護的是落入所附申請專利範圍書以及其等效物的範圍和精神內的所有此類修改。

【符號說明】

【0224】

105：機器/裝置

110：處理器

115：記憶體

120：記憶體控制器

125、125-1、125-2、125-3、125-4、125-5、125-6：儲存裝

置/裝置/SSD

130-1、130-2：輔助處理器/裝置

205：現場可程式閘陣列

210：專用積體電路

215：圖形處理單元

220：張量處理單元

225：擦除編碼控制器

230：小型處理器內核

305：時鐘

310：網路連接器

315：匯流排

320：使用者介面

325：輸入/輸出引擎

405：作業系統

410、415、420、425：虛擬識別符

430、435：資料儲存裝置

505-1、505-2、510-1、510-2、515-1、515-2、520-1、520-2：

儲存裝置

605、615：查詢

610、620：回應

625：操作

705：系統管理匯流排/硬體介面

710：帶內連接

715：帶外連接

905：識別裝置

910：識別回應

915：設置配對資料

920、930、1020、1025：設置回應

925：設置高級資料/設置日誌頁

1005：讀取身份資料

1010：讀取回應

1015：設置身份資料

1105、1305、1405：具有後備擦除編碼邏輯的 PCIe 交換機；

1505、1510、1515、1520、1525、1605、1610、1615、1620、

1625、1705、1710、1715、1720、1805、1810、1815、1820、1825、

1830、1905、1910、1915、1920、1925、1930：框

1935、1940：箭頭

【發明申請專利範圍】

【第1項】 一種多裝置的配對系統，包括：

固態驅動器，包含用於資料的第一儲存裝置、用於唯一固態驅動器識別符的第二儲存裝置以及用於唯一輔助處理器識別符的第三儲存裝置；

輔助處理器，包含用於所述唯一輔助處理器識別符的第四儲存裝置和用於所述唯一固態驅動器識別符的第五儲存裝置；以及

硬體介面，位於所述固態驅動器與所述輔助處理器之間。

【第2項】 如申請專利範圍第 1 項所述的配對系統，其中所述輔助處理器包含現場可程式閘陣列、專用積體電路、圖形處理單元、張量處理單元、擦除編碼控制器以及小型處理器核心中的一個。

【第3項】 如申請專利範圍第 1 項所述的配對系統，其中所述輔助處理器可操作以向所述固態驅動器查詢所述唯一固態驅動器識別符且將所述唯一固態驅動器識別符儲存在所述第五儲存裝置中。

【第4項】 如申請專利範圍第 1 項所述的配對系統，其中所述輔助處理器可操作以為所述固態驅動器提供所述唯一輔助處理器識別符。

【第5項】 如申請專利範圍第 1 項所述的配對系統，其中所述固態驅動器可操作以為所述輔助處理器提供所述唯一固態驅動器識別符。

【第6項】 如申請專利範圍第 1 項所述的配對系統，其中所述固態驅動器可操作以帶外地接收關於所述固態驅動器和所述輔助處理

器的查詢。

【第7項】 如申請專利範圍第 6 項所述的配對系統，其中所述固態驅動器可操作以用所述唯一固態驅動器識別符和所述唯一輔助處理器識別符二者對所述查詢作出回應。

【第8項】 如申請專利範圍第 1 項所述的配對系統，其中所述輔助處理器可操作以帶外地接收關於所述固態驅動器和所述輔助處理器的查詢。

【第9項】 如申請專利範圍第 8 項所述的配對系統，其中所述輔助處理器可操作以用所述唯一固態驅動器識別符和所述唯一輔助處理器識別符二者對所述查詢作出回應。

【第10項】 如申請專利範圍第 1 項所述的配對系統，其中所述固態驅動器可操作以帶內地接收關於所述固態驅動器和所述輔助處理器的查詢。

【第11項】 如申請專利範圍第 10 項所述的配對系統，其中所述固態驅動器可操作以用所述唯一固態驅動器識別符和所述唯一輔助處理器識別符二者對所述查詢作出回應。

【第12項】 一種多裝置的配對方法，包括：

將查詢從第一裝置發送到第二裝置；

從所述第二裝置接收所述第一裝置處的回應，所述回應包含第一配對資料；

將所述第一配對資料儲存在所述第一裝置中的第一儲存裝置中；

從所述第一裝置中的第二儲存裝置存取第二配對資料；以及
將所述第二配對資料從所述第一裝置發送到所述第二裝置。

【第13項】 如申請專利範圍第 12 項所述的配對方法，其中：

將所述查詢從所述第一裝置發送到所述第二裝置包含通過所述第一裝置與所述第二裝置之間的硬體介面將所述查詢從所述第一裝置發送到所述第二裝置；

從所述第二裝置接收所述第一裝置處的所述回應包含通過所述第一裝置與所述第二裝置之間的所述硬體介面從所述第二裝置接收所述第一裝置處的所述回應；以及

將所述第二配對資料從所述第一裝置發送到所述第二裝置包含通過所述第一裝置與所述第二裝置之間的所述硬體介面將所述第二配對資料從所述第一裝置發送到所述第二裝置。

【第14項】 一種多裝置的配對方法，包括：

將第一查詢發送到由第一虛擬識別符表示的固態驅動器；

回應於所述第一查詢而從所述固態驅動器接收唯一固態驅動器識別符和唯一輔助處理器識別符；

將第二查詢發送到由第二虛擬識別符表示的輔助處理器；

回應於所述第二查詢而從所述輔助處理器接收所述唯一固態驅動器識別符和所述唯一輔助處理器識別符；以及

將所述第一虛擬識別符與所述第二虛擬識別符配對。

【第15項】 如申請專利範圍第 14 項所述的配對方法，其中將所述第一虛擬識別符與所述第二虛擬識別符配對包含回應於返回所述

唯一固態驅動器識別符和所述唯一輔助處理器識別符的所述固態驅動器和所述輔助處理器二者而將所述第一虛擬識別符與所述第二虛擬識別符配對。

【第16項】 如申請專利範圍第 14 項所述的配對方法，進一步包括提供應用程式設計介面，所述應用程式設計介面可操作以對關於所述第一虛擬識別符與所述第二虛擬識別符的配對的查詢作出回應。

【第17項】 如申請專利範圍第 16 項所述的配對方法，進一步包括：

接收對所述第一虛擬識別符的配對的配對查詢；以及

回應於所述第一虛擬識別符與所述第二虛擬識別符的所述配對而返回所述第二虛擬識別符。

【第18項】 如申請專利範圍第 17 項所述的配對方法，其中：

接收對所述第一虛擬識別符的所述配對的所述配對查詢包含經由所述應用程式設計介面從應用程式接收對所述第一虛擬識別符的所述配對的所述配對查詢；以及

回應於所述第一虛擬識別符與所述第二虛擬識別符的所述配對而返回所述第二虛擬識別符包含回應於所述第一虛擬識別符與所述第二虛擬識別符的所述配對而將所述第二虛擬識別符返回到所述應用程式。

【第19項】 如申請專利範圍第 16 項所述的配對方法，進一步包括：

接收對與文件相關聯的配對的文件查詢；

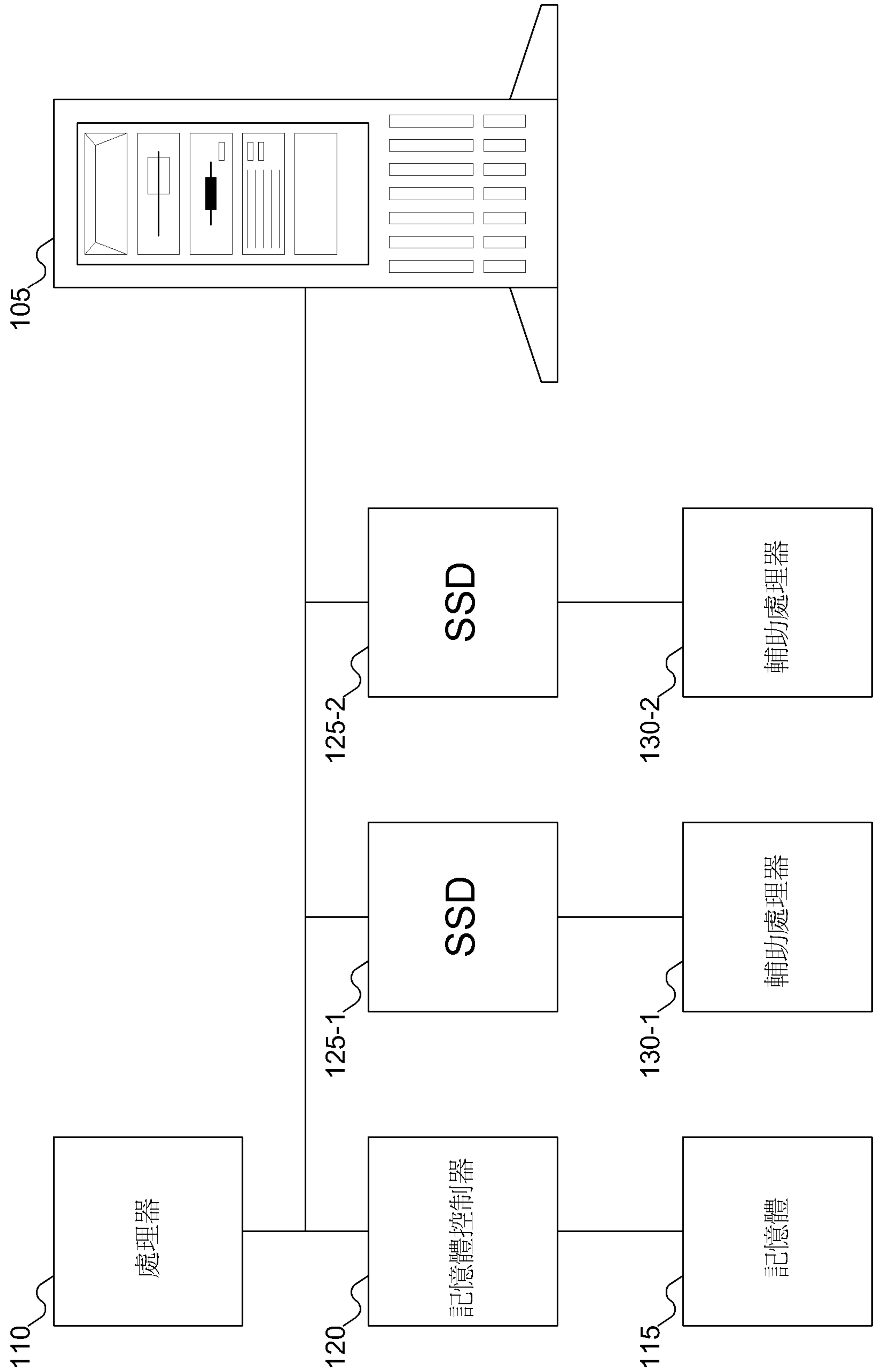
將所述固態驅動器識別為儲存所述文件；以及

回應於所述文件查詢而返回所述第一虛擬識別符和所述第二虛擬識別符。

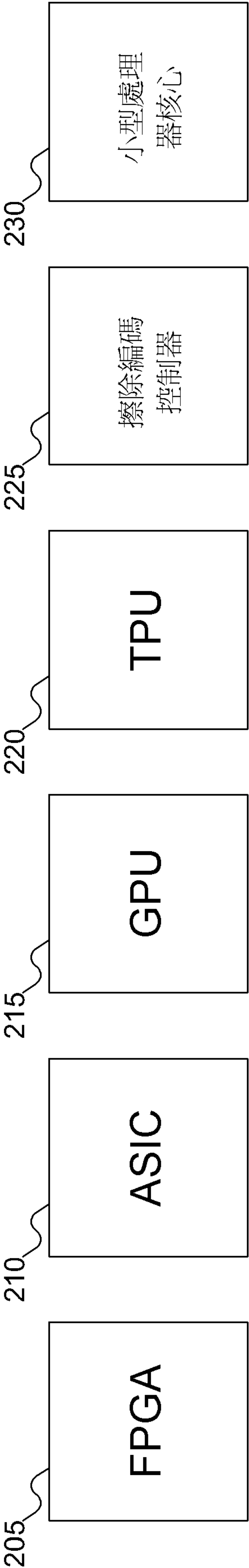
【第20項】 如申請專利範圍第 19 項所述的配對方法，其中：

接收對與所述文件相關聯的所述配對的所述文件查詢包含經由所述應用程式設計介面從應用程式接收對與所述文件相關聯的所述配對的所述文件查詢；以及

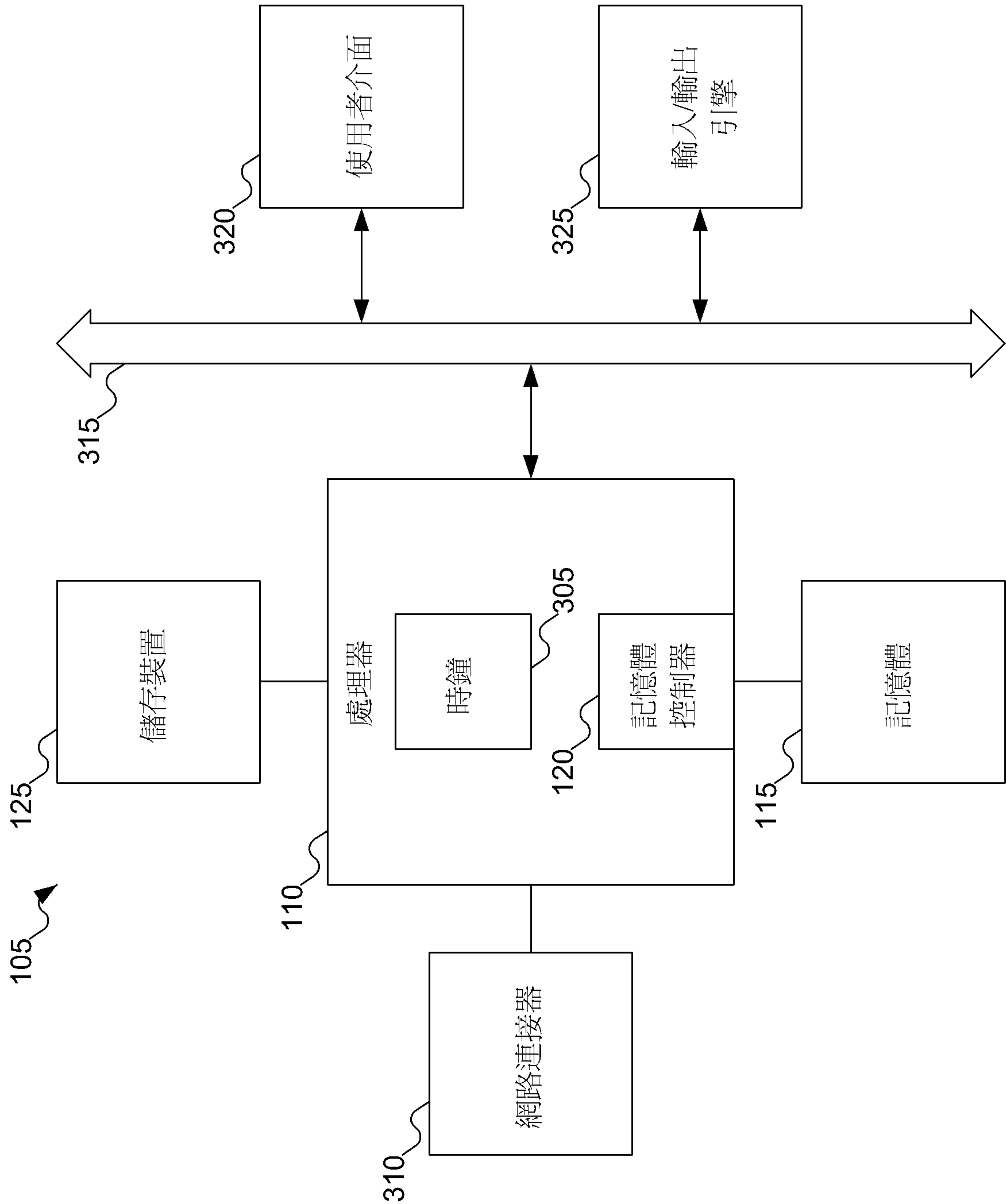
回應於所述文件查詢而返回所述第一虛擬識別符和所述第二虛擬識別符包含回應於所述文件查詢而將所述第一虛擬識別符和所述第二虛擬識別符返回到所述應用程式。



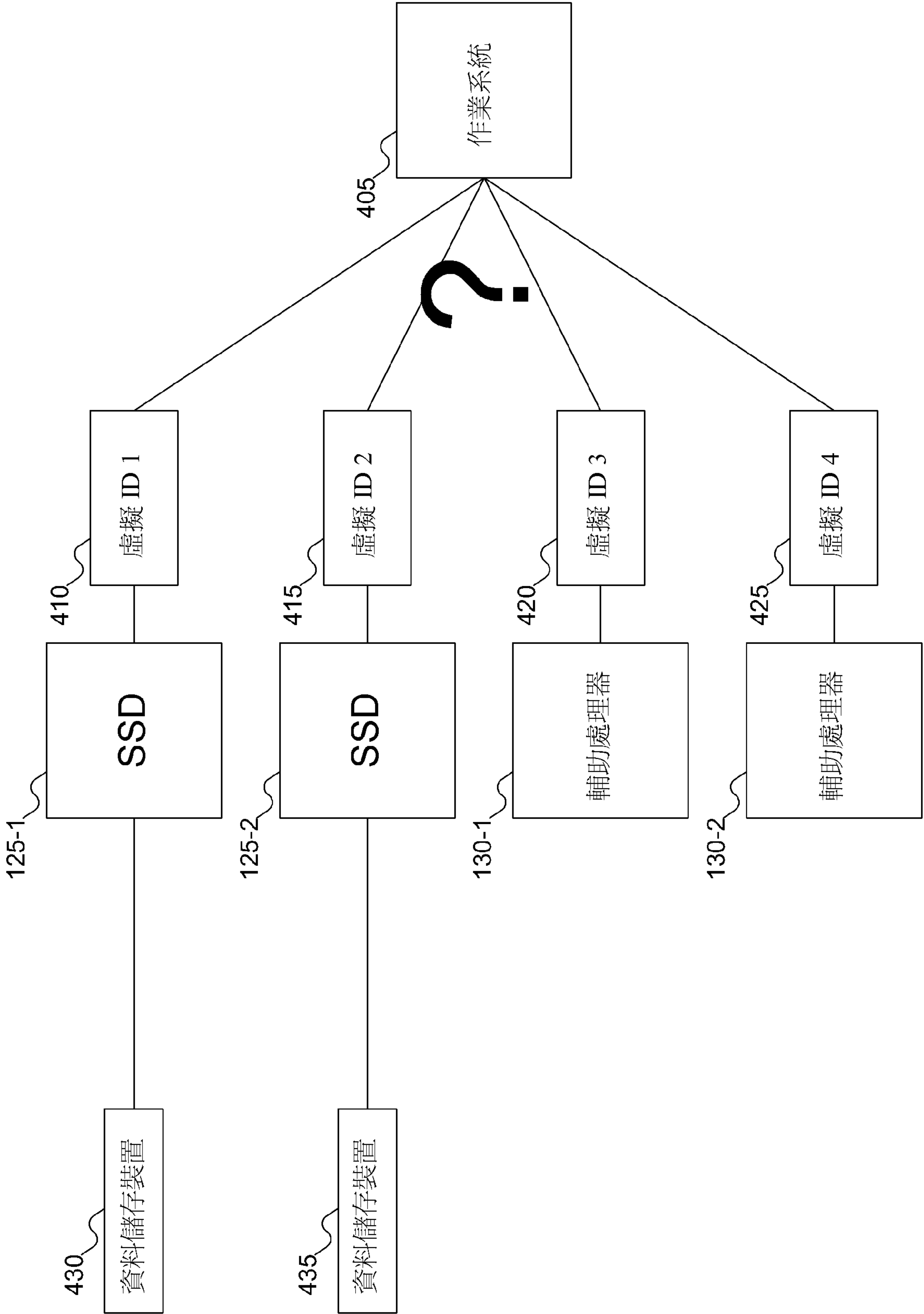
【圖1】



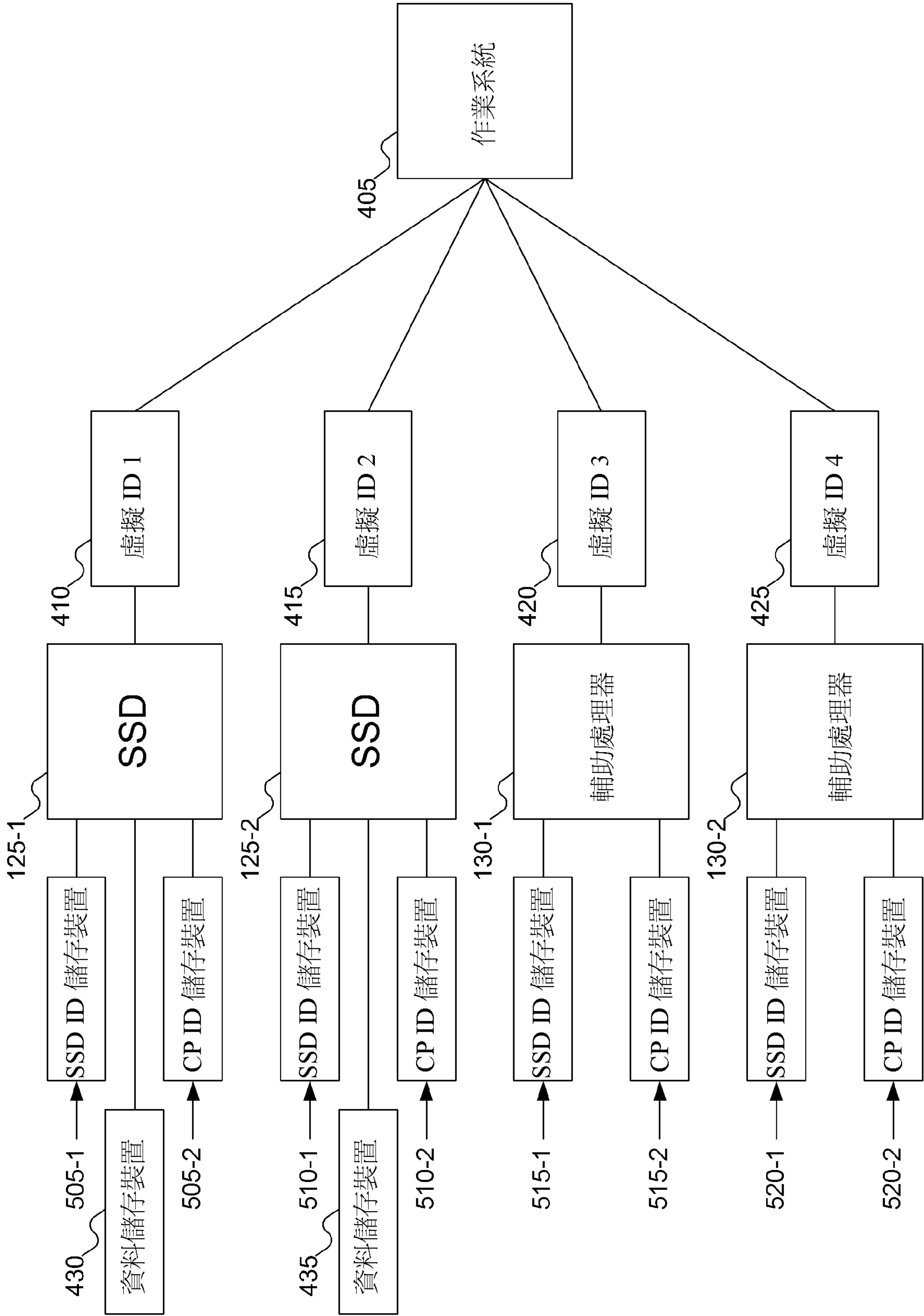
【圖 2】



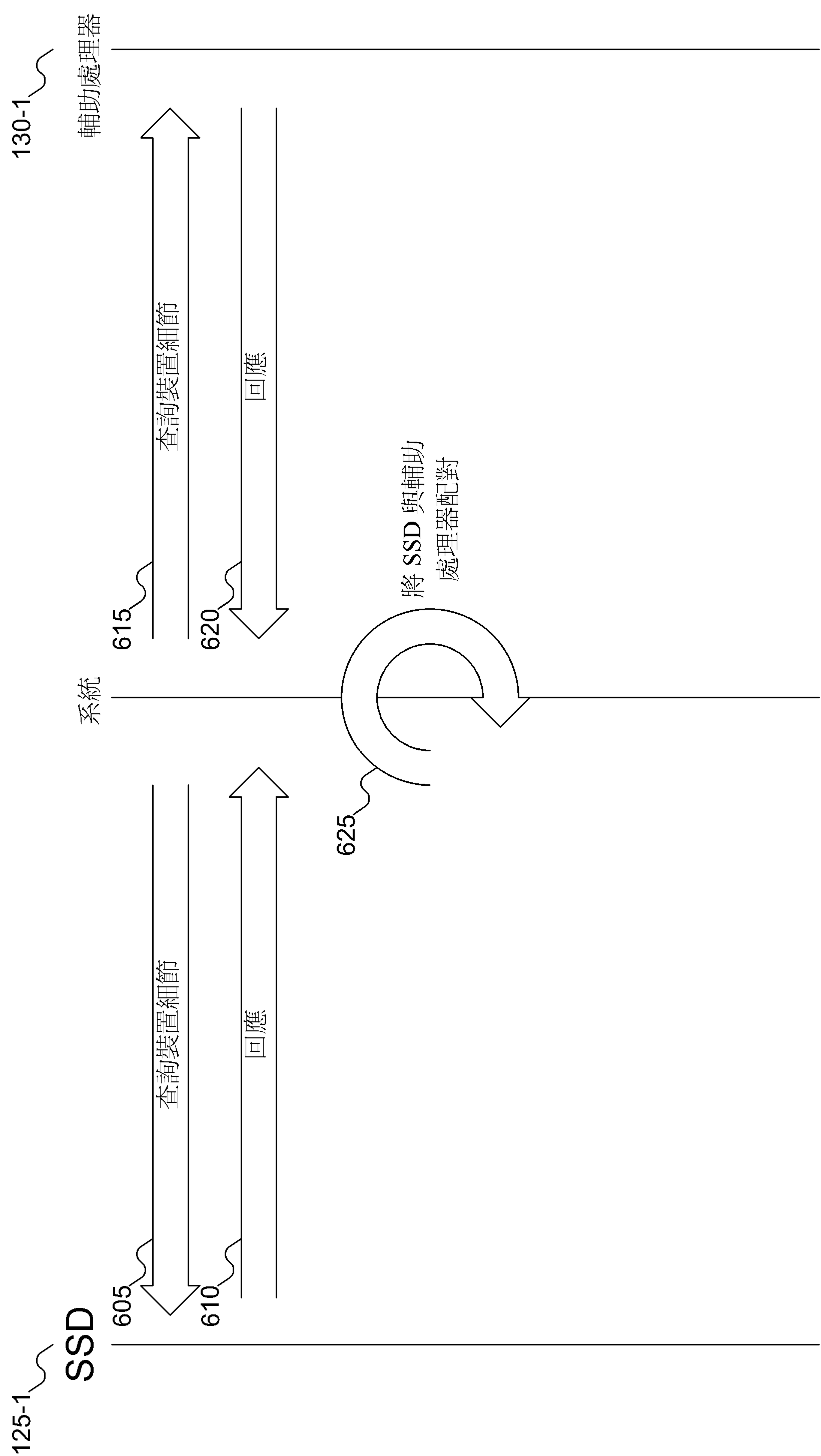
【圖 3】



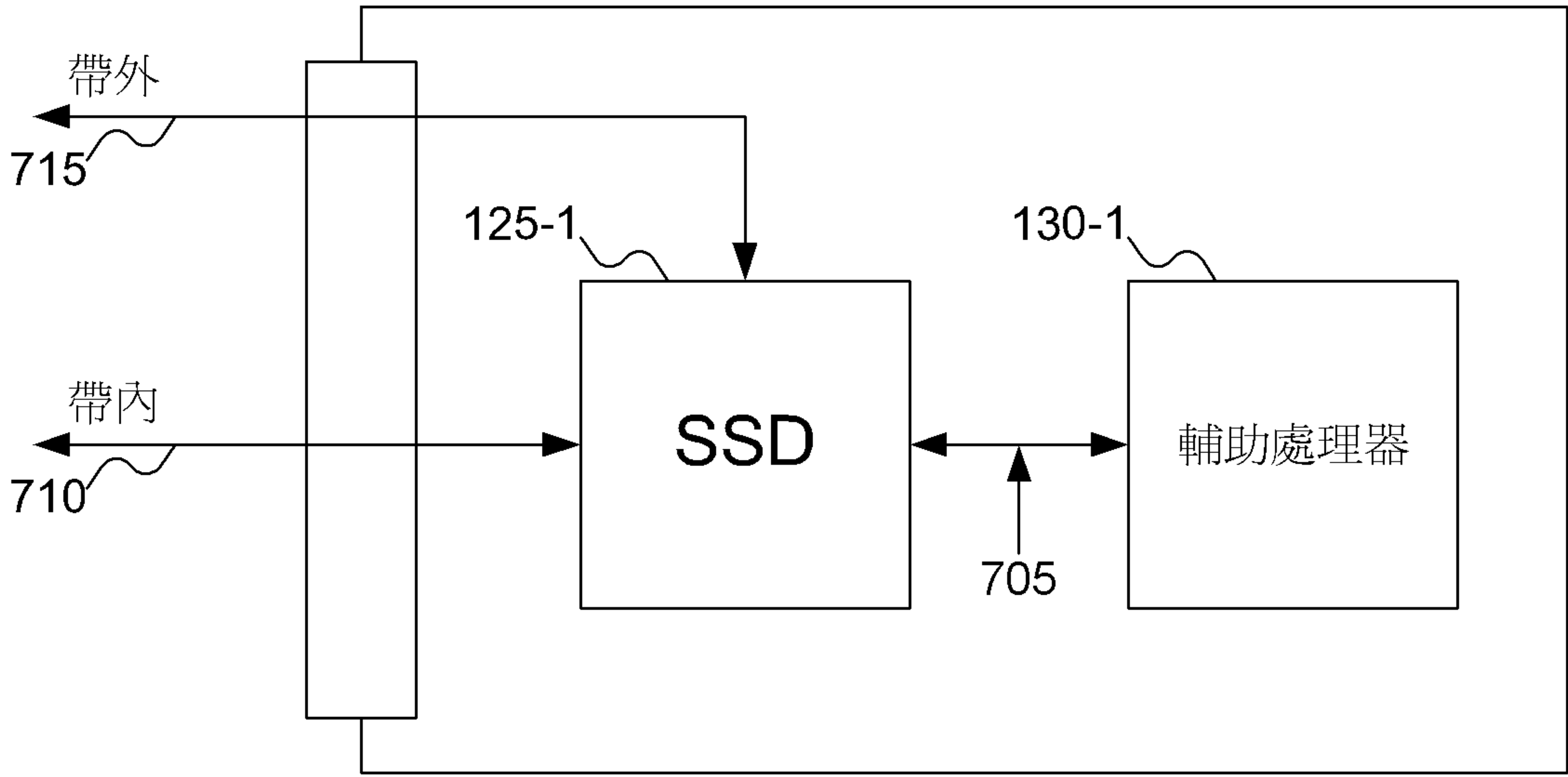
【圖 4】



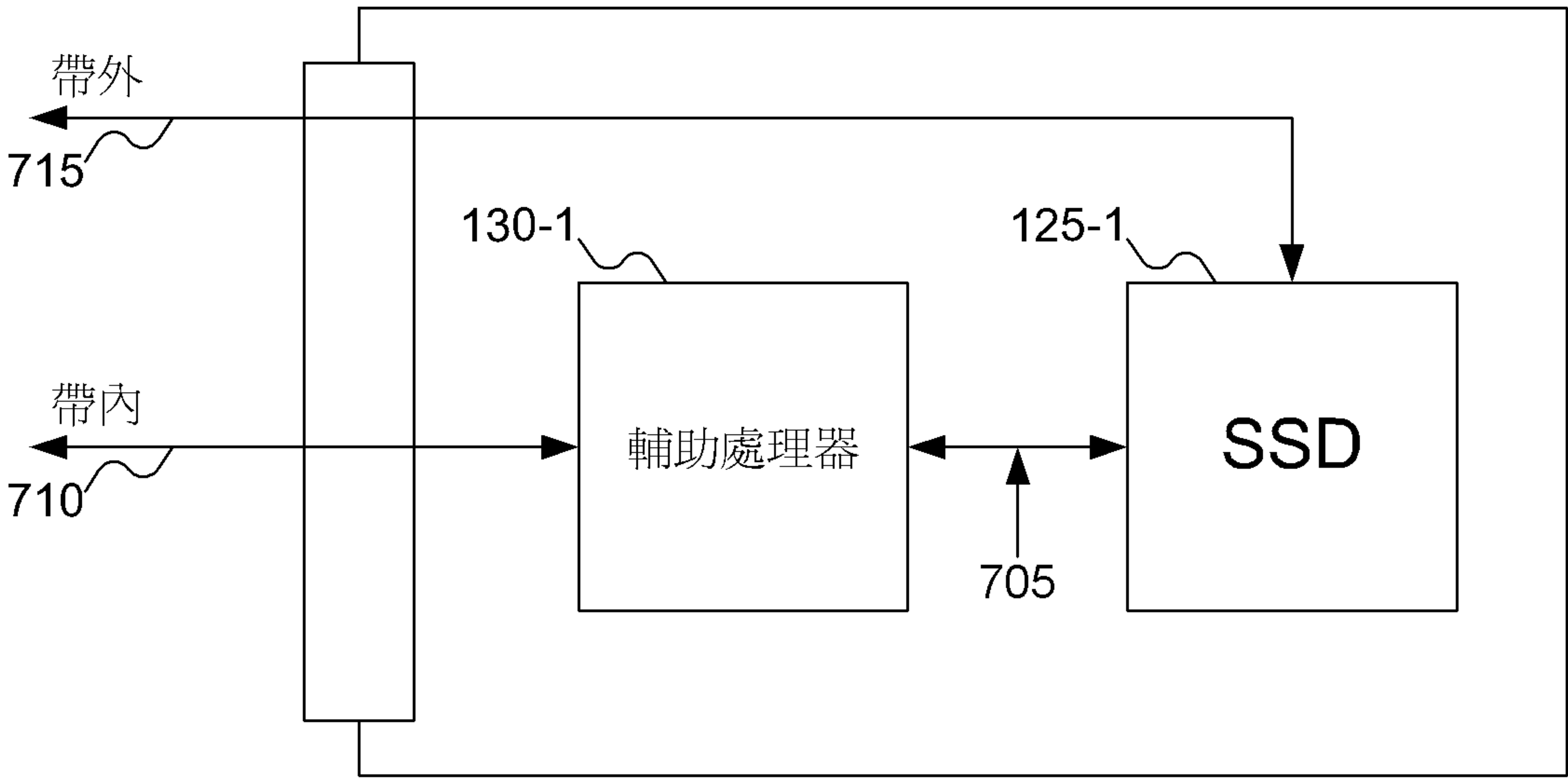
【圖 5】



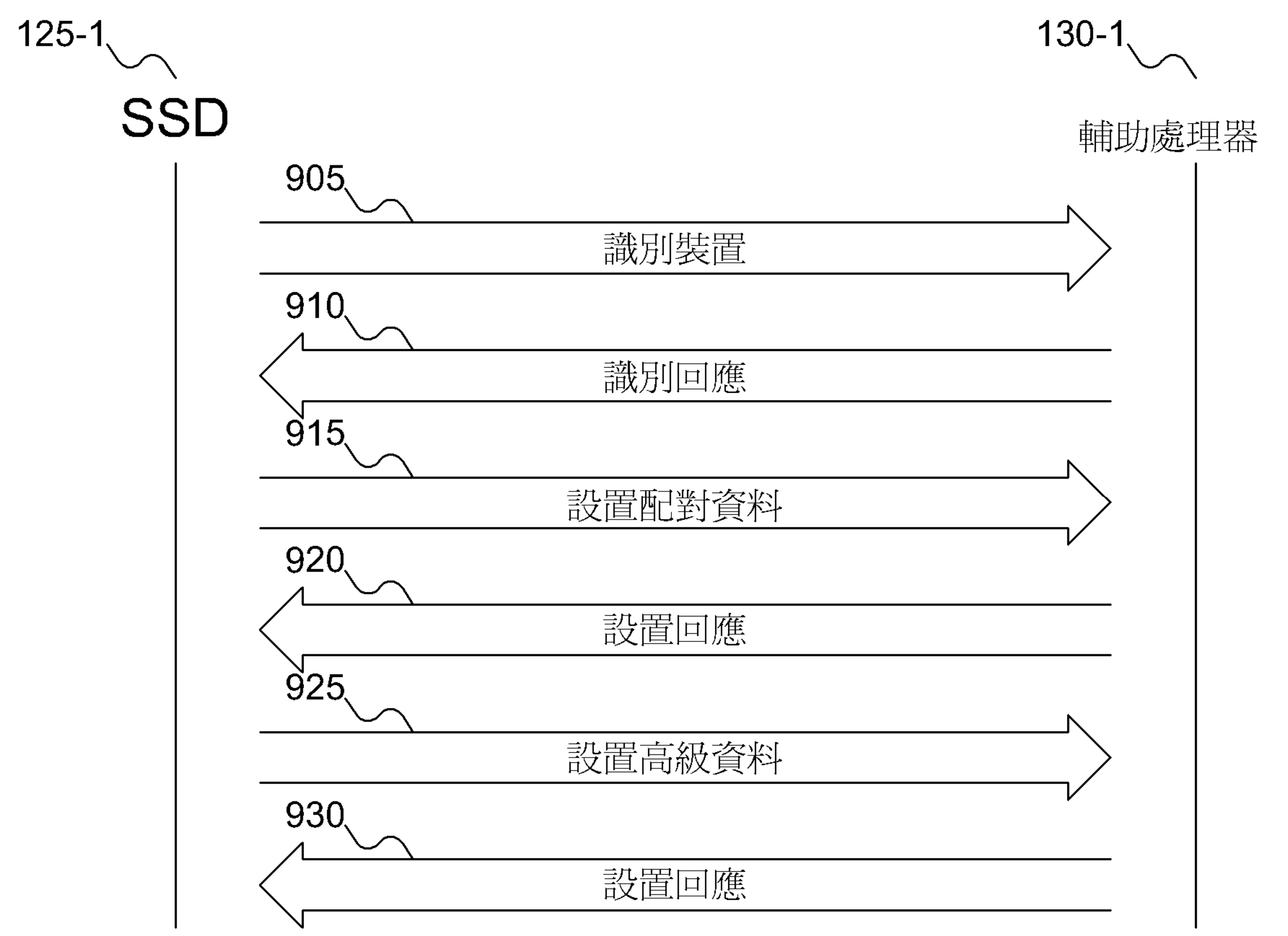
【圖 6】



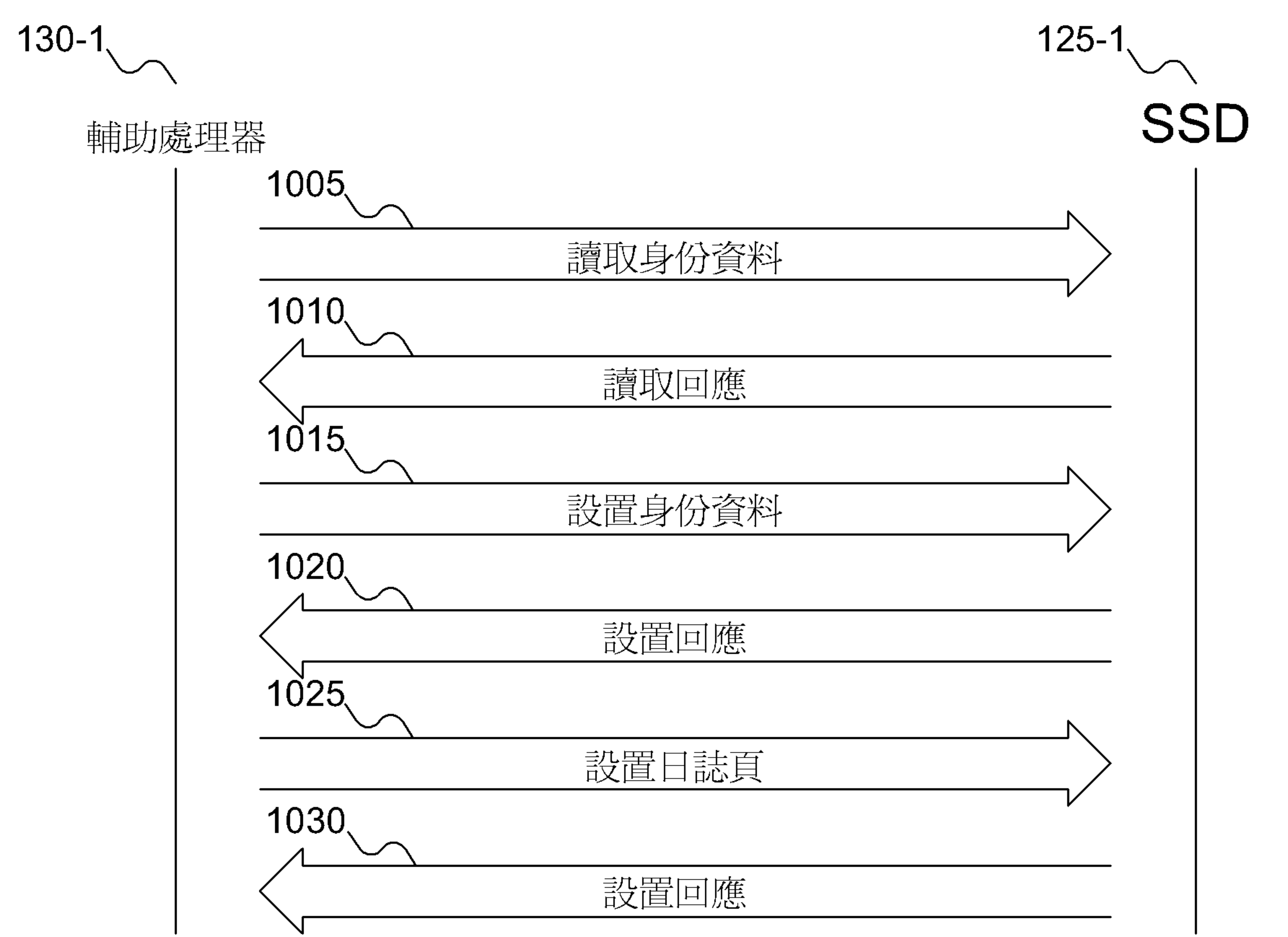
【圖 7】



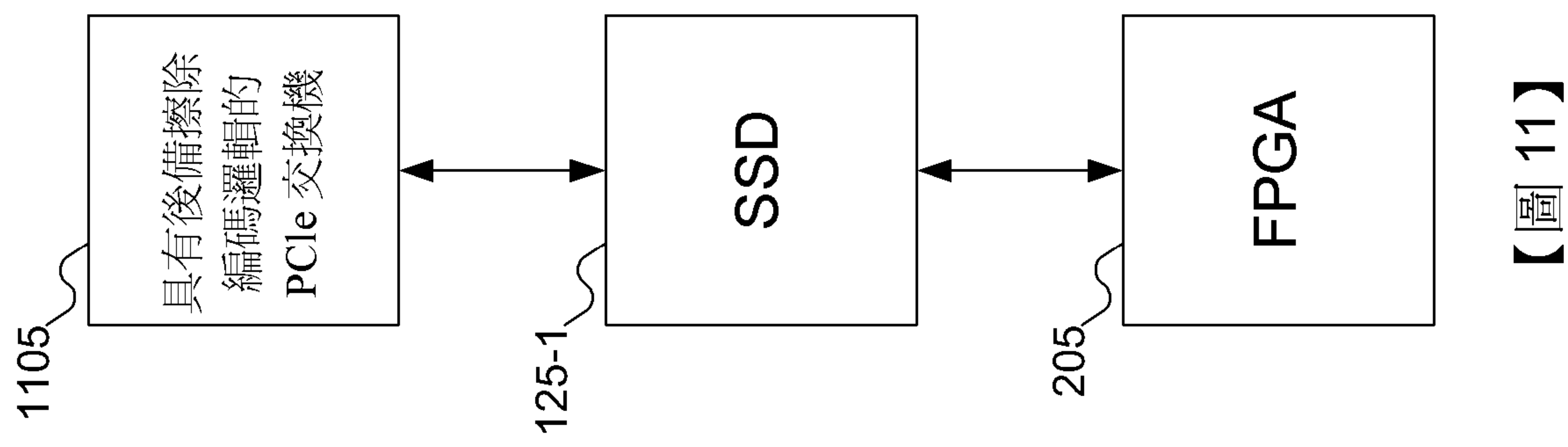
【圖 8】



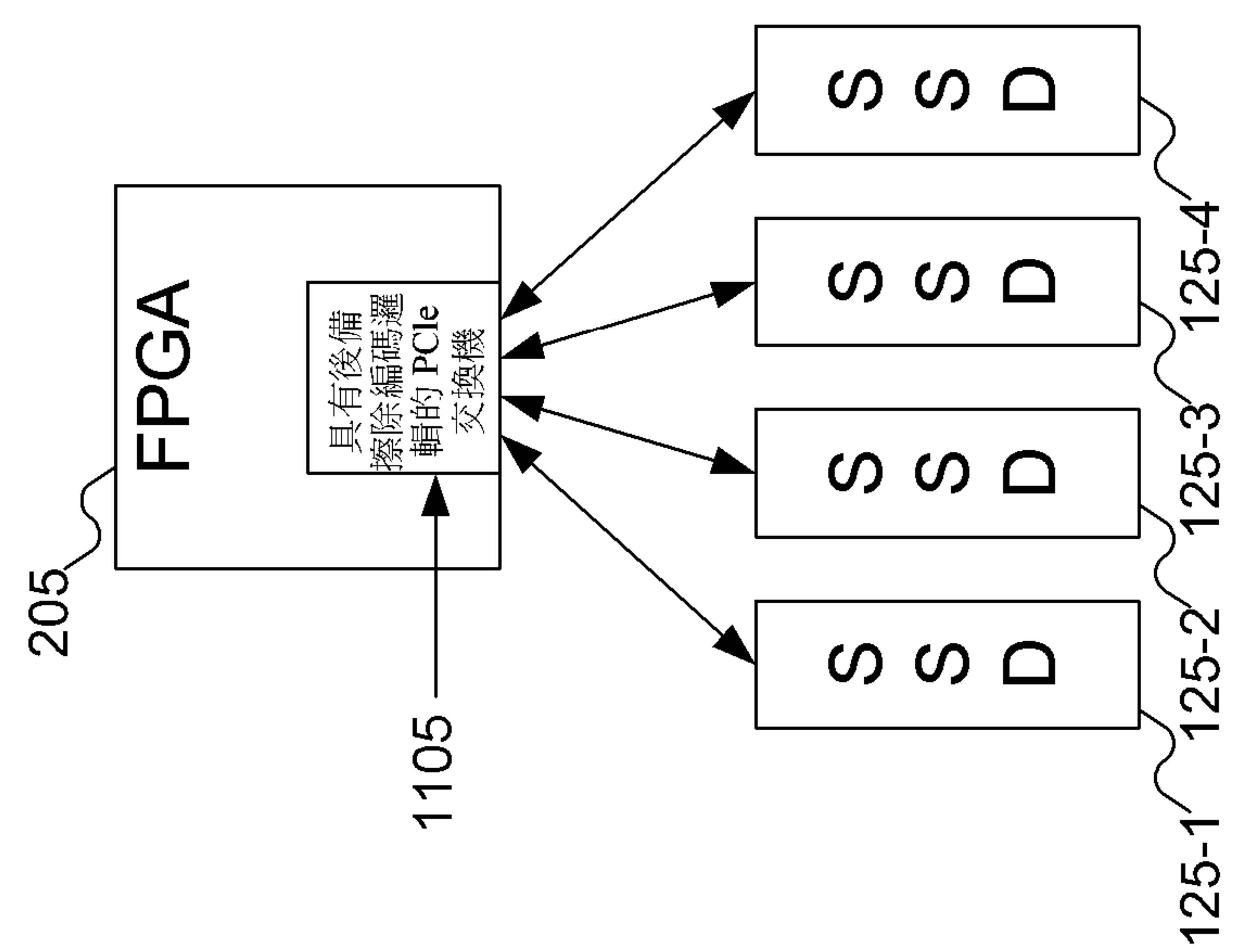
【圖 9】



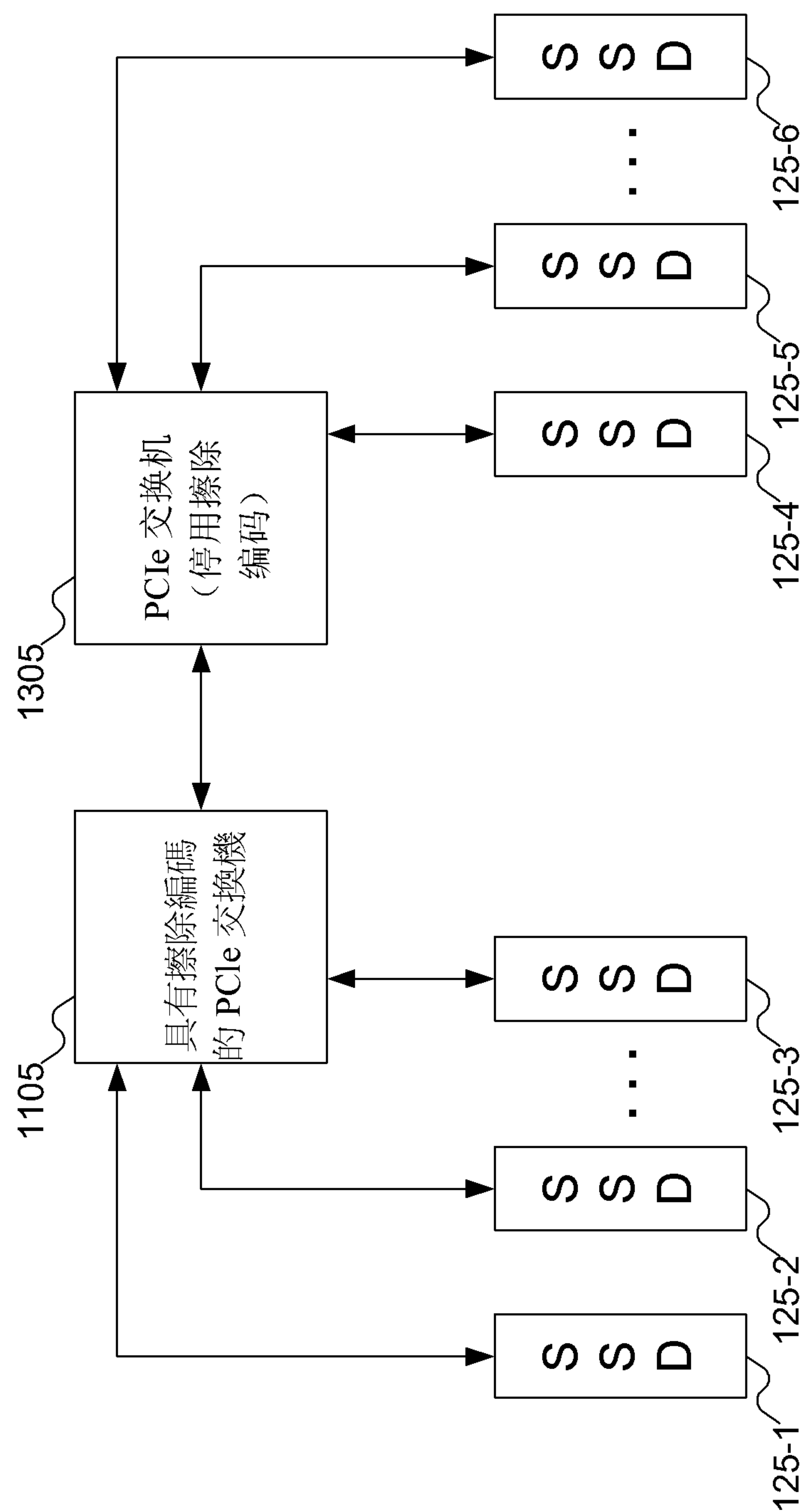
【圖 10】



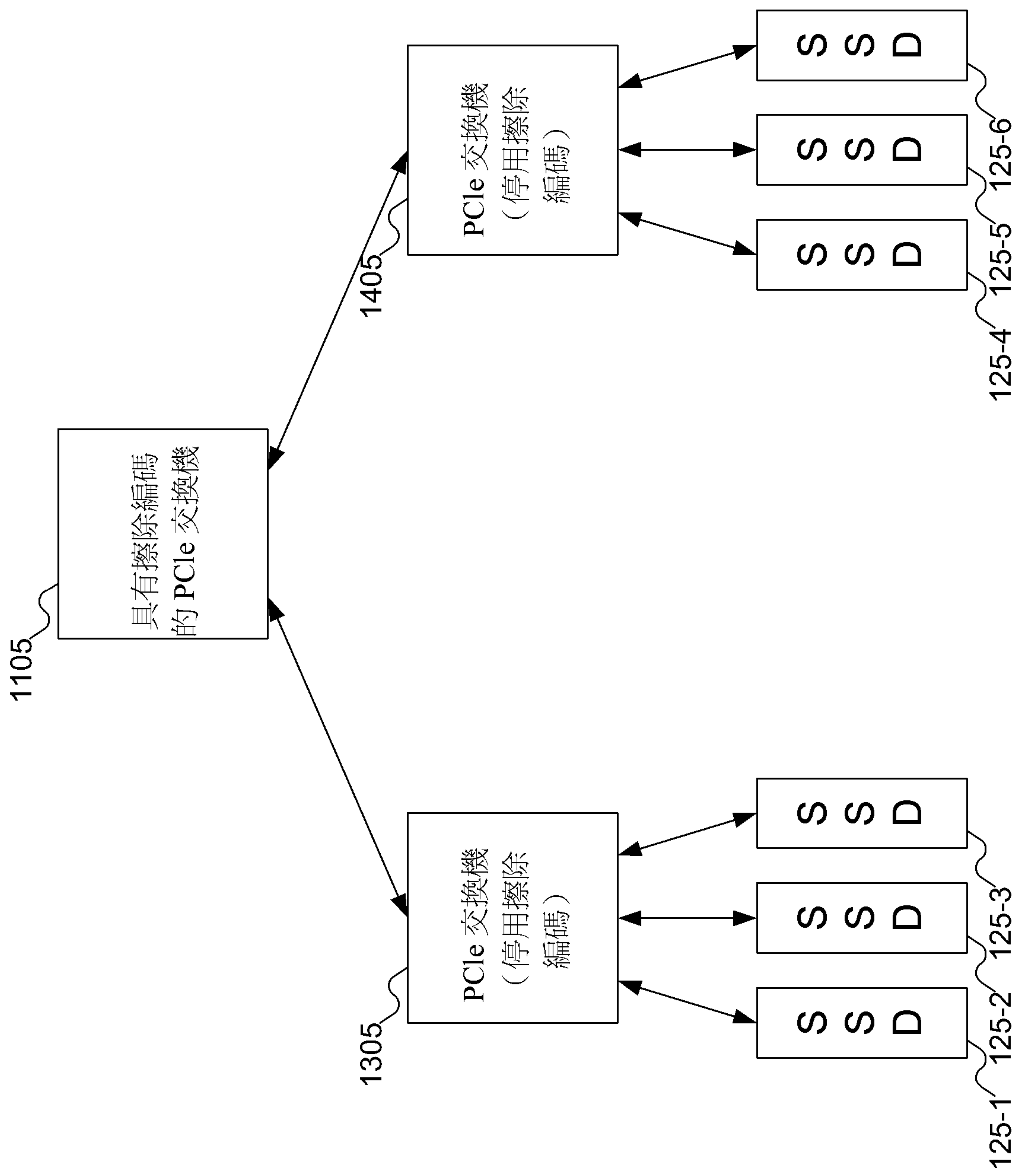
【圖 11】



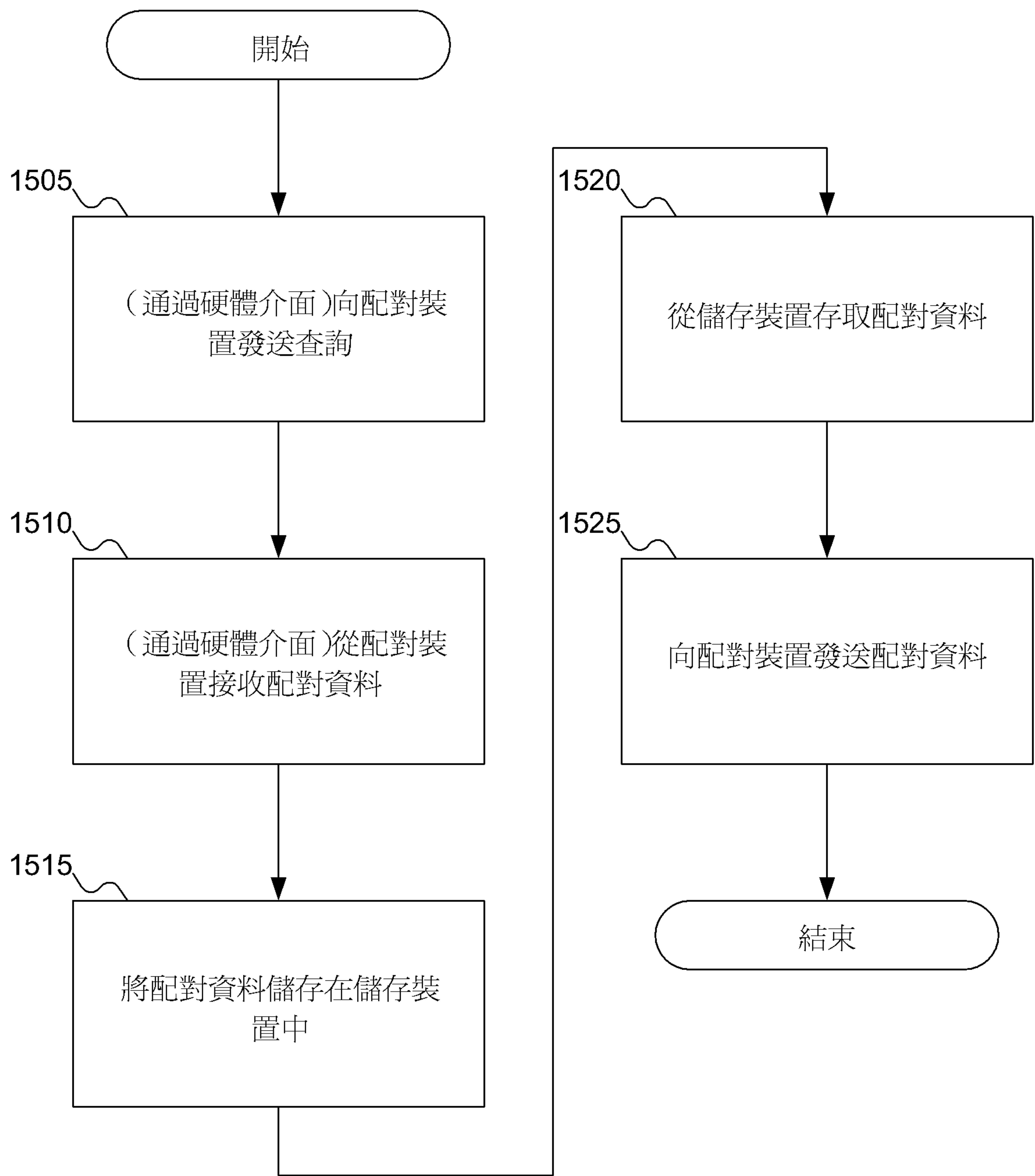
【圖 12】



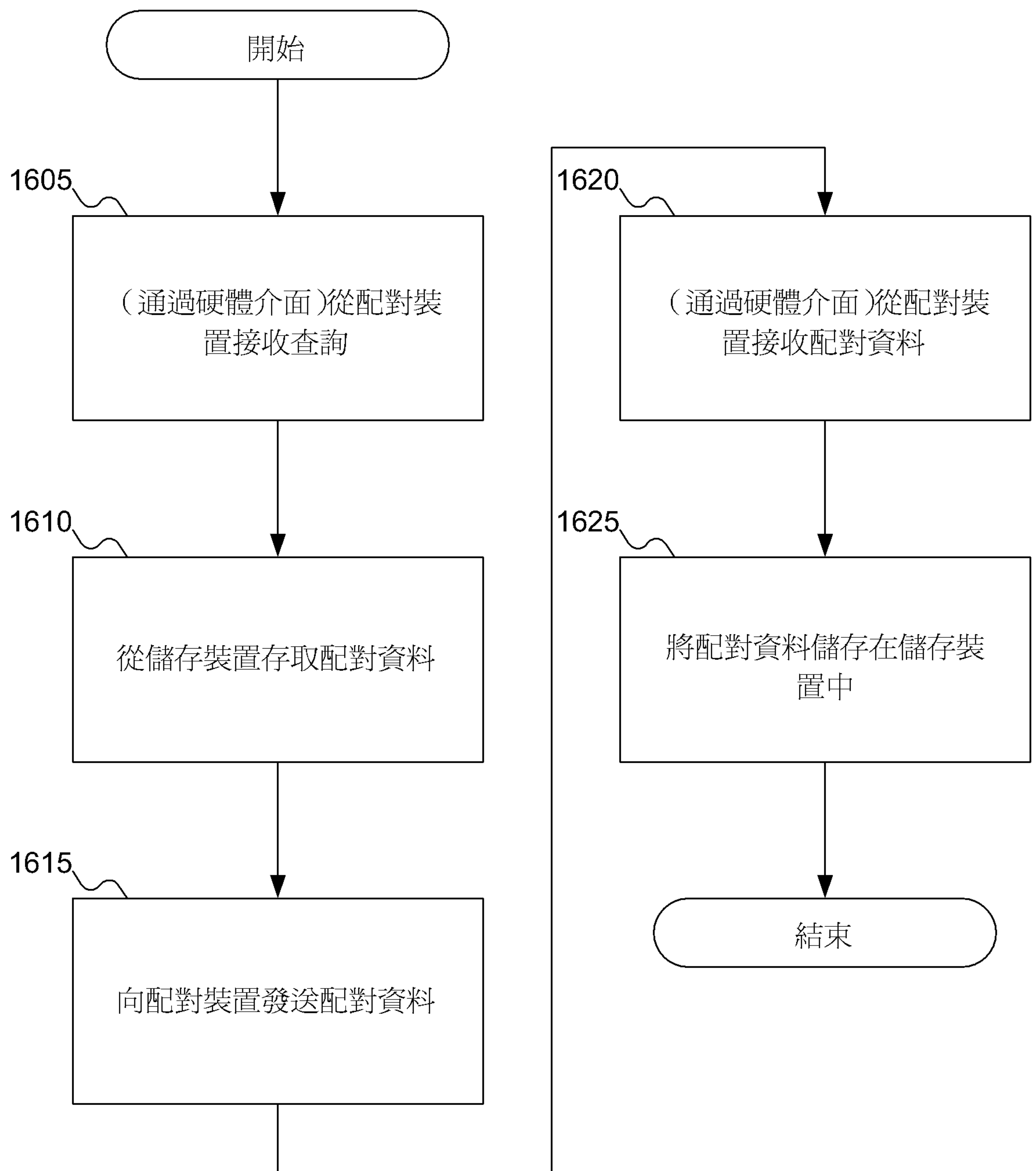
【圖 13】



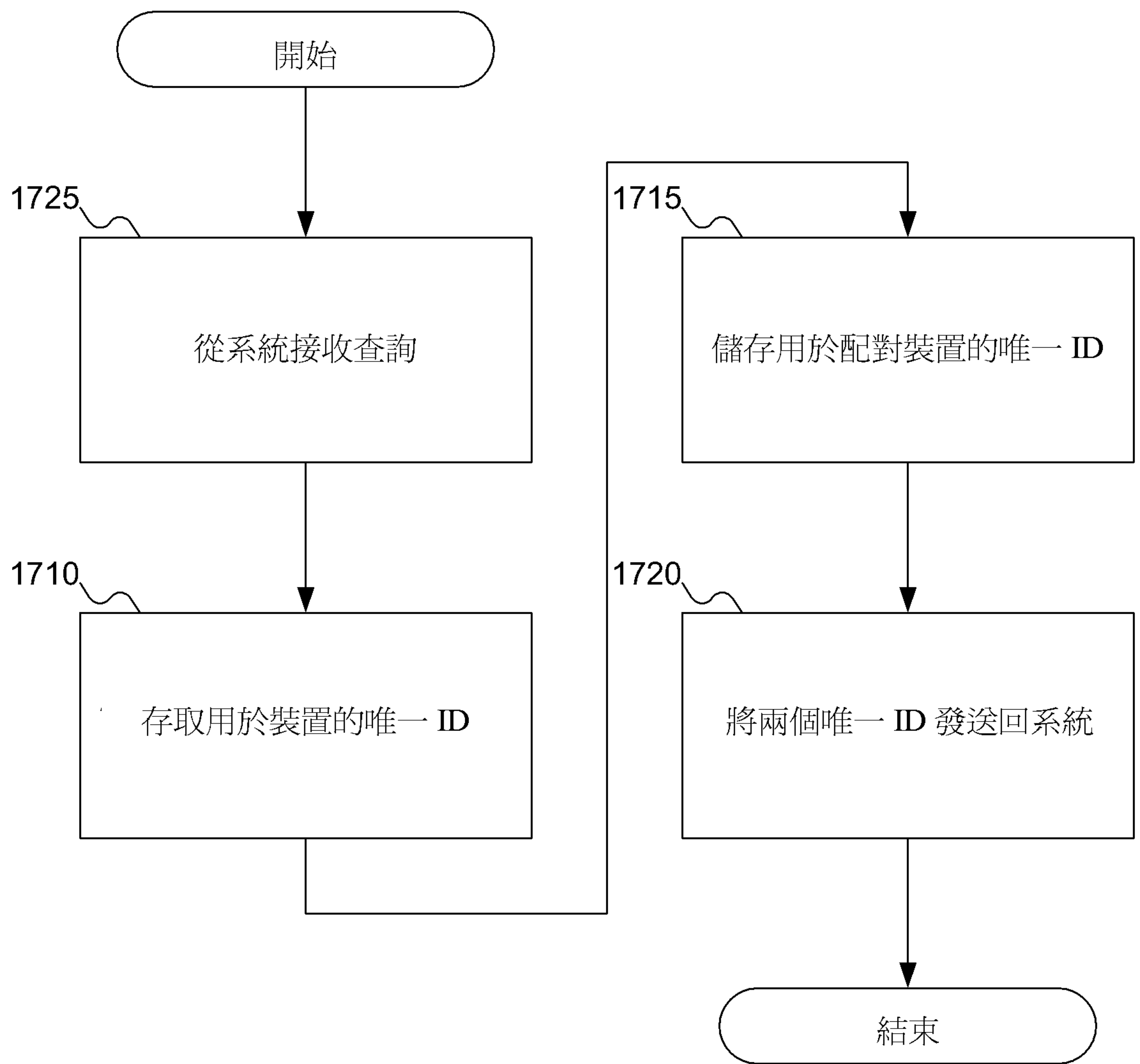
【圖 14】



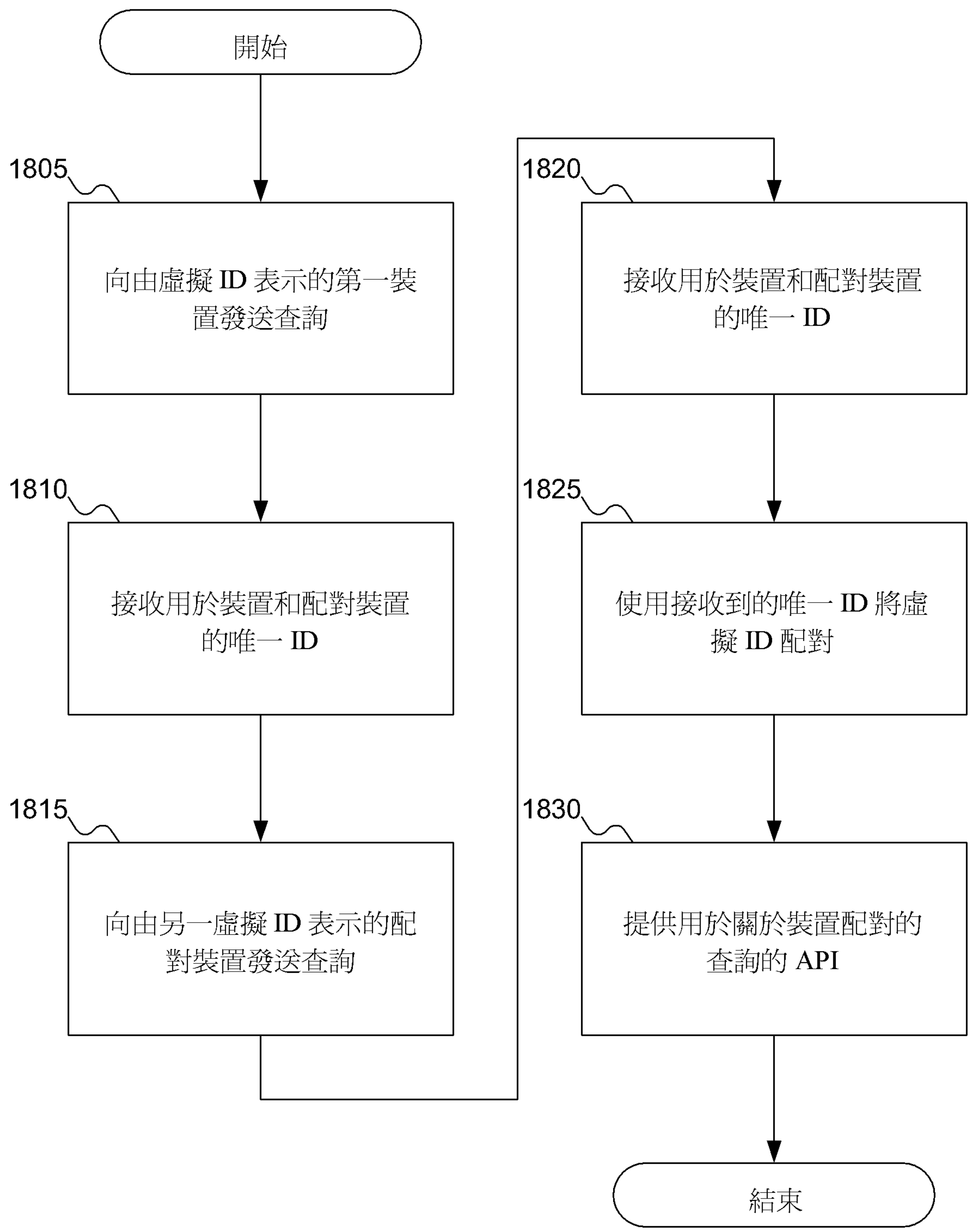
【圖 15】



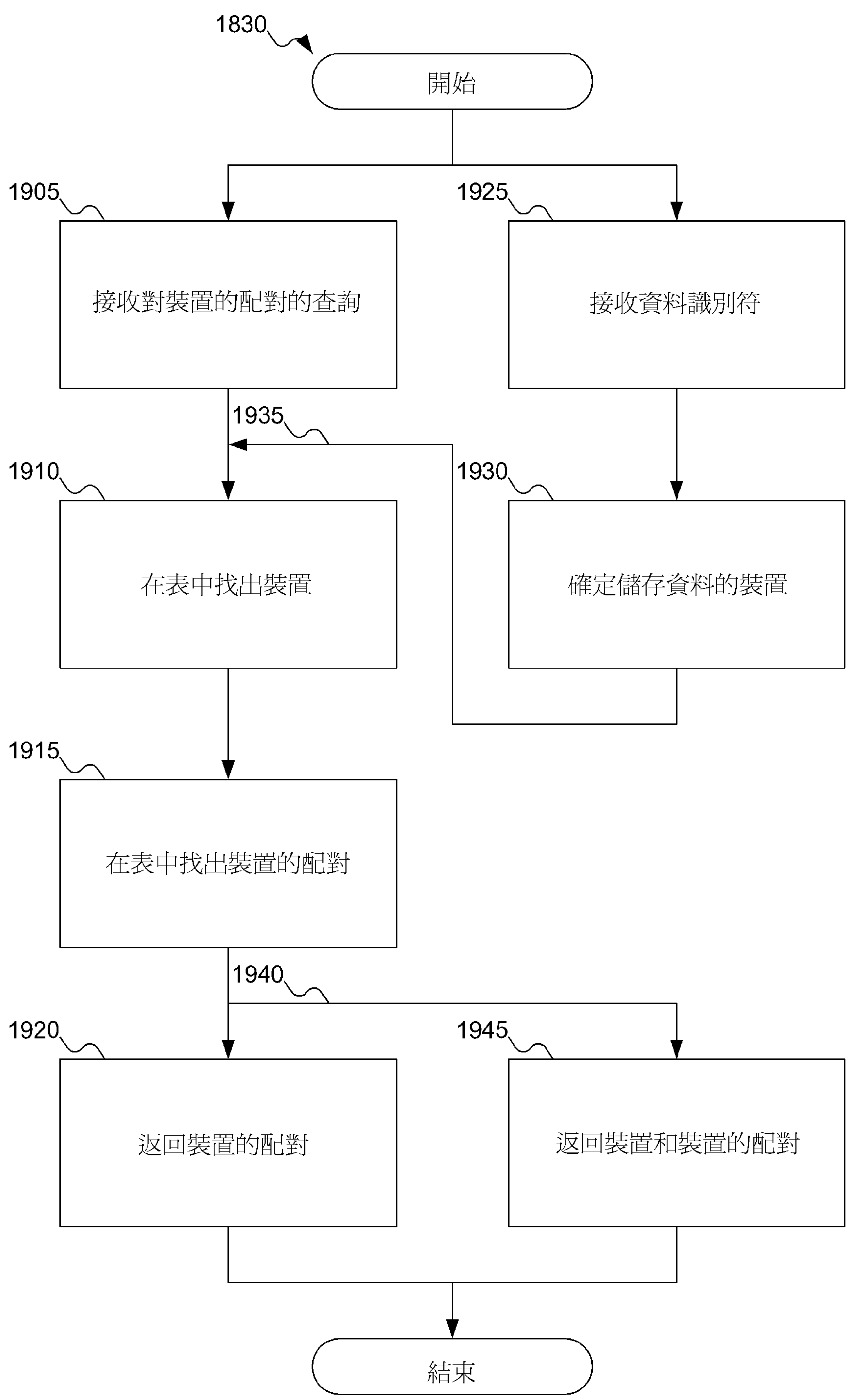
【圖 16】



【圖 17】



【圖 18】



【圖 19】