



(19) **DANMARK**



(12) **FREMLÆGGELSESSKRIFT** (11) **148578 B**

DIREKTORATET FOR
PATENT- OG VAREMÆRKEVÆSENET

(21) Patentansøgning nr.: **5189/78**

(51) Int.Cl.⁴: **H 04 Q 11/04**

(22) Indleveringsdag: **21 nov 1978**

H 04 J 3/06

(41) Alm. tilgængelig: **22 maj 1980**

(44) Fremlagt: **05 aug 1985**

(86) International ansøgning nr.: –

(30) Prioritet: –

(71) Ansøger: **L M *ERICSSON PTY. LTD.; Broadmeadows, AU.**

(72) Opfinder: **Ludwik *Herschtal; AU.**

(74) Fuldmægtig: **Ingeniørfirmaet Budde, Schou & Co**

(54) **Digitalt vælgernet til seriel bitkobling af synkroniserede digitale ord**

0

Opfindelsen angår et digitalt vælgernet for seriel bit-kobling af synkroniserede (ord-tilrettede) digitale ord, således som nærmere angivet i krav 1's indledning. Sådanne digitale vælgernet kan anvendes til seriel bit-kobling af data på ord-format, som f.eks. tale-data af typen PCM ("Pulse Code Modulated": impuls-kodemoduleret).

Digitale vælgernet, der er indrettet til kobling af usynkroniserede data, som f.eks. delta-modulerede data, er almindeligt kendte, og anvendes f.eks. i små telefoncentraler. Sådanne digitale vælgernet er imidlertid ikke egnede til kobling af data på ord-format, da de indkommende kanalers ord-grænse-information ikke vil blive opretholdt for samtlige udgående kanalers vedkommende. Dette informationstab indtræder fordi data gennem vælgernet på nogle forbindelser forsinkes svarende til én koblingsperiode (dvs. en tidsforsinkelse på én bit ved inddatakanalens bit-takt), således som fagfolk på dette område vil kunne indse.

Sædvanligvis omfatter vælgernet til kobling af digitale data på ord-format, som f.eks. PCM-data, et vælgernet, hvori data overføres på ord-format ved at koble de til hvert ord hørende bit i parallel gennem vælgernet. Et sådant vælgernet er ineffektivt ved anvendelser i lille målestok, idet det kræver en identisk vej for hver data-bit i hvert ord. Det er også nødvendigt at omdanne de serie-frembragte inddata til vælgernet til parallel-form med henblik på koblingen, og omvendt efter denne. Dette gør et parallel-ord-vælgernet mere indviklet, og derfor også dyrere.

En alternativ mulighed til kobling af data på ord-format er beskrevet i nærværende ansøgers svenske fremlæggelsesskrift nr. 408.365. I denne ansøgning beskrives et vælgernet, der omfatter en synkroniseringsforbilsvej til kobling af synkroniseringsinformation

0 adskilt fra de enkelte ord, og er bestemt til at anvende med
fjerntliggende, for enkelte kanaler indrettede kodere/deko-
dere, som ikke er ord-synkroniseret (ord-tilrettet), dvs.
at ord-grænserne ankommer til vælgernet på vilkårlige
5 tidspunkter. Selv om et vælgernet af den art, der
omfatter en synkroniserings-forbiløbsvej, er enkelt og
velegnet til kobling af data på ord-format i serieform,
kræver et sådant vælgernet ikke desto mindre en effektiv
dublering af datavejen gennem vælgernet. Denne
10 dublering gør vælgernet lidet effektivt, navnlig når
det drejer sig om store størrelser.

Fra tidsskriftartiklen "International Switching
Symposium", Oktober 25-29, 1976, "Structure of Time Division
Switching Networks" side 411.1.1-411.1.8 kendes et
15 digitalt vælgernet for ord-kobling og flerspalteforbin-
delser, som bestemmer tidsspalternes forsinkelse i vælgernet
og tilføjer kompenserende tidsforsinkelser for tidsspalterne.
Herved bevares rækkefølgen af ord eller tidsspalter, men det
omhandlede vælgernet vil
20 kun ved en klodset og kostbar udbygning kunne anvendes
til bit-kobling og enkeltspalteforbindelser, hvor formålet
er at genoprette eller sikre ordsynkroniseringen.

Det er derfor opfindelsens formål at anvise et digitalt
vælgernet af den indledningsvis nævnte art,
25 som er velegnet til anvendelse med kodere/dekodere
for hver kanal i nærheden af vælgernet, med henblik på
at undgå de ovennævnte ulemper ved de nævnte vælgernet
ved genopretning af ordsynkroniseringen. Dette formål opnås
ved hjælp af et vælgernet, som
30 ifølge opfindelsen er ejendommeligt ved den i krav 1's
kendetegnende del angivne udformning.

Et sådant digitalt vælgernet er særlig velegnet til de
ovennævnte anvendelser i lille målestok med henblik på
undgåelse af de nævnte vanskeligheder.

35 Opfindelsen skal i det følgende forklares nærmere
under henvisning til tegningen, hvor

0

fig. 1 (a) er et skematisk blokdiagram over et grundlæggende kendt digitalt vælgeret, og viser dels ord-synkroniserede (ord-tilrettede) PCM-data ved det digitale vælgerets indgang, dels virkningerne af at bit-koblingen af de nævnte data medfører tab af synkronisering på nogle kanaler,

5

fig. 1 (b) viser anordningen af data på den i fig. 1(a) viste databus α , og den anordning af data, der som følge af de i tabellen viste kanalforbindelser findes på den i fig. 1(a) viste databus β , og fig. 2 er et grundlæggende blokdiagram over et udførelseseksempel på et digitalt vælgeret ifølge opfindelsen.

10

Der henvises først til fig. 1 (a) og (b), hvor der er vist et antal indkommende datakanaler 10, som ved hjælp af en multiplexer 11 multiplekseres og overføres til en enkelt databus α . Datastrømmen på databussen α er bit-sammenbladet som vist i fig. 1 (b), dvs. at bit-strømmen på databussen α kommer fra hver indkommende datakanal i rækkefølge. Datastrømmen på databussen α indlæses i rækkefølge i koblingslager 12 med direkte tilgang (RAM-lager) under styring af en binær tæller 13. Datastrømmen udlæses fra koblingslageret 12 under styring af et styrelager 14 i overensstemmelse med de forbindelser, der skal etableres i de enkelte tilfælde. De fra databussen α kommende data optræder på en databus β i ændret rækkefølge svarende til forbindelserne, og demultiplekseres af en demultiplexer 15 under styring af den binære tæller til de pågældende udgange 16.

20

25

30

35

Dersom forbindelsen gennem det digitale vælgeret er en sådan, at styrelageradressen fra 14 er større end adressen fra den binære tæller 13 ved et vist tidspunkt, så vil data gennem det digitale vælgeret blive forsinket svarende til én cyklus af koblingslageret 12, dvs. en forsinkelse på én bit i de indkommende datakanalers bit-takt. Dersom a_0 , b_0 , c_0 repræ-

0

senterer ord-grænserne for hver kanal, der er synkroniseret på samtlige indkommende datakanaler 10 som vist, vil ord-grænsernes position være ukendt på udgangssiden, da nogle forbindelser er underkastet forsinkelsen som vist.

5

Når der anvendes enkeltkanal-kodere/dekodere, skal den synkroniseringsimpuls, der anvendes til at synkronisere de ikke viste kodere ved indgangen, også ved det rigtige tidspunkt tilføres de ikke viste dekodere ved udgangen. Dette er imidlertid ikke muligt, der-
10 som ord-grænsepositionerne ved dekoderne er ukendte, således som det vil være tilfældet med det i fig. 1 (a) viste, kendte digitale vælgernet.

15

Der henvises nu til fig. 2, som viser et udførelseseksempel på et apparat ifølge opfindelsen. I fig. 2 er de dele af det digitale vælgernet, der svarer til det i fig. 1 (a) viste digitale vælgernet, forsynet med de samme numre, og skal ikke omtales mere. Det i fig. 2 viste digitale vælgernet har fireogtres indgange, hver udstyret med sin egen indkoder 17 til at omdanne
20 talefrekvenssignaler TF til PCM-digitale signaler. Datastrømmen ind i multiplexeren 11 har en takt på 64 kbit/s, og således har datastrømmen på databusserne α og β en takt på 4,096 Mbits/s.

25

Som forklaret ovenfor, er de på databussen β udgående data om-ordnet med hensyn til deres rækkefølge, og nogle bit er forsinket svarende til en periode for koblingslageret 12, dvs. $16/\mu\text{s}$, som er bit-perioden for indkommende data. For at undgå dette problem indeholder det digitale vælgernet en forsinkelsesudligningskreds 18 til at bevirke en forsinkelse af de bit, som
30 ikke har undergået en forsinkelse svarende til koblingslagerets periode. Forsinkelsesudligningskredsen 18 omfatter et datalager 29 med vilkårlig tilgang (RAM) på 64×1 bit, som i rækkefølge modtager data fra databussen β og som ved hjælp af et 4 MHz-ud/ind-læse-kloksignal på en klokindgang 19 frembringer disse data i den
35

0 samme rækkefølge i datalageret 29's udgang 20. De i udgangen 20 optrædende data er imidlertid forsinket med 16 μ s i forhold til de på databussen β indkommende data.

5 Ved hjælp af en forbiløbsforbindelse 21 i forsinkelsesudligningskredsen 18 er det muligt for data på databussen β at passere uden om datalageret 29 med vilkårlig tilgang. Dette datalagers udgang 20 og forbiløbsforbindelsen 21 er forbundet med en OG/ELLER-vælgerport 22, som kobler den ene eller den anden til en databus γ under styring af et signal på en forbindelse 23. 10 Forbindelsen 23 fører udgangssignalet fra en komparator 24, som sammenligner de UDLÆS- og INDLÆS-adresser, der styrer koblingslageret 12. Med andre ord: komparatoren 24 sammenligner adressen fra tælleren 13 med adressen 15 fra styrelageret 14, og dersom adressen fra styrelageret 14 er lig med eller mindre end adressen fra den binære tæller 13 på et bestemt tidspunkt, afgiver komparatoren 24 på forbindelsen 23 et udgangssignal, der bevirker at de forsinkede data fra datalageret 29 med vilkårlig tilgang føres ud på databussen γ . 20 Dersom adressen fra styrelageret 14 er større end adressen fra tælleren 13, fremkommer der ikke noget udgangssignal på forbindelsen 23, hvorfor de ikke-forsinkede data på forbiløbsledningen 21 gennem porten 22 føres ud på databussen γ .

25 På denne måde kommer samtlige data på databussen γ til at være forsinket svarende til én koblingsperiode, og er således efter demultipleksning i demultiplexeren 15 ord-tilrettet (eng. "word aligned") mellem de fireogtres udgangssignaler fra demultiplexeren 15. Derfor vil de data, som modtages ved de pågældende 30 kanal-dekodere 25, være ord-tilrettet.

En synkroniseringssignalgenerator 26 frembringer et synkroniseringssignal til at synkronisere koderne ved det digitale vælgernets indgang, og et lignende signal skal også på det rigtige tidspunkt tilføres dekodere 35 25 ved det digitale vælgernets udgang. For at opnå dette

0

er en forsinkelseskompensationskreds, der omfatter en flip-flop 27, indskudt i forbindelsen 28 fra synkroniseringsgeneratoren 26 til dekodeerne 25. Flip-flop'en 27 klokstyres ved 64 kHz, og indfører således en forsinkelse på 16 μ s i synkroniseringssignalet til dekodeerne for at kompensere for den forsinkelse, der er indført af udligningskredsen 18.

Fig. 2 viser en enkelt vælgergruppe. Lignende vælgergrupper kan tilføjes med henblik på at udvide det digitale vælgerkets størrelse, så at det kan håndtere et hvilket som helst ønsket antal indgangssignaler. Opfindelsens princip kan selvsagt anvendes på flertrins digitale vælgeret, som f.eks. tid-rum-tid-vælgeret.

Ydermere kan opfindelsen anvendes ved digitale vælgeret, der har primære PCM-multiplexere (fælles kodere/dekodere) i modsætning til den ovenfor beskrevne anordning med kodere/dekodere for hver af de enkelte kanaler. I en sådan situation vil den grundlæggende udligningskreds være den samme som beskrevet ovenfor. Imidlertid vil vælgerettet være anderledes udformet, idet det er nødvendigt at omdanne ord-sammenbladede bitstrømme ved vælgerettets indgang til en bit-sammenbladet bitstrøm, således som den optræder på den ovenfor omtalte databus α . Dette kan opnås ved at anvende data-lagre med vilkårlig tilgang i databussen α . Som eksempel kan tages en to-indgangs multiplexer ved vælgerettets indgang, idet hver indgang omfatter toogtredivende kanaler, der udgør en ord-sammenbladet bitstrøm på 2,048 Mbit/s. Udgangssignalet fra vælger-multiplexeren ville i så fald omfatte en bit-sammenbladet bitstrøm på 4,069 Mbit/s, men bitstrømmen ville ikke være den samme som den på databussen α i det ovenfor beskrevne udførelseseksempel, idet bitstrømmen ville skiftevis omfatte bit fra de samlede ord fra to kanaler og derpå bit fra de samlede ord fra to yderligere kanaler, og så fremefter. En sådan bit-sammenbladet bitstrøm kan omdannes til en bit-

0 strøm som den på databussen α ved hjælp af en (ikke vist)
bit/ord-omsætter, der omfatter datalagre med vilkårlig
tilgang, hvor der sker en ind- og ud-læsning på en så-
dan måde, at den ønskede sammenbladning opnås. Da en
5 sådan format-ændring ikke udgør nogen del af opfindel-
sen, skal den ikke omtales nærmere i nærværende beskri-
velse, idet dagfolk på dette område vil være i stand til
uden videre at anvise de midler, der behøves for opnåelse
af det ønskede resultat. Efter koblingen sker der en om-
10 dannelselse i modsat retning. Når der anvendes fælles kode-
re/dekodere, er ramme-dannelsen og ord-synkroniseringen
indeholdt i den primære multiplexers omgivende organer.
Virkningen af TDM-vælgeren er - som tidligere - at for-
årsage en forsinkelse på nogle kanaler og derved frem-
15 bringe et "slip" i ord-grænserne som i det ovenfor be-
skrevne udførelseseksempel, og en forsinkelsesudlignings-
kreds anvendes til at opnå en identisk forsinkelse på
samtlige kanaler. Imidlertid er der i dette sidstnævnte
tilfælde indført en forsinkelseskompensationskreds for
20 at gen-etablere de rigtige ord-grænser. Kompensations-
kredsen er indbygget i bit/ord-omsætteren og fungerer
ved at ændre omsætterens ud/ind-læse-rækkefølge. I det-
te tilfælde skal det erindres, at koderne er synkronise-
ret med hensyn til rammer og ord.

25 Fagfolk på dette område vil kunne indse, at den
heri beskrevne opfindelse tilvejebringer en økonomisk
og bekvem måde at bitkoble data i ord-format. Faktisk
medfører opfindelsen den fordel, at der behøves meget
små ændringer ved eksisterende delta-vælgere, for at
30 de skal kunne anvendes til at koble data i ord-format.

0

P A T E N T K R A V.

1. Digitalt vælgernet for seriel bitkobling af
synkroniserede (ord-tilrettede) digitale ord mellem ind-
gange og udgange i vælgernettet, hvor data fra forskel-
5 lige indkommende datakanaler (10) til vælgernettet af
et første kredsløb (11) omdannes til en sammenbladet bit-
strøm på en enkelt databus (α), og hvor den nævnte bit-
strøm bitkobles via et koblingslager (12), der i række-
følge modtager de nævnte data fra den nævnte databus (α),
10 således at rækkefølgen af dataene i den bitkoblede bit-
strøm (β) svarer til de forbindelser, der skal etableres
gennem vælgernettet, k e n d e t e g n e t ved et andet
kredsløb (24) til bestemmelse af de bit, der er blevet
pådraget en forsinkelse (T) i koblingslageret (12), i
15 modsætning til de bit, som ikke er blevet pådraget en
sådan forsinkelse (T), og en forsinkelsesudligningskreds
(18) til at påføre den nævnte forsinkelse (T) på de bit,
som ikke er blevet pådraget denne forsinkelse, samt en
forsinkelseskompensationskreds (27) til at forsinke et
20 synkroniseringssignal til synkronisering af ord-grænser-
ne for de fra vælgernettet udgående data i forhold til
et synkroniseringssignal til synkronisering af ord-græn-
serne for de til vælgernettet indkommende data.

2. Digitalt vælgernet ifølge krav 1, k e n d e-
25 t e g n e t ved, at det andet kredsløb (24) udgøres af
en komparator til at sammenligne udlæse- og indlæse-
adresser, der styrer koblingslageret (12), og til at
afgive et udgangssignal (på 23), når udlæseadressen er
lig med eller mindre end indlæseadressen, idet kompara-
30 torens udgangssignal føres til forsinkelsesudlignings-
kredsen (18) for at bringe denne til at påføre den nævn-
te forsinkelse (T).

3. Digitalt vælgernet ifølge krav 2, k e n d e-
t e g n e t ved, at forsinkelsesudligningskredsen (18)
35 udgøres af et datalager (29) med vilkårlig tilgang (RAM)
til sekventiel modtagelse af de bitkoblede databit fra

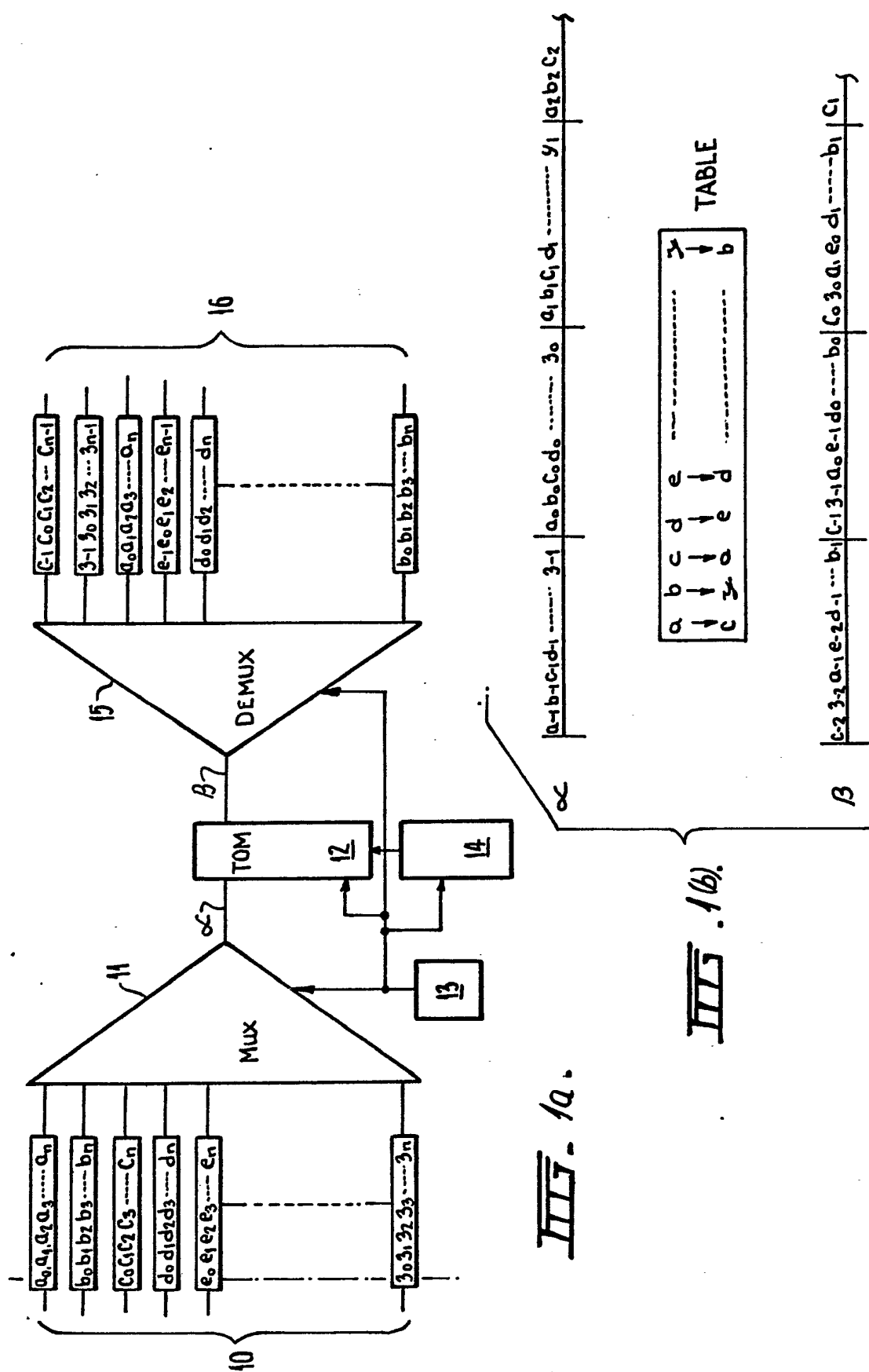
0

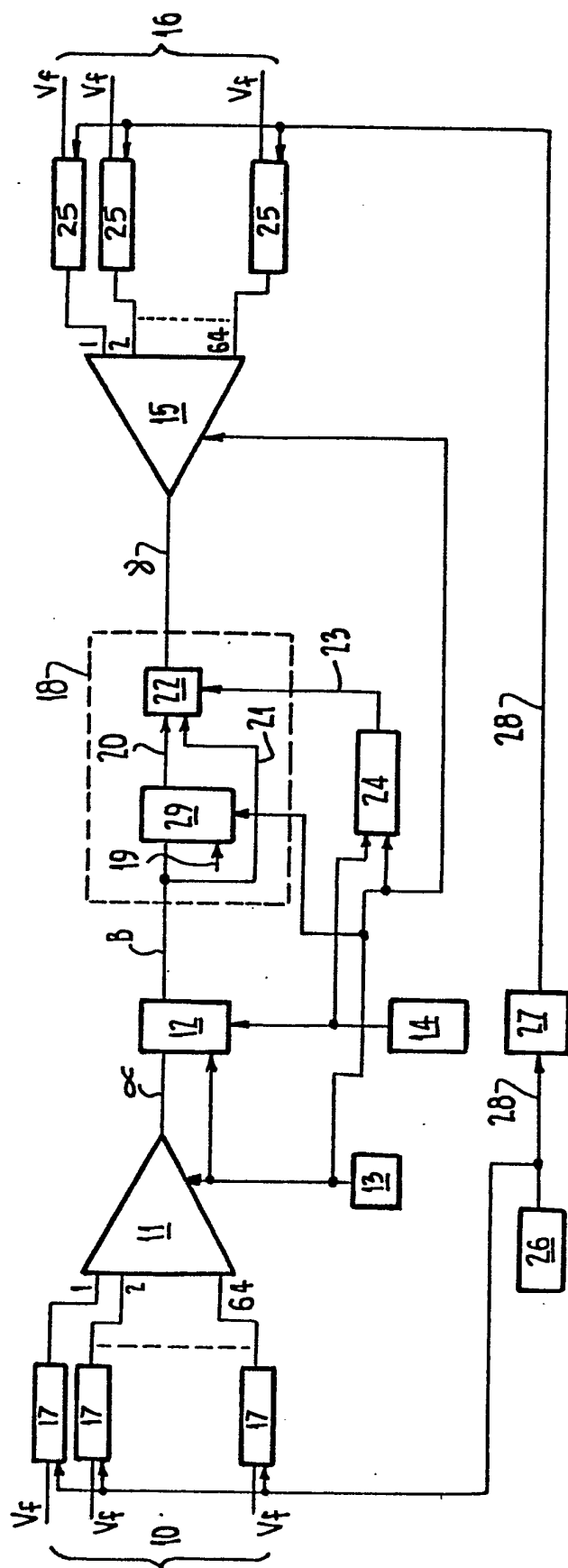
koblingslageret (12) og til cyklisk indlæsning af disse bit i på hinanden følgende positioner heri, idet de bitkoblede databit udlæses cyklisk fra datalageret (29) med vilkårlig tilgang på en sådan måde, at de pådrages den nævnte forsinkelse (T), en forbiløbsforbindelse (21), ved hjælp af hvilken data fra koblingslageret (12) bringes til at passere uden om datalageret (29) med vilkårlig tilgang, samt en OG/ELLER-port-anordning (22) til at føre enten databit fra datalageret (29) med vilkårlig tilgang eller databit fra forbiløbsforbindelsen (21) til det digitale vælgernets udgang, afhængigt af hvorvidt forsinkelsesudligningskredsen (18) modtager hhv. ikke modtager et udgangssignal fra komparatoren.

10

Fremdragne publikationer:

International Switching Symposium, 1976, Fukinuki m.fl.:
Structure of time division switching networks,
siderne 411.1.1 - 411.1.8.





III-2-