



(12) 发明专利

(10) 授权公告号 CN 117621665 B

(45) 授权公告日 2024. 07. 19

(21) 申请号 202311643895.6

(22) 申请日 2023.12.01

(65) 同一申请的已公布的文献号

申请公布号 CN 117621665 A

(43) 申请公布日 2024.03.01

(73) 专利权人 珠海趣印科技有限公司

地址 519000 广东省珠海市香洲区福田路

18号1栋1层103-029室(集中办公区)

(72) 发明人 张晓徽 王晓伟 郭晋鹏

(74) 专利代理机构 珠海智专专利商标代理有限公司

公司 44262

专利代理师 黄国豪

(51) Int. Cl.

B41J 2/175 (2006.01)

(56) 对比文件

US 2010274954 A1, 2010.10.28

CN 110920262 A, 2020.03.27

审查员 李思慧

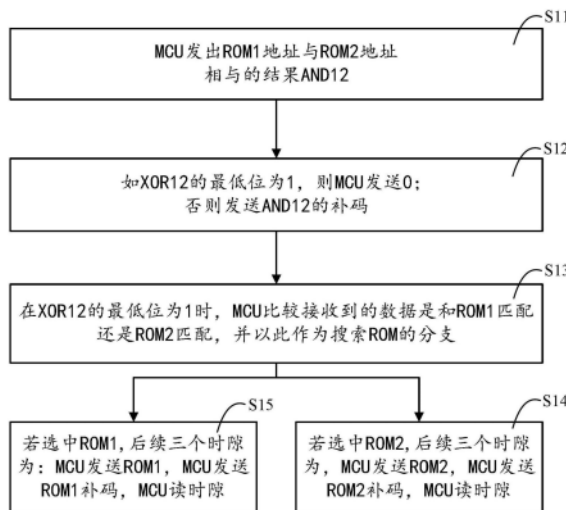
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种单MCU通讯的芯片校验方法、耗材芯片和可读存储介质

(57) 摘要

本发明提供一种单MCU通讯的芯片校验方法、耗材芯片和可读存储介质,包括:控制单元输出与两芯片数据的地址码的最低位,两芯片数据的地址码异或运算并得到异或地址码;如异或地址码的最低位为1,则控制单元输出为0的信号,否则控制单元输出与地址码的补码的最低位;在异或地址码的最低位为1时,将控制单元接收到的选择信号分别与第一地址码的最低位、第二地址码的最低位匹配;如选择信号与第一地址码的最低位匹配,则选中第一芯片数据,控制单元输出第一芯片数据;如选择信号与第二地址码的最低位匹配,则选中第二芯片数据,控制单元输出第二芯片数据。本案采用单个MCU仿真两颗芯片的通讯校验,可有效降低成本。



1. 一种单MCU通讯的芯片校验方法,位于芯片线路板上的控制单元具有一个只读存储器,其特征在于:

所述只读存储器存储有第一芯片数据和第二芯片数据;

所述芯片校验方法包括:

所述第一芯片数据的第一地址码和所述第二芯片数据的第二地址码与运算并得到与地址码,所述控制单元输出所述与地址码的最低位;

所述第一地址码和所述第二地址码异或运算并得到异或地址码;

如所述异或地址码的最低位为1,则所述控制单元输出为0的信号,否则所述控制单元输出所述与地址码的补码的最低位;

在所述异或地址码的最低位为1时,将所述控制单元接收到的选择信号分别与所述第一地址码的最低位、所述第二地址码的最低位匹配;

如所述选择信号与所述第一地址码的最低位匹配,则选中所述第一芯片数据,所述控制单元输出所述第一芯片数据;

如所述选择信号与所述第二地址码的最低位匹配,则选中所述第二芯片数据,所述控制单元输出所述第二芯片数据。

2. 根据权利要求1所述的芯片校验方法,其特征在于:

所述控制单元输出所述第一芯片数据的步骤包括:

所述控制单元输出所述第一芯片数据;

所述控制单元输出所述第一芯片数据的补码;

所述控制单元经过读时隙。

3. 根据权利要求1所述的芯片校验方法,其特征在于:

所述控制单元输出所述第二芯片数据的步骤包括:

所述控制单元输出所述第二芯片数据;

所述控制单元输出所述第二芯片数据的补码;

所述控制单元经过读时隙。

4. 根据权利要求1至3任一项所述的芯片校验方法,其特征在于:

在所述异或地址码的最低位为0时,所述控制单元依次输出所述第一芯片数据和所述第二芯片数据。

5. 耗材芯片,包括芯片线路板和控制单元,所述控制单元位于所述芯片线路板上,所述控制单元具有一个只读存储器;

其特征在于:

所述控制单元用于执行所述只读存储器中存储的计算机程序时实现如权利要求1至4任一项所述芯片校验方法的步骤。

6. 计算机可读存储介质,其上存储有计算机程序,其特征在于:所述计算机程序被控制单元执行时实现如权利要求1至4任一项所述芯片校验方法的步骤。

一种单MCU通讯的芯片校验方法、耗材芯片和可读存储介质

技术领域

[0001] 本发明涉及耗材芯片领域,尤其设计一种单MCU通讯的芯片校验方法、耗材芯片和可读存储介质。

背景技术

[0002] 当前原装打印机耗材一般都有采用加密芯片来防止兼容耗材的使用,更有采用两颗单总线芯片加密的方式,而兼容耗材芯片一般只能采用两个低功耗的MCU仿真替代,参见图1。

[0003] 因此现有方案中采用两颗MCU替代两颗芯片,其无法更进一步地降低成本。

发明内容

[0004] 本发明的第一目的是提供一种单MCU通讯的芯片校验方法。

[0005] 本发明的第二目的是提供一种存储有芯片校验方法的耗材芯片。

[0006] 本发明的第三目的是提供一种存储有芯片校验方法的计算机可读存储介质。

[0007] 为了实现本发明第一目的,本发明提供一种单MCU通讯的芯片校验方法,位于芯片线路板上的控制单元具有一个只读存储器,只读存储器存储有第一芯片数据和第二芯片数据;芯片校验方法包括:第一芯片数据的第一地址码和第二芯片数据的第二地址码与运算并得到与地址码,控制单元输出与地址码的最低位;第一地址码和第二地址码异或运算并得到异或地址码;如异或地址码的最低位为1,则控制单元输出为0的信号,否则控制单元输出与地址码的补码的最低位;在异或地址码的最低位为1时,将控制单元接收到的选择信号分别与第一地址码的最低位、第二地址码的最低位匹配;如选择信号与第一地址码的最低位匹配,则选中第一芯片数据,控制单元输出第一芯片数据;如选择信号与第二地址码的最低位匹配,则选中第二芯片数据,控制单元输出第二芯片数据。

[0008] 更进一步的方案是,控制单元输出第一芯片数据的步骤包括:控制单元输出第一芯片数据;控制单元输出第一芯片数据的补码;控制单元经过读时隙。

[0009] 更进一步的方案是,控制单元输出第二芯片数据的步骤包括:控制单元输出第二芯片数据;控制单元输出第二芯片数据的补码;控制单元经过读时隙。

[0010] 更进一步的方案是,在异或地址码的最低位为0时,控制单元依次输出第一芯片数据和第二芯片数据。

[0011] 为了实现本发明第二目的,本发明提供一种耗材芯片,包括芯片线路板和控制单元,控制单元位于芯片线路板上,控制单元具有一个只读存储器;控制单元用于执行只读存储器中存储的计算机程序时实现如上述方案的芯片校验方法的步骤。

[0012] 为了实现本发明第三目的,本发明提供一种计算机可读存储介质,其上存储有计算机程序,计算机程序被控制单元执行时实现如上述方案的芯片校验方法的步骤。

[0013] 由上述方案可见,通过采用单个控制模块来实现与主机之间的芯片校验方法步骤,具体将单个控制模块设置在芯片线路板上,且单个控制模块内的存储器存储有第一芯

片数据和第二芯片数据,通过输出与地址码、异或地址码以及相对应的补码,从而实现一个控制单元模拟处理搜索两个芯片,利用第一地址码和第二地址码继而能够适配主机的验证读取需求,因此能够配合完成芯片校验。本案仅采用单个控制单元存储两个芯片数据,可有效降低成本。

附图说明

[0014] 图1是现有技术中耗材芯片与主机的连接示意图。

[0015] 图2是本发明耗材芯片实施例与主机的连接示意图。

[0016] 图3是本发明芯片校验方法实施例的流程图。

[0017] 以下结合附图及实施例对本发明作进一步说明。

具体实施方式

[0018] 芯片校验方法实施例:

[0019] 参照图2和图3,位于芯片线路板上的控制单元具有一个只读存储器,控制单元可采用微控制单元(MCU),只读存储器存储有第一芯片数据和第二芯片数据,第一芯片数据和第二芯片数据是复制原装芯片的数据,并根据单总线协议,与主机交互通讯,主机为打印机。

[0020] 采用该单MCU通讯的芯片校验方法包括,首先执行步骤S11,第一芯片数据ROM1的第一地址码和第二芯片数据ROM2的第二地址码与运算并得到与地址码AND12,控制单元输出与地址码AND12的最低位。

[0021] 以如下的ROM1和ROM2示例说明:

[0022] ROM1:2D(00101101),9D,B3,96,21,00,00,FA;

[0023] ROM2:14(00010100),B3,B3,35,08,00,00,BC;

[0024] AND12:04(00000100),91,B3,14,00,00,00,B8;

[0025] XOR12:39(00111001),2E,00,A3,29,00,00,46;

[0026] 因此在主机第一个读时隙,控制单元发送AND12的最低位(0)。

[0027] 随后执行步骤S12,第一地址码和第二地址码异或运算并得到异或地址码XOR12,如异或地址码XOR12的最低位为1,则控制单元输出为0的信号,否则控制单元输出与地址码AND12的补码的最低位。

[0028] 即在主机第二个读时隙,如果XOR12的位为1,则控制单元发送0,否则发送AND12的补码。

[0029] 随后执行步骤S13,在异或地址码XOR12的最低位为1时,将控制单元接收到的选择信号分别与第一地址码的最低位、第二地址码的最低位匹配。即在主机第三个写时隙,如果控制单元接收到为0的选择信号时,其与ROM1地址码的最低位匹配,则主机选择了ROM1。如果控制单元接收到为1的选择信号时,其与ROM2地址码的最低位匹配,则主机选择了ROM2。

[0030] 在选中了ROM2后,随后执行步骤S14,后续三个时隙为,控制单元输出第二芯片数据ROM2,控制单元输出第二芯片数据ROM2的补码,控制单元经过读时隙。

[0031] 在选中了ROM1后,随后执行步骤S15,后续三个时隙为,控制单元输出第一芯片数据ROM1,控制单元输出第一芯片数据ROM1的补码,控制单元经过读时隙。

[0032] 当ROM1和ROM2的地址码与上述示例不同时,从而在异或地址码XOR12的最低位为0时,则主机认为两个ROM都进行选中,继而控制单元依次输出第一芯片数据ROM1和第二芯片数据ROM2。

[0033] 本案利用MCU作为从机处理搜索ROM1+ROM2的过程,并主机在接收到ROM的数据符合定则的算法校验关系后,认可芯片认证通过,继而主机与耗材正常通讯,并配合耗材的驱动实现打印。

[0034] 耗材芯片实施例:

[0035] 耗材芯片包括芯片线路板和控制单元,控制单元位于芯片线路板上,控制单元具有一个只读存储器,控制单元用于执行只读存储器中存储的计算机程序时实现如上述方案的芯片校验方法的步骤。

[0036] 计算机可读存储介质实施例:

[0037] 计算机可读存储介质,其上存储有计算机程序,计算机程序被控制单元执行时实现如上述方案的芯片校验方法的步骤。

[0038] 另外,上述所称控制单元可以是中央处理单元(Central ProcessingUnit,CPU),还可以是其他通用处理器、数字信号处理器(Digital SignalProcessor,DSP)、专用集成电路(Application Specific IntegratedCircuit,ASIC)、现成可编程门阵列(Field—Programmable Gate Array,FPGA)或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者该处理器也可以是任何常规的处理器等。

[0039] 所述存储器可用于存储所述计算机程序和/或模块,所述处理器通过运行或执行存储在所述存储器内的计算机程序和/或模块,以及调用存储在存储器内的数据,实现耗材芯片的各种功能。所述存储器可主要包括存储程序区和存储数据区。

[0040] 所述计算机程序包括计算机程序代码,所述计算机程序代码可以为源代码形式、对象代码形式、可执行文件或某些中间形式等。所述计算机可读介质可以包括:能够携带所述计算机程序代码的任何实体或装置、记录介质、U盘、移动硬盘、磁碟、光盘、计算机存储器、只读存储器(ROM,Read—Only Memory)、随机存取存储器(RAM,Random Access Memory)、电载波信号、电信信号以及软件分发介质等。

[0041] 由上可见,通过采用单个控制模块来实现与主机之间的芯片校验方法步骤,具体将单个控制模块设置在芯片线路板上,且单个控制模块内的存储器存储有第一芯片数据和第二芯片数据,通过输出与地址码、异或地址码以及相对应的补码,从而实现一个控制单元模拟处理搜索两个芯片,利用第一地址码和第二地址码继而能够适配主机的验证读取需求,因此能够配合完成芯片校验。

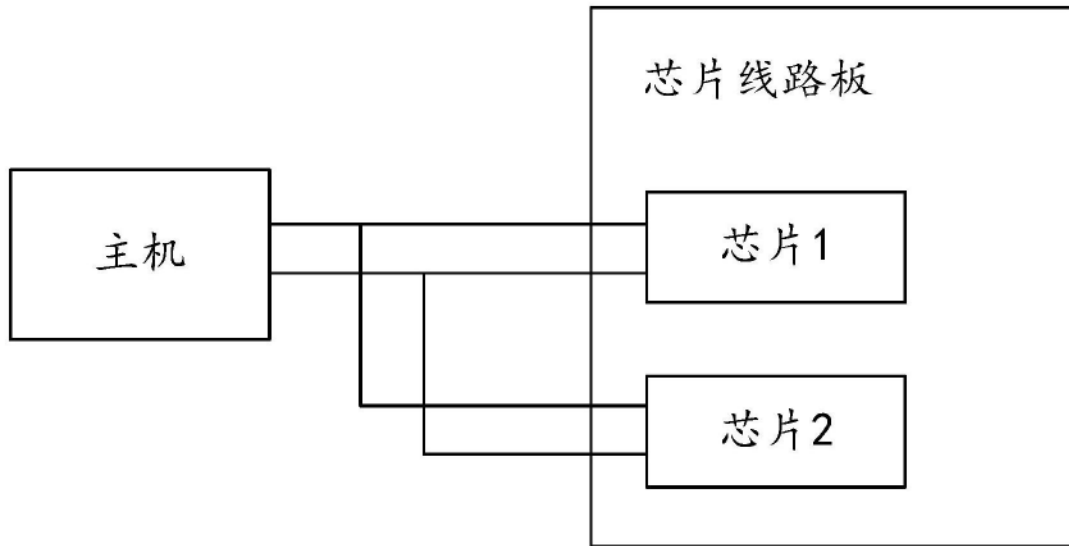


图1

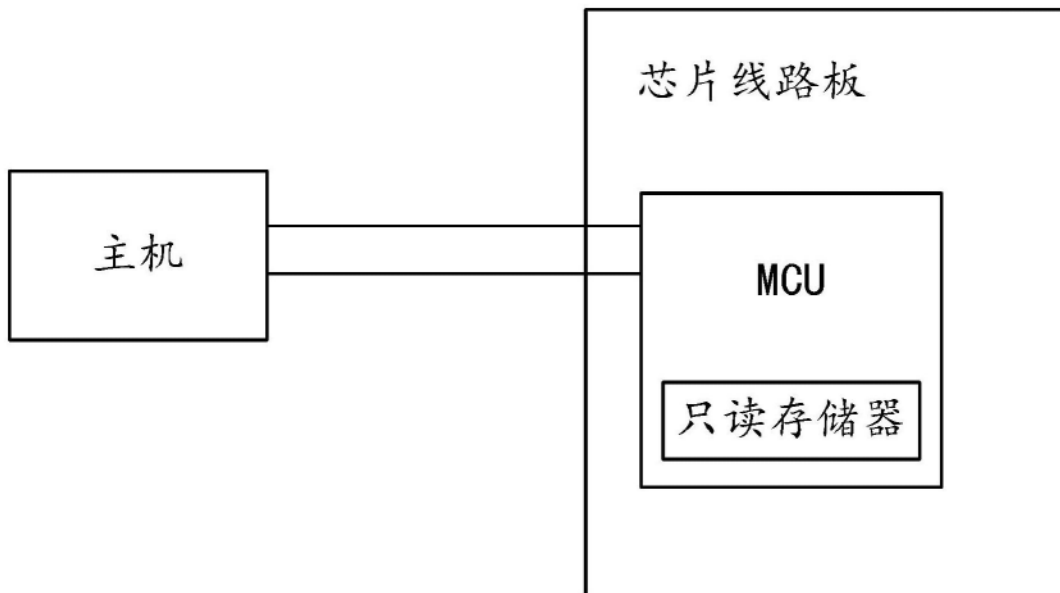


图2

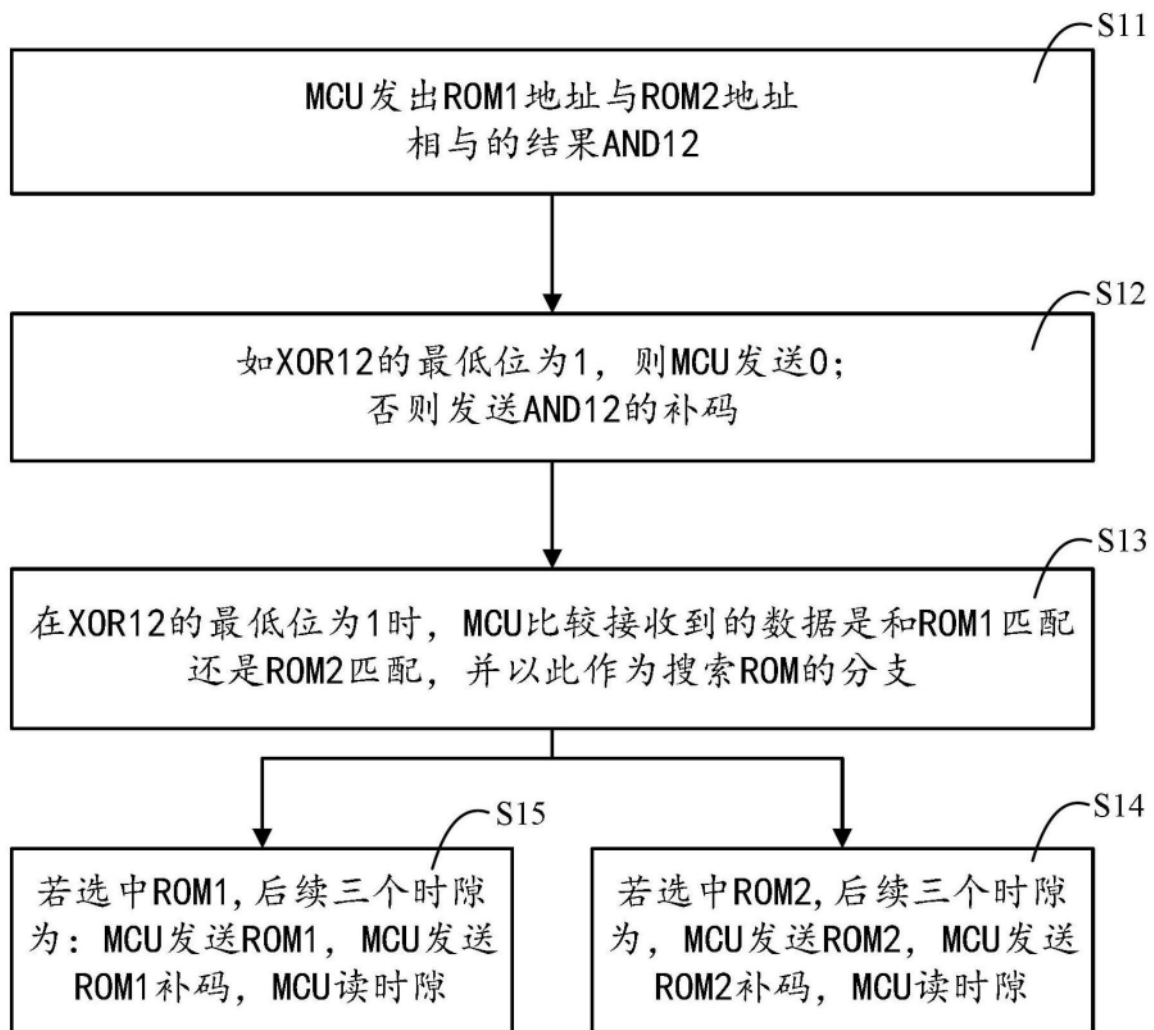


图3