



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE  
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	102015000057306
Data Deposito	01/10/2015
Data Pubblicazione	01/04/2017

Classifiche IPC

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	02	M	3	337
Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	02	M	1	38

Titolo

PROCEDIMENTO PER IL PILOTAGGIO DI UN CONVERTITTORE RISONANTE, RELATIVO  
DISPOSITIVO E PRODOTTO INFORMATICO

**DESCRIZIONE** dell'invenzione industriale dal titolo:

"Procedimento per il pilotaggio di un convertitore risonante, relativo dispositivo e prodotto informatico"

di: STMicroelectronics S.r.l., nazionalità italian, Via C. Olivetti, 2 - 20864 Agrate Brianza MB

Inventori designati: Lorenzo TREVISAN, Massimiliano PICCA, Roberto CARDU, Cristian FORTA

Depositata il: 1° ottobre 2015

\*\*\*\*

### **TESTO DELLA DESCRIZIONE**

#### Campo della tecnica

La descrizione si riferisce ai convertitori risonanti. Più in particolare la descrizione è rivolta a tecniche per il pilotaggio di un convertitore full bridge risonante.

#### Sfondo tecnologico

La distribuzione di potenza in ambito server e data-center è in continua evoluzione. La continua crescita di questi dispositivi elettronici richiede di massimizzare l'efficienza dei convertitori di tensione che li alimentano allo scopo di minimizzare la potenza richiesta a parità di potenza erogata, in modo da limitare la dispersione termica negli ambienti in cui essi sono installati e quindi la potenza impiegata dai relativi apparecchi di raffreddamento.

Esistono vari sistemi di distribuzione della tensione, alimentati dalla tensione di rete fino ad arrivare alla tensione VCPU richiesta dal processore. Attualmente, la tensione di rete viene convertita in una prima tensione

distribuita su un bus di alimentazione principale, quindi convertita in una seconda tensione più bassa (tipicamente a 12V) distribuita su un bus intermedio e infine convertita nella tensione di alimentazione di processori VCPU. Per ottimizzare l'efficienza dei sistemi a monte del processore, il bus di alimentazione principale è ad una tensione di 48V.

Tuttavia, alcune applicazioni richiedono la conversione diretta della tensione da  $V_{IN}=48V$  a  $V_{out}=1,2V$  senza passare attraverso la conversione intermedia per il bus a 12V per alimentare CPU e memorie Double Data Rate (DDR).

Altre applicazioni possono invece richiedere la conversione diretta fra  $V_{IN}=54V$  e  $V_{out}=12V$ .

### Scopo e sintesi

Nello scenario delineato in precedenza, è pertanto sentita l'esigenza di tecniche di pilotaggio di un convertitore full bridge risonante che permettano di migliorare l'efficienza e di ridurre l'interferenza elettro-magnetica.

Questo può essere raggiunto evitando l'inversione di corrente in un dispositivo di pilotaggio di un convertitore di tensione full bridge risonante.

In particolare, prevenendo l'accensione dei diodi interni ai transistori utilizzati come interruttori al alto primario, si ottiene un netto miglioramento dell'efficienza dovuto all'assenza di perdite dovute ai diodi interni ai transistori.

Una o più forme di attuazione hanno lo scopo di soddisfare tale esigenza.

Una o più forme di attuazione conseguono tale scopo grazie ad un procedimento avente le caratteristiche richiamate nelle rivendicazioni che seguono.

Il procedimento per il pilotaggio di un convertitore risonante qui descritto comprende:

- un circuito primario a commutazione avente almeno un avvolgimento primario e uno stadio a ponte di commutazione primario configurato per pilotare detto avvolgimento primario, e un induttore di risonanza in serie all'avvolgimento primario,

- un circuito risonante secondario avente un avvolgimento secondario magneticamente accoppiato all'avvolgimento primario, un condensatore di risonanza connesso elettricamente in parallelo all'avvolgimento secondario,

- uno stadio rettificatore secondario collegato elettricamente in parallelo al condensatore di risonanza, e

- un modulo di pilotaggio, configurato per:

- ricevere in ingresso un segnale rappresentativo della tensione misurata ai capi di un semi ponte di commutazione superiore o inferiore,

- rilevare la presenza di una tensione negativa nel segnale rappresentativo della tensione misurata ai capi di detti semi ponti di commutazione superiore o inferiore,

- ad ogni ciclo anticipare il segnale di comando degli interruttori del semi ponte di commutazione inferiore o superiore da attivare al successivo ciclo di commutazione di un tempo di sfasamento che viene ridotto ad ogni ciclo fino a quando viene osservata la condizione di assenza di tensione negativa nel segnale rappresentativo della tensione misurata ai capi di detti semi ponti di commutazione superiore o inferiore.

Una o più forme di attuazione possono riferirsi ad un dispositivo corrispondente nonché un prodotto informatico caricabile nella memoria di almeno un dispositivo di elaborazione e comprendente porzioni di codice software per eseguire le fasi del procedimento quando il prodotto è eseguito su almeno un computer. Come qui usato, il riferimento ad un tale prodotto informatico è inteso come equivalente al riferimento ad un mezzo leggibile da un computer contenente istruzioni per controllare il sistema di elaborazione al fine di coordinare l'attuazione del procedimento secondo l'invenzione. Il riferimento ad "almeno un dispositivo processore" è inteso ad evidenziare la possibilità per la presente invenzione di essere attuata in una forma modulare e/o distribuita.

Le rivendicazioni formano parte integrante della descrizione di una o più forme di attuazione come qui fornite.

#### Breve descrizione delle figure

Una o più forme di attuazione verranno ora descritte a puro titolo di esempio non limitativo, con riferimento alle figure annesse, in cui:

- la Figura 1 mostra un esempio di un convertitore risonante,
- la Figura 2 mostra grafici temporali dei principali segnali che scorrono nel convertitore,
- la Figura 3 mostra il circuito equivalente del lato primario con evidenziate le capacità parassita,
- le Figure 4, 5, 6 mostrano tre possibili casi in base alla scelta del ritardo Tshift,
- la Figura 7 mostra come si raggiunge la condizione di equilibrio di Figura 6,

- la Figura 8 mostra grafici temporali dei principali segnali che scorrono nel convertitore,
- la Figura 9 una possibile implementazione del modulo di pilotaggio,
- la Figura 10 mostra la variazione della soglia di tensione quando si riconosce un sotto massa, e
- le Figure 11, 12, 13 mostrano grafici temporali che illustrano come determinare il valore del ritardo Tshift.

#### Descrizione dettagliata

Nella seguente descrizione sono illustrati uno o più dettagli specifici, mirati a fornire una comprensione approfondita di varie forme di attuazione esemplificative. Le forme di attuazione possono essere ottenute senza uno o più di tali dettagli specifici, oppure attraverso altri procedimenti, componenti, materiali, ecc.. In altri casi, strutture, materiali, o operazioni note non sono rappresentate o descritte in dettaglio per evitare di oscurare alcuni aspetti delle forme di attuazione.

Un riferimento ad "una forma di attuazione" nel contesto della presente descrizione è destinato ad indicare che una particolare configurazione, struttura o caratteristica descritta in relazione alla forma di attuazione è compresa in almeno una forma di attuazione. Per cui, espressioni quali "in una forma di attuazione", eventualmente presenti in uno o più punti della presente descrizione, non fanno necessariamente riferimento ad una stessa forma di attuazione. Inoltre, particolari configurazioni, strutture o caratteristiche possono essere combinati in qualsiasi modo adeguato in una o più forme di attuazione.

I riferimenti qui utilizzati sono forniti semplicemente per convenienza e quindi non definiscono l'ambito di protezione o la portata delle forme di attuazione.

Il campo di applicazione è il convertitore full bridge risonante il cui schema di principio è rappresentato nella Figura 1.

Nella Figura 1 gli interruttori M1-M2-M3-M4-M5-M6 sono realizzati tramite transistori. Ad esempio, nella forma di attuazione proposta e illustrata nelle figure gli interruttori sono realizzati con transistori MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) utilizzati in modalità ON/OFF o in commutazione (switching).

Nella descrizione che segue verranno utilizzati indifferentemente i termini interruttore e transistore, in quanto i transistori vengono fatti lavorare nella loro zona di lavoro in cui si comportano come interruttori.

I transistori MOS M1-M2-M3-M4 formano il convertitore full bridge: M2 e M4 sono denominati Power High Side mentre M1 e M3 sono chiamati Power Low Side.

In questo tipo di convertitore i segnali di comando che pilotano le coppie di transistori MOS M1-M2 e M3-M4 al primario, sono sfasati di un tempo  $T_{shift} = T_{res}$ , dove  $T_{res}$  è il tempo tipico di risonanza della rete  $L_{res}$ - $C_{res}$  (vedere Figura 2).

Poiché i componenti  $L_{res}$  e  $C_{res}$  hanno uno spread di processo intrinseco, in generale si sceglie un tempo di sfasamento  $T_{shift}$  maggiore del tempo  $T_{resmax}$  ( $T_{shift} > T_{resmax}$ ) dove  $T_{resmax}$  è il periodo di risonanza massimo ottenuto considerando il caso pessimo dello spread di processo dei componenti  $C_{res}$  e  $L_{res}$ .

Nella Figura 2 sono rappresentati i segnali che si

ottengono ai nodi di PHASE (PHX e PHY) e la corrente che scorre nell'induttanza  $L_{res}$  e quindi nei transistori MOS attivi.

Come illustrato nella Figura 2, si può vedere che nelle fasi in cui i transistori Low Side M1 e M3 sono entrambi accesi (PHX e PHY a livello basso, 0V) o in cui i transistori High Side M2 e M4 sono entrambi accesi (PHX e PHY a livello alto, pari a  $V_{in}$ ) la corrente assume dei valori costanti e piccoli. Questi valori vengono chiamati  $I_{stop}$ .

Diversamente, nelle fasi in cui sono accese le diagonali, ossia PHX al livello alto, pari a  $V_{in}$  (PHX= $V_{in}$ ) e PHY al livello basso, pari a 0V (PHY=0V), (ovvero quando i transistori M2 e M3 sono accesi), oppure PHY al livello alto, pari a  $V_{in}$  (PHY= $V_{in}$ ) e PHX al livello basso, pari a 0V (PHX=0V), (ovvero quando i transistori M3 e M1 sono accesi), la corrente ha un andamento in cui aumenta linearmente nella fase in cui gli interruttori M5 e M6 al secondario sono chiusi, per poi avere un andamento sinusoidale dovuto alla risonanza  $L_{res}$ - $C_{res}$  nel momento in cui uno degli interruttori M5 o M6 al secondario viene aperto.

È possibile osservare che maggiore è il valore del tempo di sfasamento  $T_{shift}$  che viene impostato, maggiore sarà il valore assoluto delle correnti di stop  $I_{stop}$ .

Nella analisi va inoltre tenuto in considerazione il fatto che le coppie di transistori MOS M1-M2 e M3-M4 non possono mai essere accese contemporaneamente per evitare che si crei un percorso diretto di corrente tra VIN e massa, provocando il danneggiamento dei transistori MOS stessi.

In altri termini, all'interno di un semi-ponte (coppia

superiore M1-M2 o inferiore M3-M4) deve esserci un tempo, chiamato DEAD TIME, che intercorre tra lo spegnimento di un Power High Side e l'accensione del Power Low Side e viceversa.

Durante la fase di DEAD TIME si genera una risonanza secondaria rispetto a quella vista in precedenza, che coinvolge la capacità parassita  $C_{oss}$  tra i terminali DRAIN-SOURCE dei transistori MOS e l'induttanza  $L_{res}$ : questo aspetto è rappresentato nella Figura 3.

In particolare, il transistor High Side M2 del semi ponte superiore è pilotato dal segnale PWMX, mentre il transistor Low Side M1 è pilotato dal segnale negato PWMX\_neg. In modo analogo, il transistor High Side M4 del semi ponte inferiore è pilotato dal segnale PWMY, mentre il transistor Low Side M3 è pilotato dal segnale negato PWMY\_neg.

La capacità parassita  $C_{oss\_HB}$  del Half Bridge è pari a due volte la capacità parassita di ogni singolo transistor MOS, ovvero  $C_{oss\_HB}=2 \cdot C_{oss\_MOS}$ .

Questa risonanza ha un tempo caratteristico  $T_{res\_oss}$  dipendente da  $L_{res}$  e  $C_{oss}$  che ha un valore differente rispetto al tempo  $T_{res}$  dipendente da  $L_{rec}$  e  $C_{res}$ .

In particolare è possibile calcolare il DEAD TIME in funzione della capacità parassita del Half Bridge

$$T_{res\_oss}=2\pi\sqrt{L_{res}\cdot C_{oss\_HB}}$$

A questo punto, si consideri ad esempio la transizione in cui la tensione al nodo PHX transisce dal livello basso (0V) al livello alto ( $V_{in}$ ). In particolare il convertitore si trova nella condizione in cui prima si spegne il transistor Low Side M1 e dopo un tempo pari al DEAD TIME si accende il transistor High Side M2.

In questa condizione la risonanza  $L_{res}$ - $C_{oss}$  permette

all'energia accumulata nell'induttanza  $L_{res}$ , dovuta alla corrente  $I_{stop}$  che in essa scorreva prima dello spegnimento del transistor Low Side  $M1$ , di trasferirsi nella capacità  $C_{oss}$ , facendo aumentare la tensione nel nodo PHX prima ancora dell'accensione del transistor High Side  $M2$ .

Questa energia accumulata in  $L_{res}$  viene trasferita totalmente alla capacità  $C_{oss}$  in un tempo che è pari ad  $\frac{1}{4}$  del tempo caratteristico  $T_{res\_oss}$ .

Se si fissa un DEAD TIME minore di un quarto del tempo caratteristico  $T_{res\_oss}$  ( $DEAD\ TIME < \frac{1}{4}T_{res\_oss}$ ) solo una parte dell'energia viene scambiata tra l'induttanza  $L_{res}$  e la capacità  $C_{oss}$ .

Pertanto, in queste condizioni ( $DEAD\ TIME < \frac{1}{4}T_{res\_oss}$ ) il valore che raggiunge la tensione al nodo PHX alla fine del DEAD TIME non sarà quello massimo possibile dovuto all'intero scambio di energia, ma sarà un valore più basso dipendente da quanto era il valore iniziale di energia accumulata nell'induttanza  $L_{res}$  all'inizio della risonanza.

Come detto in precedenza, tale valore iniziale di energia dipende da quanto grande era la corrente  $I_{stop}$  e quindi, in definitiva, da quanto grande era il tempo di sfasamento  $T_{shift}$  fissato. Infatti, per quanto detto già in precedenza, maggiore è il tempo di sfasamento  $T_{shift}$ , maggiore è il valore della corrente  $I_{stop}$ .

Quindi in base al valore del tempo di sfasamento  $T_{shift}$  impostato si possono avere tre casi diversi di comportamento del convertitore.

a) Il primo caso (mostrato nella Figura 4) è quello per cui il tempo  $T_{shift}$  è piccolo: il valore di tensione raggiunto dal nodo PHX al termine del tempo DEAD TIME è minore della tensione di alimentazione  $V_{in}$  e la curva di PHX è come quella rappresentata nella Figura 4 dove il nodo

PHX raggiunge istantaneamente la tensione pari a  $V_{in}$  solo alla chiusura del transistor High Side M2 a fine DEAD TIME. Per simmetria questo comportamento avverrà anche nella transizione opposta di PHX da  $V_{in}$  a 0V in cui il transistor High Side M2 viene prima spento e dopo il DEAD TIME viene acceso il transistor Low Side M1.

b) Il secondo caso è rappresentato nella Figura 5 in cui il tempo  $T_{shift}$  è molto grande: il valore di tensione raggiunto dal nodo PHX al termine del tempo DEAD TIME è maggiore di  $V_{in}$ , ma viene clampato ad un valore inferiore dall'accensione del diodo del transistor High Side M2, a circa 0,7V sopra la tensione di alimentazione  $V_{in}$  fino all'accensione del transistor High Side M2 stesso che lo riporta al valore di  $V_{in}$ . Nella transizione complementare il valore di tensione raggiunto dal nodo PHX viene fermato a -0,7V dall'accensione del diodo del transistor Low Side M1.

c) L'ultimo caso è rappresentato nella Figura 6 in cui il tempo  $T_{shift}$  ha proprio il valore opportuno tale per cui alla fine del tempo DEAD TIME il valore di tensione raggiunto dal nodo PHX è esattamente pari a  $V_{in}$ . Come conseguenza di questa condizione non si accende alcun diodo interno ai transistori e l'accensione dei transistori MOS avviene in condizione di perfetto ZVS (Zero Voltage Switching) in quanto la tensione DRAIN\_SOURCE è nulla e avviene anche quasi in condizione di ZCS (Zero Current Switching) in quanto la corrente che scorre nei transistori MOS del primario in accensione è una frazione di  $I_{stop}$ , quindi molto piccola.

Il terzo caso c) mostra la condizione ottimale per minimizzare le perdite dovute allo switching e comporta di conseguenza un miglioramento dell'efficienza.

L'idea che sta alla base della soluzione qui descritta è di raggiungere la condizione del terzo caso c) descritto e illustrato in Figura 6, per ottenere lo switching in condizioni di ZVS e di quasi ZCS. Per ottenere questo risultato, i parametri sopra descritti vengono impostati secondo le indicazioni qui sotto riportate.

In particolare, si scelgono valori per i tempi DEAD TIME e Tshift che rispettano le seguenti regole:

- $DEAD\ TIME < \frac{1}{4} T_{res\_oss\_min}$ , dove  $T_{res\_oss\_min}$  è il valore più piccolo possibile di risonanza secondaria considerando lo spread dei componenti  $C_{oss}$  e  $L_{res}$ ; e
- $T_{shift} >> T_{res\_max}$ , dove  $T_{res\_max}$  è il periodo di risonanza più grande possibile della risonanza principale  $L_{res}-C_{res}$  considerando lo spread di processo di questi due componenti.

Con le impostazioni sopra indicate ( $T_{shift} >> T_{res\_max}$  e  $DEAD\ TIME < \frac{1}{4} T_{res\_oss\_min}$ ), inizialmente il convertitore si trova in una situazione analoga a quella mostrata nella Figura 5, ma andando a monitorare la sovratensione o il sotto massa nella transizione di salita o discesa del segnale di tensione misurato al nodo PHX (vedere Figura 7a e 7b), è possibile sfruttare questa informazione per diminuire ciclo dopo ciclo il valore del tempo Tshift fino a raggiungere appunto la condizione di equilibrio mostrata nella Figura 6.

In particolare, per motivi di semplicità della circuiteria analogica necessaria, è più conveniente osservare il sotto-massa alla fine del fronte di discesa falling edge (FE) del segnale PHX (che rappresenta l'andamento della tensione ai capi del nodo PHX) e andare a ridurre ciclo dopo ciclo il tempo Tshift fino al raggiungimento della condizione di ZVS e di quasi ZCS.

In questa descrizione verrà analizzata la situazione sopra indicata, ma è naturalmente possibile implementare anche l'adeguata circuiteria per analizzare il fronte di salita rising edge (RE) del segnale PHASE (che rappresenta l'andamento della tensione ai capi del nodo PHASE) in modo da eliminare gli over-voltage sopra la tensione  $V_{in}$ . Pertanto, anche se nel seguito viene descritta solo la prima soluzione, si intende proteggere entrambe le varianti.

In particolare, detto  $T_{shift\_nom}$  il tempo nominale impostato inizialmente, ad ogni ciclo di PWM si monitora il sotto massa del segnale PHASE e si diminuisce il tempo  $T_{shift}$  di un quantità molto piccola detta  $\delta t_{shift}$  fino a raggiungere il valore  $T_{shift\_targ}$ , ovvero quello ottimale per cui si raggiunge la condizione di ZVS e quasi ZCS.

Nel seguito sarà descritto il meccanismo implementato per ottenere questa condizione.

Il modulo ZVS adattativo, in base a quanto detto precedentemente, è un modulo che, osservando il sotto massa del segnale che rappresenta la tensione ai capi del nodo PHX dopo lo spegnimento del transistor power High Side M2, genera ciclo dopo ciclo una diminuzione del tempo  $T_{shift}$  per ottenere la condizione di quasi ZCS e di ZVS, in cui i diodi dei transistori MOS nel full bridge M1-M2-M3-M4 non si accendono e nello stesso tempo l'accensione dei transistori MOS avviene con  $V_{drain-Source} \approx 0V$ .

Nella Figura 8 sono mostrati i segnali logici a bassa tensione PWMX e PWMY con cui si comandano, mediante opportuni drivers, le coppie di transistori MOS M1-M2 e M3-M4 che formano il full bridge al primario, e i rispettivi segnali di phase PHX e PHY che si muovono tra 0V e  $V_{in}$  per arrivare alla situazione di equilibrio descritta in

precedenza in cui non si ha la formazione del sotto massa in fase di switching.

Nella Figura 8 in particolare è stato rappresentato un punto di lavoro in cui non si è ancora raggiunta la condizione quasi ZCS e ZVS.

Considerando i segnali mostrati nella Figura 8, l'idea è traslare rigidamente il PWMY dal suo valore nominale PWMY\_nom (mostrato in linea continua) fissato dal valore del Tshift\_nom (tempo Tshift nominale fissato come detto in precedenza) fino ad un valore Tshift\_targ (mostrato in linea tratteggiata) che è il valore da raggiungere per eliminare i picchi di sotto massa (cerchiati con linea continua) e per simmetria i picchi di sovra alimentazione (cerchiati con linea tratteggiata).

Per ottenere questa condizione, partendo dal tempo Tshift\_nom, ad ogni ciclo si osserva il sotto massa e si anticipa temporalmente di un  $\delta t_{shift}$  il PWMY, fermandosi al valore tale per cui i sotto massa sono eliminati. A quel punto si è ottenuto per costruzione la condizione di ZVS e quasi ZCS e la non accensione dei diodi dei transistori MOS al primario.

Il modulo di pilotaggio che ad ogni ciclo permette di calcolare il valore  $\delta t_{shift}$  e ricostruire il PWMY anticipato (mostrato con linea a tratti) rispetto a quello nominale (mostrato con linea continua) è rappresentato nella Figura 9.

Il modulo rappresentato in Figura 9 prende come ingresso il segnale PHX: questo segnale viene inizialmente filtrato attraverso un circuito di clamp 10 che lo ripulisce dal rumore e lo blocca all'interno di valori di tensione che possono essere utilizzati dai circuiti a bassa tensione a valle, in quanto Vin, e quindi di conseguenza

PHX, possono raggiungere anche valori molto alti (ad esempio 76V).

In seguito un comparatore Fast 12, molto veloce, ad elevato guadagno e a basso offset, fornisce l'informazione dei passaggi per lo 0V di PHX. Questo comparatore Fast 12 è disegnato con lo stadio d'ingresso sbilanciato per avere una soglia leggermente positiva che compensi il suo stesso ritardo e il suo offset statistico, per quanto questi molto bassi.

L'informazione in uscita dal comparatore 12 (informazione relativa ai passaggi per lo 0V di PHX) viene inviata come ingresso in una porta logica AND 16 insieme all'uscita del blocco 14 che fornisce l'informazione dell'avvenuto evento di falling edge del segnale PWMX.

Pertanto, in queste condizioni è presente un sotto massa nella zona prevista del segnale PHX. Il sotto massa è indice che è necessario anticipare di un valore  $\delta t_{\text{shift}}$  il segnale PWMY: questo segnale all'inizio corrisponderà con il PWMY<sub>nom</sub> e ciclo dopo ciclo, verrà anticipato nel tempo fino a raggiungere un segnale PWMY<sub>targ</sub> che permette di raggiungere la situazione di quasi ZCS e ZVS menzionata in precedenza.

Per creare il tempo  $\delta t_{\text{shift}}$ , l'uscita della porta logica AND 16 viene inviata come ingresso in un blocco digitale 18 che crea due finestre temporali di diversa durata.

- La prima finestra T1 inizia non appena l'uscita della porta AND 16 transisce dal valore 0 al valore 1 e dura un tempo  $t_1$  nel quale viene chiuso l'interruttore IT1.

- La seconda finestra T2 crea un tempo  $t_2 \ll t_1$  che chiude l'interruttore IT2.

Nel caso il segnale PHX non vada sotto massa

l'interruttore T1 non viene chiuso, mentre dopo un ritardo fisso rispetto al fronte di discesa falling edge (FE) di PWMX viene chiuso l'interruttore IT2 sempre per un tempo pari a  $t_2$ .

Ne consegue che, ad ogni ciclo di PWM per cui si intercetta un sotto massa, la capacità C viene scaricata da una corrente I più di quanto sia stata caricata al ciclo precedente. Se non si intercetta un sotto massa, viene invece solo caricata di un valore piccolo. Questo meccanismo consente di ottenere la bidirezionalità della correzione apportata.

Allo start up del circuito, la capacità C viene precaricata ad una certa soglia identificata con  $V_{start}$ , soglia che viene anche utilizzata se è necessario un resetting improvviso durante il funzionamento del circuito.

Nella Figura 10 è mostrata la variazione della soglia  $V_{th\_int}$  durante un ciclo di cui si intercetta un sotto massa. Al passo (n-1) la variazione  $V_1$  è dovuta al sotto massa, poi al passo (n) si aggiunge una variazione  $V_2$  dovuta al  $\bar{\delta}$  e infine si ha la nuova soglia  $V_{th\_int}(n+1)$

Nel caso non ci fosse sotto massa sul PHASE la variazione  $V_1$  non ci sarebbe e si avrebbe solo l'aumento  $V_2$  della soglia dovuto al  $\bar{\delta}$ .

Ad ogni ciclo del segnale PWM, la soglia  $V_{th\_int}$  in uscita dal buffer 20 viene confrontata dal comparatore Rise 22 con una rampa 22a che sale a pendenza costante a partire dal fronte di salita rising edge (RE) del PWMX e resettata al fronte di discesa falling edge (FE) del PWMX.

L'uscita OUT\_RISE del comparatore Rise 22 transisce quando la soglia intercetta la rampa: questa condizione avviene dopo un ritardo rispetto al fronte di salita rising edge (RE) del PWMX individuato dal modulo 22b che dipende

dal valore raggiunto a quel punto dalla  $V_{th\_int}$  e dal valore iniziale della rampa e dalla sua pendenza.

Uguualmente la soglia  $V_{th\_int}$  ad ogni ciclo viene anche confrontata con una rampa uguale a quella precedente, ma che inizia al momento del fronte di discesa falling edge (FE) del PWMX (e resettata invece al fronte di salita rising edge (RE) del PWMX): questo confronto, attuato dal comparatore Fall 24, è fatto in modo tale per cui l'uscita OUT\_FALL transisca da 1 a 0 dopo un ritardo uguale a quello precedente ma fatto rispetto al fronte di discesa falling edge (FE) del PWMX.

I segnali OUT\_RISE e OUT\_FALL insieme al segnale PWMX e al PWMY\_nom sono passati ad un modulo di logica 26 che esegue la funzione descritta qui di seguito.

- Dopo il fronte di salita rising edge (RE) del PWMX, commuta la sua uscita PWMY\_OUT da 0 a 1 eseguendo un OR logico tra PWMY\_nom e OUT\_RISE;

- Dopo il fronte di discesa falling edge (FE) del PWMX, fa transire la sua uscita PWMY\_OUT da 1 a 0 eseguendo una AND logica tra PWMY\_nom e OUT\_FALL.

Pertanto, serve scegliere in modo accurato un opportuno valore di soglia iniziale  $V_{start}$  e un opportuno valore di partenza e di pendenza della rampa, in modo tale da essere sicuri che all'inizio del funzionamento del sistema, gli eventi OUT\_RISE e OUT\_FALL avvengano rispettivamente dopo un ritardo rispetto al fronte di salita rising edge (RE) del PWMX e al fronte di discesa falling edge (FE) del PWMX, in cui tale ritardo sia maggiore del massimo  $T_{shift\_nom}$  che si vuole applicativamente coprire.

Facendo riferimento alla Figura 11, in questo modo si otterrà un'evoluzione del convertitore tale per cui

all'inizio il PWMY\_OUT dello ZVS è coincidente con il PWMY\_nom, ma poiché, per come è stato scelto il valore del tempo Tshift\_nom, si creerà un sotto massa SM1 sul PHX, ad ogni ciclo la Vth\_int diminuirà e ad un certo punto gli eventi OUT\_RISE e OUT\_FALL avverranno rispettivamente prima del fronte di salita rising edge (RE) e del fronte di discesa falling edge (FE) del PWMY\_nom, traducendosi in un PWMY\_OUT anticipato rispetto al PWMY\_nom (vedere Figura 12).

Utilizzando come comando per i drivers che accendono e spengono i transistori MOS, il PWMY\_OUT al posto del PWMY\_nom, è evidente che l'anticipo di PWMY\_OUT rispetto al PWMY\_nom, determinerà, per quanto spiegato in precedenza, una riduzione dei picchi di sotto massa e dei picchi di sovra alimentazione (vedere il confronto tra la Figura 11 e la Figura 12).

Tuttavia, questo anticipo continuerà ad aumentare fino al ciclo in cui non si avrà più formazione dei picchi di sotto massa. In questa condizione la soglia Vth\_int verrà solo aumentata del piccolo  $\delta$  e non più diminuita e quindi al ciclo successivo il PWMY\_OUT verrà ritardato di poco e non più anticipato.

Questo continuerà fino a che non si otterrà un piccolo accenno di sotto massa del PHX come illustrato nella Figura 13.

A questo punto la situazione si inverte nuovamente e il PWMY\_OUT tornerà ad essere anticipato. In pratica si sarà raggiunta una condizione di equilibrio in cui il PWMY\_OUT si muoverà attorno ad un valore di Tshift\_target (vedere Figura 13) che garantirà la condizione di ZVS e quasi ZCS, con un jitter dipendente dai parametri analogici del modulo di pilotaggio del convertitore (valore dei tempi

$t_1$  e  $t_2$  di chiusura degli interruttori di scarica e carica della capacità  $C$ , valore della capacità  $C$  stessa, valore della corrente  $I$  di carica e scarica, pendenza della rampa, ritardi e offset dei comparatori Rise e Fall) e un sotto massa che in questa condizione oscillerà conformemente al jitter tra una condizione nulla e una condizione di sotto massa trascurabile (tale da non accendere i diodi interni dei transistori) .

È quindi importante tarare tutti questi parametri per avere un jitter opportunamente piccolo.

Naturalmente, senza pregiudizio per il principio dell'invenzione, i dettagli di costruzione e le forme di attuazione possono variare ampiamente rispetto a quanto è stato descritto e illustrato qui puramente a titolo di esempio, senza uscire in tal modo dall'ambito della presente invenzione, come definita dalle rivendicazioni seguenti.

## RIVENDICAZIONI

1. Procedimento per il pilotaggio di un convertitore risonante comprendente:

- un circuito primario a commutazione avente almeno un avvolgimento primario e uno stadio a ponte di commutazione primario (M1, M2, M3, M4) configurato per pilotare detto avvolgimento primario, e un induttore di risonanza (Lres) in serie all'avvolgimento primario,

- un circuito risonante secondario avente un avvolgimento secondario magneticamente accoppiato all'avvolgimento primario, un condensatore di risonanza (Cres) connesso elettricamente in parallelo all'avvolgimento secondario,

- uno stadio rettificatore secondario collegato elettricamente in parallelo al condensatore di risonanza (Cres), e

- un modulo di pilotaggio, configurato per:

- ricevere in ingresso un segnale (PHX, PHY) rappresentativo della tensione misurata ai capi di un semi ponte di commutazione superiore (M1, M2) o inferiore (M3, M4),

- rilevare la presenza di una tensione negativa nel segnale (PHX, PHY) rappresentativo della tensione misurata ai capi di detti semi ponti di commutazione superiore (M1, M2) o inferiore (M3, M4),

- ad ogni ciclo anticipare (Tshift\_nom) il segnale di comando (PWMY\_OUT, PWMX\_OUT) degli interruttori del semi ponte di commutazione inferiore (M3, M4) o superiore (M1, M2) da attivare al successivo ciclo di commutazione di un tempo di sfasamento (Tshift) che viene ridotto ( $\delta$ tshift) ad

ogni ciclo fino a quando ( $T_{shift\_targ}$ ) viene osservata la condizione di assenza di tensione negativa nel segnale (PHX, PHY) rappresentativo della tensione misurata ai capi di detti semi ponti di commutazione superiore (M1, M2) o inferiore (M3, M4).

2. Procedimento secondo la rivendicazione 1, in cui nei cicli successivi a quello in cui viene osservata la condizione di assenza di tensione negativa nel segnale (PHX, PHY) rappresentativo della tensione misurata ai capi di detti semi ponti di commutazione superiore (M1, M2) o inferiore (M3, M4), il segnale di comando (PWMY\_OUT, PWMX\_OUT) degli interruttori del semi ponte di commutazione inferiore (M3, M4) o superiore (M1, M2) viene ritardato di una piccola quantità ( $\delta$ ) fino a quando verrà rilevata la presenza di una nuova tensione negativa nel segnale (PHX, PHY) rappresentativo della tensione misurata ai capi di detti semi ponti di commutazione superiore (M1, M2) o inferiore (M3, M4).

3. Procedimento secondo la rivendicazione 1 o la rivendicazione 2, in cui detto tempo di sfasamento ( $T_{shift\_ncm}$ ) viene inizialmente scelto maggiore del tempo di risonanza massimo ( $T_{resmax}$ ) della rete formata da induttore e condensatore di risonanza ( $L_{res}, C_{res}$ ).

4. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, in cui gli interruttori High-Side (M2, M4) e Low-Side (M1, M3) dello stadio di commutazione primario sono realizzati tramite transistori.

5. Procedimento secondo la rivendicazione 4, in cui

detti transistori sono MOSFET.

6. Procedimento secondo la rivendicazione 5, in cui all'interno del semi-ponte superiore (M1, M2) o inferiore (M3, M4) tra lo spegnimento del MOSFET Power High Side (M2, M4) e l'accensione del rispettivo MOSFET Power Low Side (M1, M3), e viceversa, trascorre un tempo morto (DEAD TIME) per evitare che si crei un percorso diretto di corrente tra massa e tensione di alimentazione ( $V_{in}$ ),

in cui durante detto tempo morto (DEAD TIME) si genera una risonanza secondaria che coinvolge la capacità parassita ( $C_{oss}$ ) tra i terminali DRAIN-SOURCE dei transistori MOSFET (M1, M2, M3, M4) e l'induttanza di risonanza ( $L_{res}$ ),

in cui il procedimento prevede di configurare detto modulo di pilotaggio per selezionare:

- il  $DEAD\ TIME < 4T_{res\_oss\_min}$ , dove  $T_{res\_oss\_min}$  è il valore più piccolo possibile di risonanza secondaria che coinvolge la capacità parassita ( $C_{oss}$ ) e l'induttanza di risonanza ( $L_{res}$ ); e

-  $T_{shift} > T_{res\_max}$ , dove  $T_{res\_max}$  è il periodo di risonanza più grande possibile della risonanza principale ( $L_{res}$ ,  $C_{res}$ ).

7. Convertitore risonante comprendente:

- un circuito primario a commutazione avente almeno un avvolgimento primario e uno stadio a ponte di commutazione primario (M1, M2, M3, M4) configurato per pilotare detto avvolgimento primario, e un induttore di risonanza ( $L_{res}$ ) in serie all'avvolgimento primario,

- un circuito risonante secondario avente un avvolgimento secondario magneticamente accoppiato

all'avvolgimento primario, un condensatore di risonanza (Cres) connesso elettricamente in parallelo all'avvolgimento secondario,

- uno stadio rettificatore secondario collegato elettricamente in parallelo al condensatore di risonanza (Cres), e

- un modulo di pilotaggio, configurato per comandare indipendentemente l'uno dall'altro detti semi ponti di commutazione superiore (M1, M2) o inferiore (M3, M4) per implementare il procedimento definito nella rivendicazione 1.

8. Convertitore secondo la rivendicazione 7, in cui detti semi ponti di commutazione superiore (M1, M2) e inferiore (M3, M4) sono realizzati tramite transistori MOSFET.

9. Prodotto informatico caricabile nella memoria di almeno un dispositivo di elaborazione e comprendente porzioni di codice software per eseguire le fasi del procedimento secondo una qualsiasi delle rivendicazioni da 1 a 6 quando il prodotto è eseguito su almeno un computer.

FIG. 1

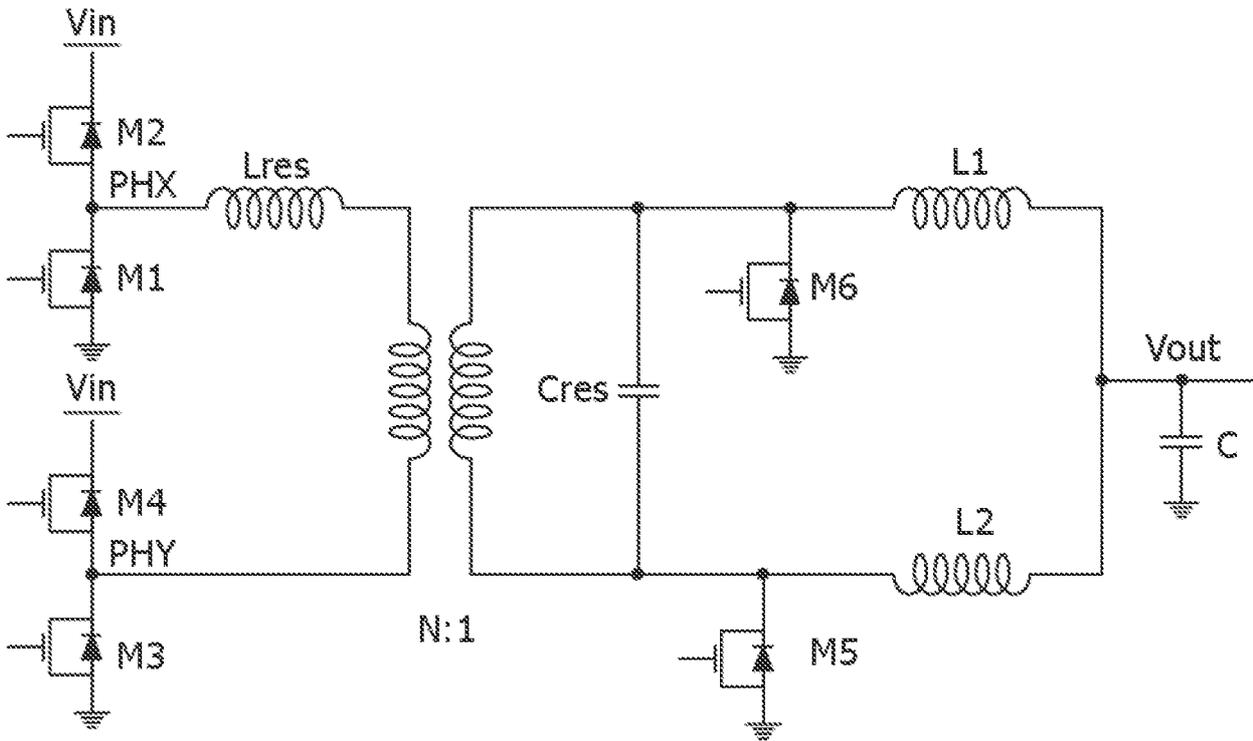


FIG. 2

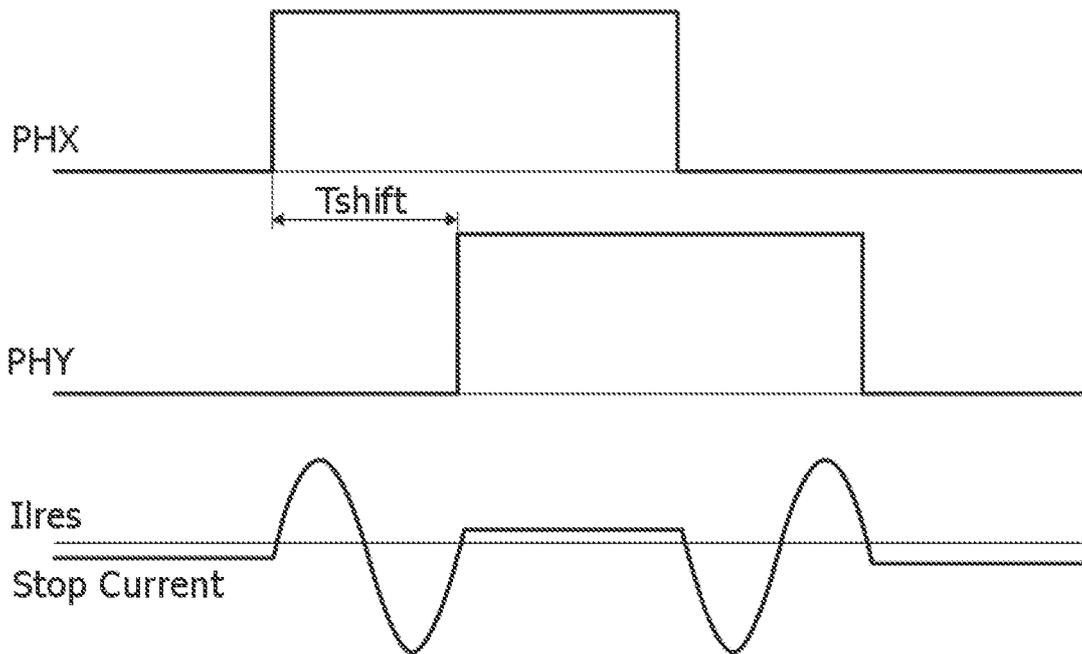


FIG. 3

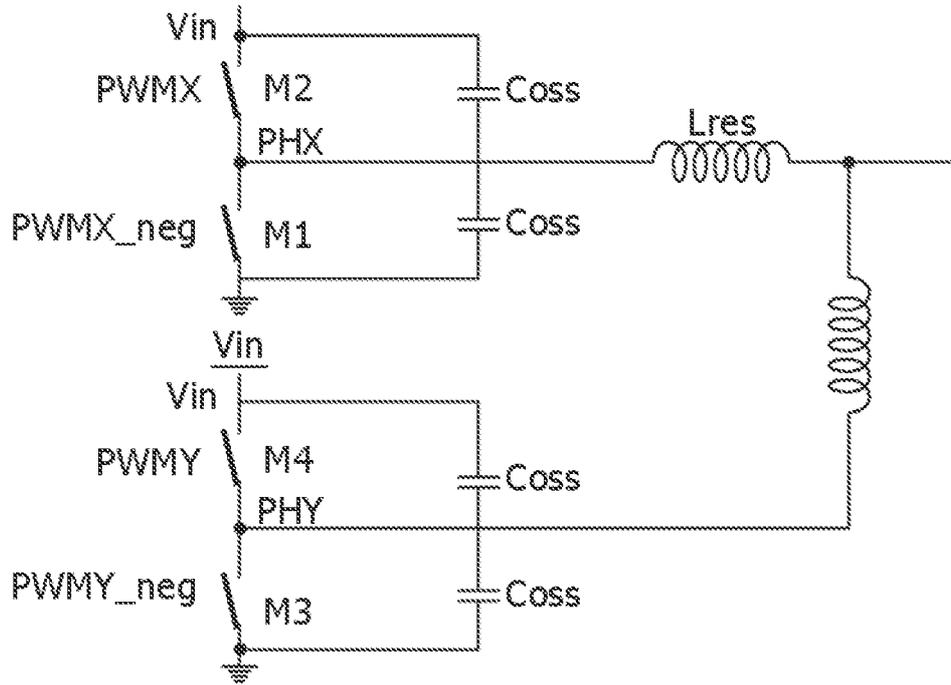
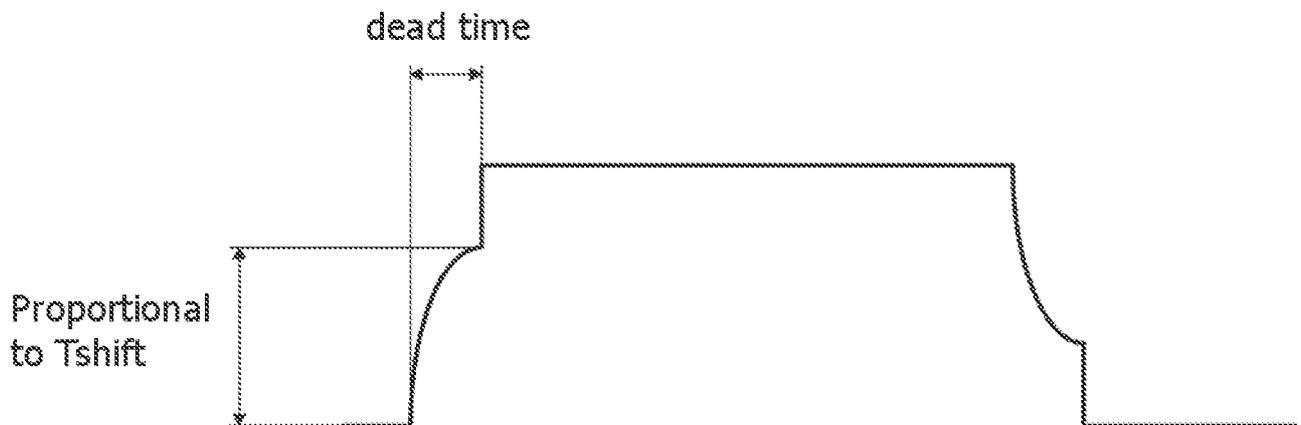


FIG. 4



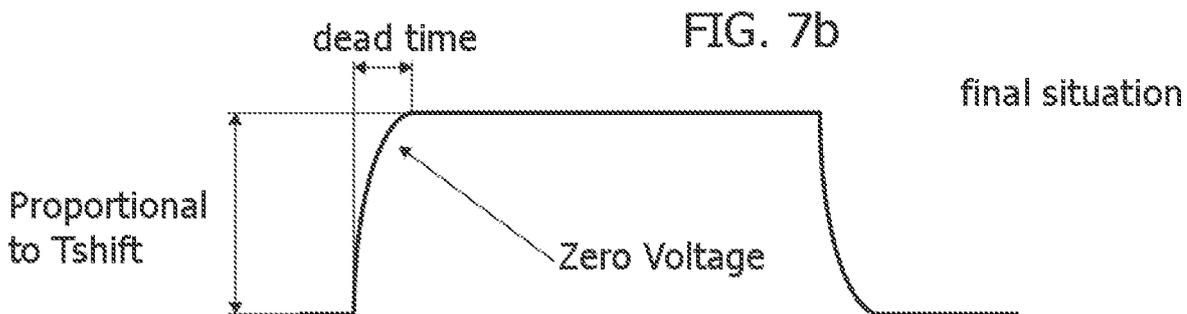
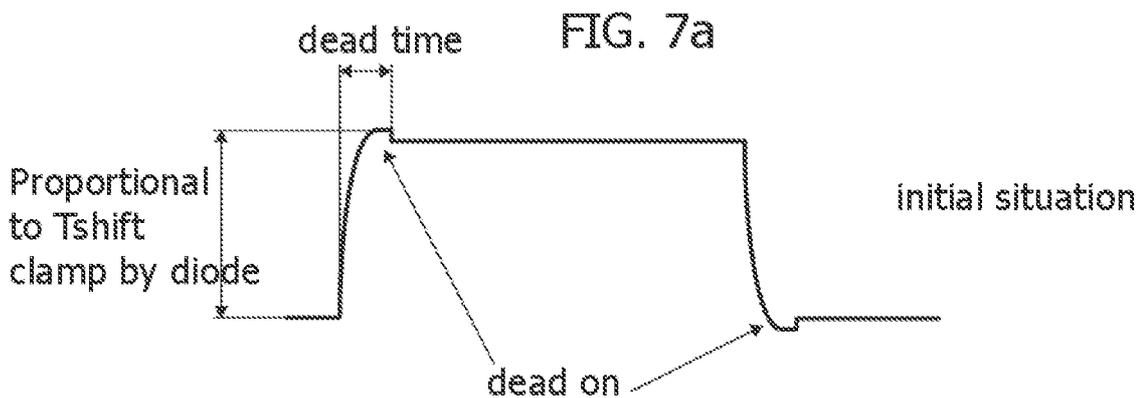
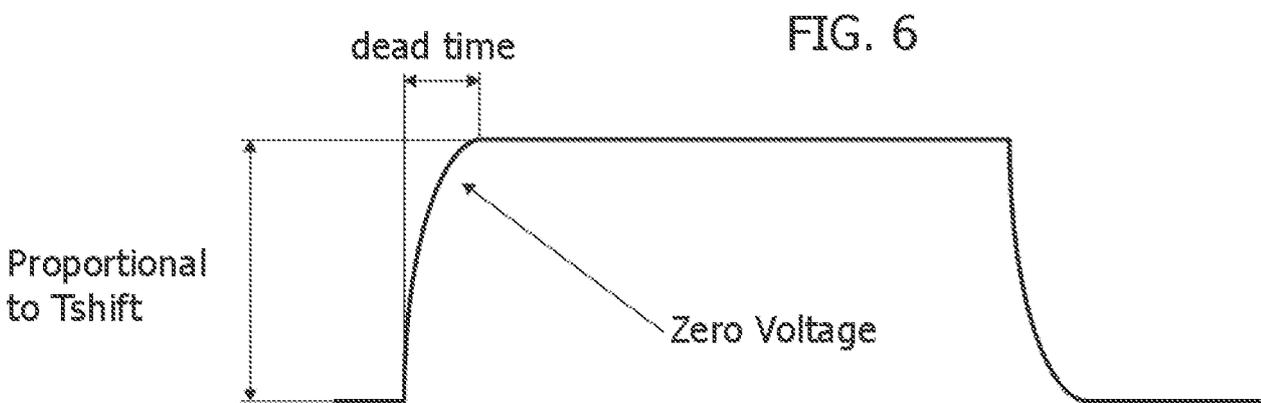
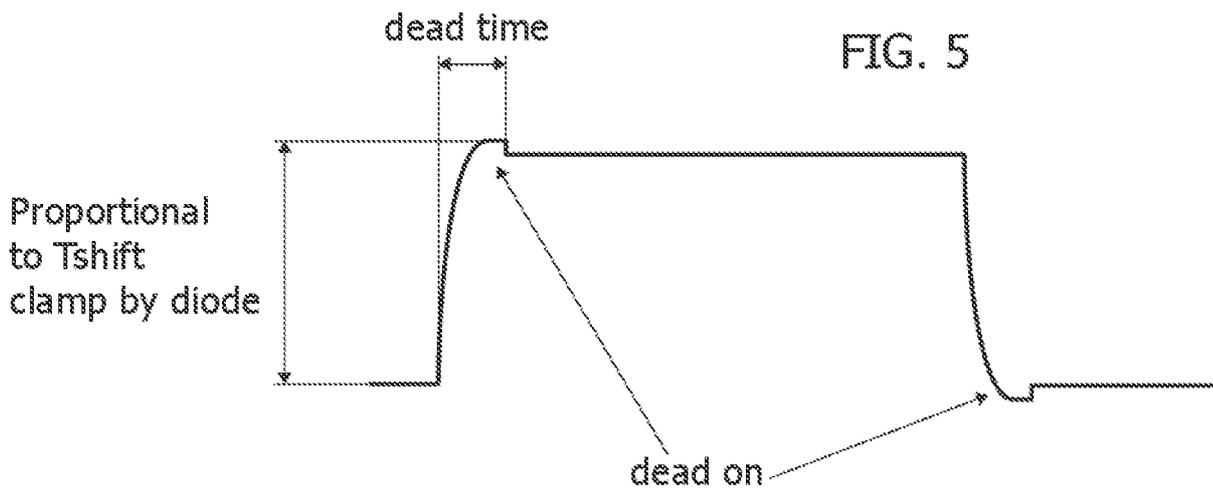




FIG. 10

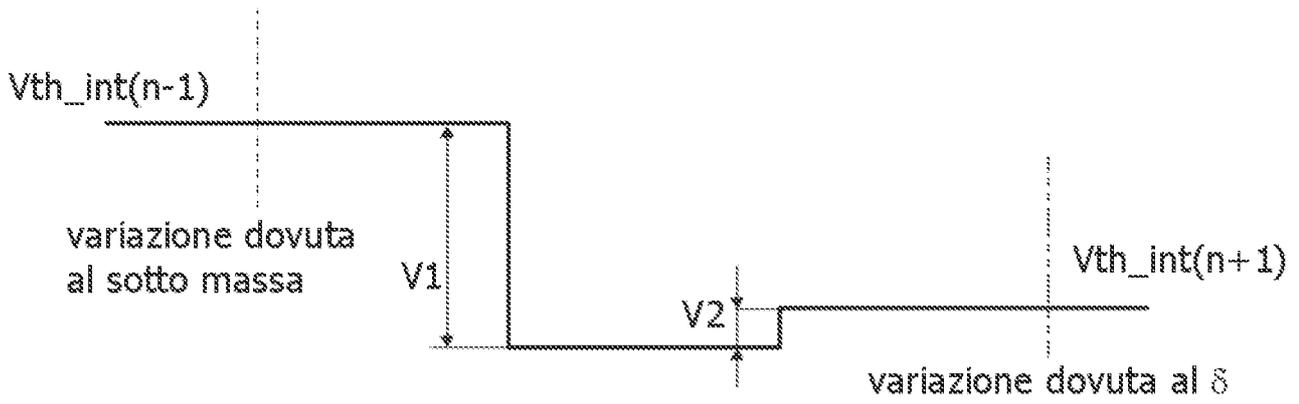


FIG. 11

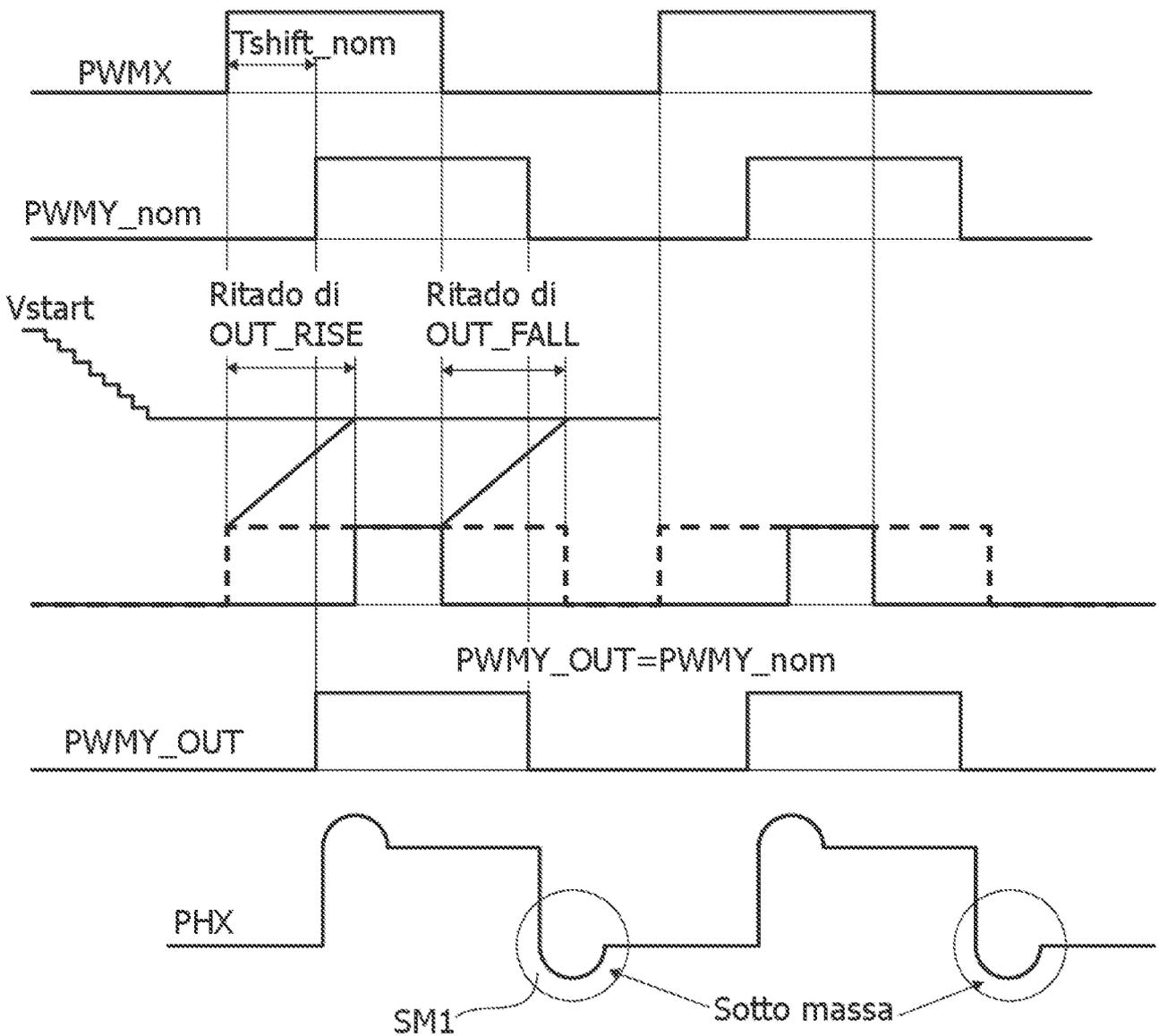


FIG. 12

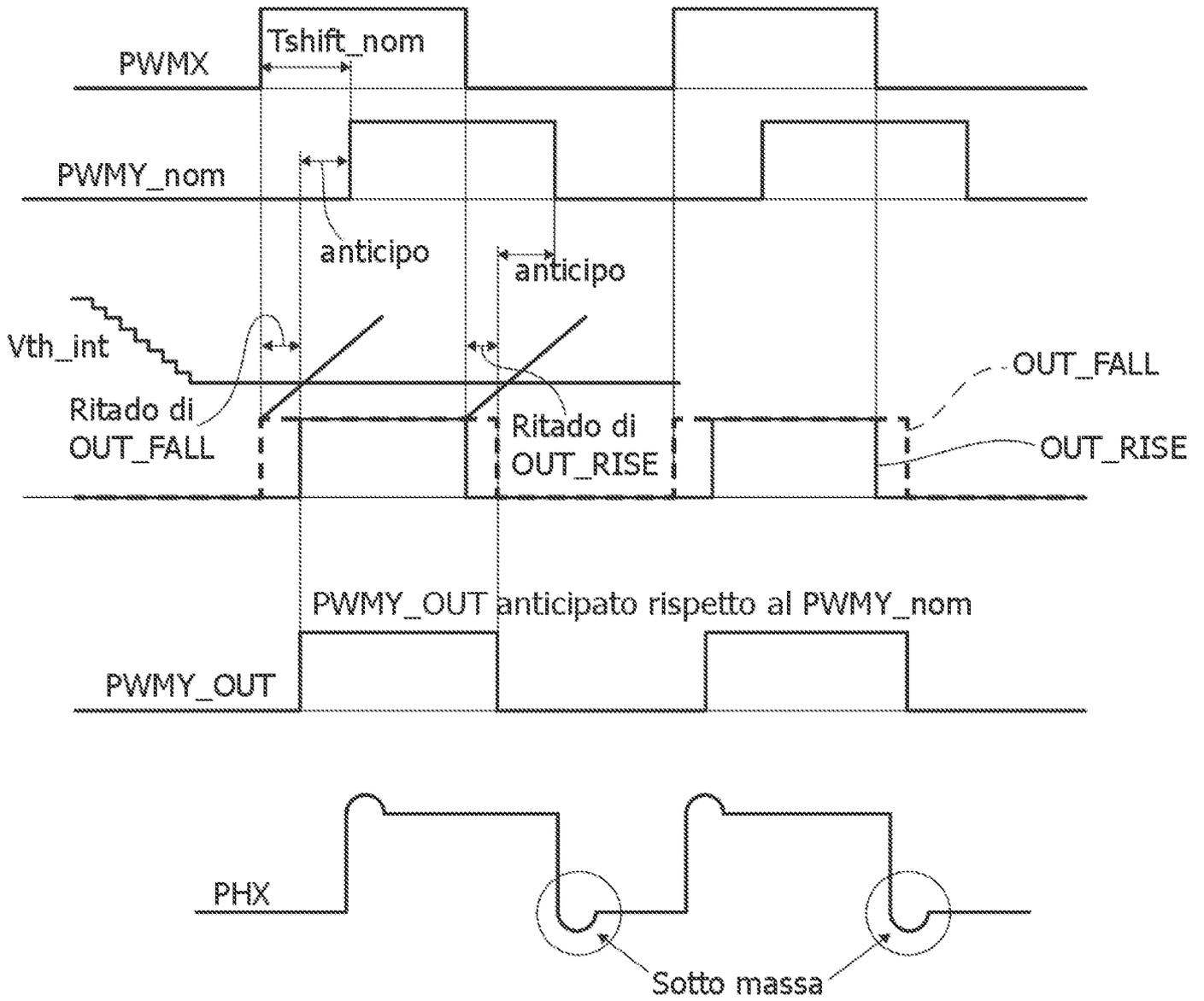


FIG. 13

