(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3586464号
(P3586464)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]	F I		
G06N 3/063	G06N	3/063	
G06G 7/60	G06G	7/60	
G06N 3/00	G06N	3/00	560C
G06T 1/20	G06N	3/00	560E
	G06T	1/20	B

請求項の数 9　(全 22 頁)

(21)出願番号　特願平6-510013
(86)(22)出願日　平成5年9月23日(1993.9.23)
(65)公表番号　特表平8-505248
(43)公表日　平成8年6月4日(1996.6.4)
(86)国際出願番号　PCT/US1993/009003
(87)国際公開番号　WO1994/009441
(87)国際公開日　平成6年4月28日(1994.4.28)
審査請求日　平成12年8月24日(2000.8.24)
(31)優先権主張番号　07/959,562
(32)優先日　平成4年10月13日(1992.10.13)
(33)優先権主張国　米国(US)

(73)特許権者
ザ　リージェンツ　オブ　ザ　ユニバーシティ　オブ　カリフォルニア
アメリカ合衆国　カリフォルニア　９４６１２―３５５０，オークランド，２２エヌディー　フロアー，レイクサイド　ドライブ　３００
(74)代理人
弁理士　山本　秀策
(72)発明者　ロスカ，タマス
ハンガリー国　ブダペスト，キケレット―　ユー　３８／ビー，ブダペスト　１１２５

最終頁に続く

(54)【発明の名称】プログラム可能なＣＮＮおよびスーパーコンピュータ

(57)【特許請求の範囲】
【請求項１】
多次元格子アレイ状に配置された複数の同一のアナログセルであって、該複数の同一のアナログセルは、任意の単一のセルから同心状に広がるｎ個の層のセルに組織されており、該ｎ個の層のセルの任意の単一の層の各セルは、制御可能な動作信号値を有し、かつ、該任意の単一のセルに対する該任意の単一の層のセルの相対的な位置に応じて該任意の単一のセルに同一に相互結合されており、該ｎ個の層のセルは、該任意の単一のセルに最も近い位置に配置された近傍セルである第１の層のセルと、該第１の層のセルから同心状に広がる第２の層のセルとを含む、複数の同一のアナログセルと、
同一のアナログかつ論理値を該セルのそれぞれに伝達する該セルラーニューラルネットワーク内で該複数の同一アナログセルのそれぞれとインターフェースするグローバルアナロジックプログラミングユニットと
を備えたセルラーニューラルネットワークであって、
該同一のアナログセルのそれぞれは、該任意の単一のセルに対する該ｎ個の層のいずれかの各セルの相対的な位置に応じて該ｎ個の層の各セルに対して独立に選択されたプログラム可能なパラメータを用いて、非線形的かつ時間連続的に、該ｎ個の層のうち選択された層のセルと少なくとも該第１の層の近傍セルとにプログラム可能に相互作用し、
該同一のアナログセルのそれぞれは、
該ｎ個の層のセルのうち該選択された層のそれぞれにおいて各セルに結合され、該選択された層のセルにおける各セルの動作信号値に影響を与えるように該セルからの情報をフィ

ードフォワードする、非線形で動作可能に再プログラム可能なフィードフォワードセクションと、
該ｎ個の層のセルのうち該選択された層のそれぞれにおいて各セルに結合され、該選択された層のセルにおける各セルの動作信号値からの影響を受けるように該セルへ情報をフィードバックする、非線形で動作可能に再プログラム可能なフィードバックセクションと、
該セルに結合され、該セルの動作信号値に影響を与える、非線形で動作可能に再プログラム可能なセルフフィードバックセクションと、
該グローバルアナロジックプログラミングユニットと、該セルの該フィードフォワード、フィードバックおよびセルフフィードバックセクションとに結合され、該セルによって使用されるアナログ値を記憶するローカルアナログメモリユニットと、
該ローカルアナログメモリユニットに結合され、該セルのアナログ動作を示す該記憶された値を用いて動作する、動作可能に再プログラム可能なローカルアナログ出力ユニットと、
該ローカルアナログ出力ユニットに結合され、該セルによって内部で使用される論理値を記憶するローカル論理メモリレジスタと、
該ローカル論理メモリレジスタに結合され、該セルの動作論理値を処理する、動作可能に再プログラム可能なローカル論理ユニットと、
該セルの該フィードフォワード、フィードバックおよびセルフフィードバックセクション、該ローカルアナログメモリユニット、該ローカルアナログ出力ユニット、該ローカル論理メモリレジスタおよび該ローカル論理ユニット、並びに該グローバルアナロジックプログラミングユニットのそれぞれに結合され、該グローバルアナロジックプログラミングユニットと協同して該セルの内部および外部機能および該セルの構成を制御する、ローカル通信および制御ユニットと
を含み、
該フィードフォワードセクション、該フィードバックセクション、該セルフフィードバックセクション、該ローカルアナログ出力ユニットおよび該ローカル論理ユニットのそれぞれは、該グローバルアナロジックプログラミングユニットによってプログラム可能である、セルラーニューラルネットワーク。
【請求項２】
前記同一のアナログセルのそれぞれは、
前記グローバルアナロジックプログラミングユニットに結合され、フィードバック値を受け取り、該フィードバック値を前記フィードバックおよびセルフフィードバックセクションに与えることにより、前記選択された層のセルにおける各セルへのフィードバック信号を確立する、第１の動作可能に再プログラム可能なテンプレートユニットと、
該グローバルアナロジックプログラミングユニットに結合され、フィードフォワード値を受け取り、該フィードフォワード値を前記フィードフォワードセクションに与えることにより、該選択された層のセルにおける各セルへのフィードフォワード信号を確立する、第２の動作可能に再プログラム可能なテンプレートユニットと
をさらに含む、請求項１に記載のセルラーニューラルネットワーク。
【請求項３】
前記グローバルアナロジックプログラミングユニットは、
フィードバックおよびフィードフォワード信号レベルに対応するアナログ信号値と前記セルラーニューラルネットワークにおける前記選択された層のセルにおける各セルによって特定のアナログ機能を果たすのに必要なバイアス電流値の形態で、アナログプログラムステップを記憶するアナログプログラムレジスタと、
該セルラーニューラルネットワークにおける該選択された層のセルにおける各セルによって特定の論理機能を果たすのに必要な論理機能命令を記憶する論理的プログラムレジスタと、
該セルラーニューラルネットワークの各セルによって特定の機能的構成を実行するために必要なタイミング命令を記憶するスイッチ構成レジスタと、

該セルラーニューラルネットワークの各セルの前記ローカルアナログ出力ユニットをプログラムするための命令を記憶し、かつ、特定の機能を果たすグローバルアナロジックプログラムに応答して、該アナログプログラムレジスタ、該論理的プログラムレジスタおよび該スイッチ構成レジスタからの命令を選択するグローバルアナロジック制御ユニットと
を含む、請求項１に記載のセルラーニューラルネットワーク。
【請求項４】
前記同一のアナログセルのそれぞれは、
前記グローバルアナロジックプログラミングユニットに結合され、フィードバック値を受け取り、該フィードバック値を前記フィードバックおよびセルフフィードバックセクションに与えることにより、前記選択された層のセルにおける各セルへのフィードバック信号を確立する、第１の動作可能に再プログラム可能なテンプレートユニットと、
該グローバルアナロジックプログラミングユニットに結合され、フィードフォワード値を受け取り、該フィードフォワード値を前記フィードフォワードセクションに与えることにより、該選択された層のセルにおける各セルへのフィードフォワード信号を確立する、第２の動作可能に再プログラム可能なテンプレートユニットと
をさらに含む、請求項３に記載のセルラーニューラルネットワーク。
【請求項５】
前記第１および第２の動作可能に再プログラム可能なテンプレートユニットが、それぞれ、前記選択された数の層のセルに対してフィードバックおよびフィードフォワード信号を確立するために複数のプログラム可能な可変利得増幅器を有する、請求項２に記載のセルラーニューラルネットワーク。
【請求項６】
前記アナログメモリユニットによって記憶された前記アナログ信号値が、前記セルの入力、状態および出力信号値を表す、請求項１に記載のセルラーニューラルネットワーク。
【請求項７】
前記グローバルアナロジックプログラミングユニットが、時間多重化処理を実現するように前記セルラーニューラルネットワークを選択的にプログラムする、請求項１に記載のセルラーニューラルネットワーク。
【請求項８】
前記ローカルアナログメモリユニットは、前記グローバルアナロジックプログラミングユニットが時間多重化処理を実現するように動作する際に、アナログ出力信号結果を種々の時間区間に渡って保持し、
前記ローカルアナログ出力ユニットは、種々の時間区間に渡る該出力信号結果を該グローバルアナロジックプログラミングユニットに応答して組み合わせる、
請求項７に記載のセルラーニューラルネットワーク。
【請求項９】
並列に接続された複数のセルラーニューラルネットワークを備えたCNNスーパーコンピュータであって、
該複数のセルラーニューラルネットワークのそれぞれは、
多次元格子アレイ状に配置された複数の同一のアナログセルであって、該複数の同一のアナログセルは、任意の単一のセルから同心状に広がるｎ個の層のセルに組織されており、該ｎ個の層のセルの任意の単一の層の各セルは、制御可能な動作信号値を有し、かつ、該任意の単一のセルに対する該任意の単一の層のセルの相対的な位置に応じて該任意の単一のセルに同一に相互結合されており、該ｎ個の層のセルは、該任意の単一のセルに最も近い位置に配置された近傍セルである第１の層のセルと、該第１の層のセルから同心状に広がる第２の層のセルとを含む、複数の同一のアナログセルと、
同一のアナログかつ論理値を該セルのそれぞれに伝達する該セルラーニューラルネットワーク内で該複数の同一アナログセルのそれぞれとインターフェースするグローバルアナロジックプログラミングユニットと
を備え、

該同一のアナログセルのそれぞれは、該任意の単一のセルに対する該ｎ個の層のいずれかの各セルの相対的な位置に応じて該ｎ個の層の各セルに対して独立に選択されたプログラム可能なパラメータを用いて、非線形的かつ時間連続的に、該ｎ個の層のうち選択された層のセルと少なくとも該第１の層の近傍セルとにプログラム可能に相互作用し、
該同一のアナログセルのそれぞれは、
該ｎ個の層のセルのうち該選択された層のそれぞれにおいて各セルに結合され、該選択された層のセルにおける各セルの動作信号値に影響を与えるように該セルからの情報をフィードフォワードする、非線形で動作可能に再プログラム可能なフィードフォワードセクションと、
該ｎ個の層のセルのうち該選択された層のそれぞれにおいて各セルに結合され、該選択された層のセルにおける各セルの動作信号値からの影響を受けるように該セルへ情報をフィードバックする、非線形で動作可能に再プログラム可能なフィードバックセクションと、
該セルに結合され、該セルの動作信号値に影響を与える、非線形で動作可能に再プログラム可能なセルフフィードバックセクションと、
該グローバルアナロジックプログラミングユニットと、該セルの該フィードフォワード、フィードバックおよびセルフフィードバックセクションとに結合され、該セルによって使用されるアナログ値を記憶するローカルアナログメモリユニットと、
該ローカルアナログメモリユニットに結合され、該セルのアナログ動作を示す該記憶された値を用いて動作する、動作可能に再プログラム可能なローカルアナログ出力ユニットと、
該ローカルアナログ出力ユニットに結合され、該セルによって内部で使用される論理値を記憶するローカル論理メモリレジスタと、
該ローカル論理メモリレジスタに結合され、該セルの動作論理値を処理する、動作可能に再プログラム可能なローカル論理ユニットと、
該セルの該フィードフォワード、フィードバックおよびセルフフィードバックセクション、該ローカルアナログメモリユニット、該ローカルアナログ出力ユニット、該ローカル論理メモリレジスタおよび該ローカル論理ユニット、並びに該グローバルアナロジックプログラミングユニットのそれぞれに結合され、該グローバルアナロジックプログラミングユニットと協同して該セルの内部および外部機能および該セルの構成を制御する、ローカル通信および制御ユニットと
を含み、
該フィードフォワードセクション、該フィードバックセクション、該セルフフィードバックセクション、該ローカルアナログ出力ユニットおよび該ローカル論理ユニットのそれぞれは、該グローバルアナロジックプログラミングユニットによってプログラム可能である、CNNスーパーコンピュータ。

【発明の詳細な説明】

政府の有する権利

本発明はOffice of Naval Researchによって与えられた契約No.N00014－89－Ｊ－1402、およびNational Science Foundationによって与えられた許可No.MIP－8912639に基づく政府援助によって行われた。政府は、本発明に対し一定の権利を有する。

相互参照

本発明は、本発明と出願人が同じであり、1989年10月５日付でLeon O.ChuaおよびLin Yangによって出願され、出願番号が07/417,728、題名が「セルラーニューラルネットワーク」である先行特許出願に関連する。

発明の分野

本発明はセルラーニューラルネットワーク（CNN）に関し、特に、スーパーコンピュータとして使用され得る完全にプログラム可能なCNNに関する。

発明の背景

セルラーニューラルネットワーク（CNN）は、複数の同一セルの多次元格子アレイである。セルの２次元平面アレイでは、アレイは正方形、方形、六辺形などのいずれであっても

よい。３次元の場合は、どのような方向のアレイも１つ以上のセルを有し得る。つまり、アレイの３次元の各次元において、同数のセルが存在する必要はない。どの単一のセルについても、それに最も近いセルがその近傍セルである。また、各セルの近傍セルは、その単一セルから近傍セルの層として同心状に広がってゆく。アレイの各セルは、直接的および非線形的に、かつ（おそらく遅延された）連続時間において、所定数（ｒ）個の層の内部で、格子内部のｒ近傍の近傍セルと相互に作用する。このｒ近傍を「受容フィールドの半径」と称する。直接結合されていないセルは、CNNの伝播効果によって間接的に影響を与えあう。CNNは、高速並列信号処理が可能である。

２次元の単一平面CNNでは、各セル近傍も２次元であり、CNNの単一の平面におけるセルのサブセットである。３次元のCNNでは、CNNの少なくとも２つの平面が存在し、近傍セルの層はそれらが物理的に位置している単一平面に限定されていてもよいし、もしくは、近傍セルの層もまた３次元であって、玉ねぎの層のようにいくつかの平面の一部を組み込んでいてもよい。実際のアプリケーションでは、近傍セルの層が２次元か３次元であるかを指示する。

CNNの基本ユニットはセルである。各セルは線形および非線形回路要素を有しており、それらは、線形キャパシタ、線形誘電子、線形抵抗器、線形および非線形制御ソース、および独立ソースを有し得る。さらに、アプリケーション特定クローニングテンプレートが、セルとセルプラントの相互結合を決定する。以前は、別のアプリケーションを希望する場合、セルを組み込んだICは、新しいアプリケーション用のクローニングテンプレートに応じて相互結合されていセルのための他のICと交換される必要があった。

もしCNNを、その目的のためにハードウェア要素を交換することなくプログラム可能にすることができれば、CNNは現在利用可能なデジタルスーパーコンピュータよりも高速になり得るアナログスーパーコンピュータになる。本発明はこれを実現するものである。

発明の要約

本発明のCNN汎用マシンは、ローカルアナログおよび論理メモリ、アナロジック計算ユニット、ローカルおよびグローバル通信並びに制御ユニットを備えたセルラーアナログプログラム記憶方式多次元アレイコンピュータである。このグローバルアナログプログラム記憶方式メモリの概念は、時間多重テンプレートを用いたアナロジックアルゴリズムの実現を行うCNN汎用チップアーキテクチャの重要な要素である。我々はインプリメンテーションの例として主にIC実現を考えているが、他に多くの実現（光学的、化学的、生物学的など）が可能である。

本発明のCNNマシンは、全信号がデジタルではなくアナログである点を除けば、チューリングマシンと同じ意味で汎用である。しかし、本発明のアーキテクチャのいわゆるデュアル計算構造によって、アナログ－デジタル変換なしにアナログ信号とデジタル信号を直接組み合わせることが可能になる。

特別な例としては、変形された規範的カオス回路がCNNアレイのアナログ処理要素のために概説される。

処理セルにおいてセンサアレイを直接的に実現することにより高速の入力スループット速度が実現され得る。一方、出力では、さらにスループット速度を高めるために、無線EM（電磁妨害雑音）波検出器が使用され得る。これは、ある特徴を検出するために振動およびカオスを使用することで可能になる。

本発明の第３の重要な要素は、CNNアレイスーパーコンピュータを形成するためのアレイにおいて、アナログまたはデジタル式にエミュレートされたCNN汎用チップアーキテクチャを利用することである。これは、既存のスーパーコンピュータを使用した場合に比べてはるかに少ないコストと時間で、非常に広いクラス（very broad class）の非線形偏微分方程式（PDE）を解くのに使用され得る。本発明のCNNアレイスーパーコンピュータを用いてラプラス、拡散、波動、ナヴィエーストークス、および他のタイプのPDEを能率よく解くことができる。

本発明による全く新しいアーキテクチャは、アプリケーションに応じて、核としての可能な非線形および遅延型テンプレート、デュアルコンピューティングCNN、およびカオス回

路を備えたCNNアレイを有し、脳の大脳半球の非対称性、視覚システムの多重投影特性などの生体システムによって等しく動機付けされた。このように、本発明の汎用CNNマシンの特異なアナロジックアルゴリズムは、広いクラスの生物学的プロセスおよび認識プロセスのためのプロトタイプモデリングツールとしても機能し得る。

【図面の簡単な説明】

図１は、最も近い近傍セルに対してのみ存在するセル間の相互結合を有するCNNを示す、従来の単一平面セルラーニューラルネットワークの単純な２次元ブロック模式図である。

図２は、従来の多重平面CNNの平面間の相互結合を示すブロック模式図である。

図3aは、本発明の汎用CNNマシンの平面を示すグラフである。

図3bは、図3aのCNNマシンの単一のセルを示す拡大ブロック図である。

図3cは、図3aのGAPUを示す拡大ブロック図である。

図4aおよび4bは、図3bに示されるような本発明の単一の改良CNNセルの等価回路の模式図である。

図５は、図3cのGAPUを示す拡大ブロック図である。

図６は、本発明のカオス回路の模式図である。

図7a～7cは、図６のカオス発生器の３つの異なる状態の等価回路を表す図である。

図８は、CNNマシンの各層の論理的出力を示す図である。

図９は、一実施例で述べられた問題を解決するためのアナロジック（デュアル）CNNアルゴリズムのフローチャートである。

図10a～10fは、図９のフローチャートの各ステップにおける入力信号と結果信号を示すグラフである。

好ましい実施態様の詳細な説明

図１には、従来の４×４の２次元セルラーニューラルネットワークが例示されている。セルｃ（ｉ、ｊ）は、ここでは４行４列の正方形のアレイとして示され、「ｉ」が行番号、「ｊ」が列番号を示す。図１では、それぞれのセルが最も近い近傍セル、つまり近傍セルの第１の層にのみ相互結合されているように16個のセルが模式的に示されている。例えば、セル30～44にそれぞれリンク14～28によって相互結合されているセル12｛ｃ（２、２）｝が示されている。ここに示されたリンク14～28は、各々、そのリンクが結合されている２つのセルの間で双方向性である。本実施例では、セル間に１層のみの近傍相互結合が存在し、セル30～44がセル12の周りに実質的に円を形成している。もし近傍相互結合の第２の層があれば、セル12は同様にしてセル46～58にも相互結合されるだろう。この近傍セルの層は、本実施例ではCNNの大きさが制限されているため、部分的な円しか形成しない。

図２には、面60～64を有する従来の多重平面CNNの典型的な模式図が示されている。入力信号は、面60とフィードフォワードパス68とに直接与えられ、遅延74および遅延76を経て、それぞれ面62と64に与えられる。また、面60からの出力信号は、遅延70を経て面62に与えられ、面62からの出力信号は遅延72を経て面64に与えられる。最後に、信号を面64から面62に、また面62から面60にフィードバックするためのフィードバックパス66がある。このインプリメンテーションでは、各遅延70～76に対する遅延の値δは実質的に等しい。

本発明のCNN汎用マシンおよびスーパーコンピュータは、少なくとも３つの新しい能力を有する。つまり、層のアナログ記憶プログラム方式および時間多重動作、無線検出、およびカオス回路または他のセル回路を用いた種々のPDEの柔軟な表現である。

表１は、グリッドのタイプ、プロセッサのタイプ相互作用のタイプおよび動作モードに応じて、いくつかのタイプのCNNをまとめたものである。付加的な技術およびアプリケーションが識別されれば、この表は当然拡張される。また、テンプレートの設計および学習、物理的な実現、質的セオリー、正確さ、広範囲のアプリケーションなど、いくかの他のイシューも存在する。

本発明のアーキテクチャ

まず、本発明のCNNは、以下のような特徴を有するアナログセルラー非線形動的プロセッサアレイとして定義され得る。

（ｉ）継続時間または離散時間信号（つまり、少なくとも有限の間隔に対してC^kの関数で

ある入力、出力、および状態変数）である継続信号を処理するアナログプロセッサであって、それらプロセッサは基本的に同一である（それらの単一のタームは規則的に変化し得る。）
（ii）それらのプロセッサは3D幾何学的セルラーグリッド（いくつかの2D平面）上に配置される。
（iii）プロセッサ間の相互作用は主として局所的である。つまり、各プロセッサは、有限の近傍（最も近い近傍は特殊なケースに過ぎない）内の他のプロセッサに相互作用する。またプロセッサ間の相互作用は、クローニングテンプレートによって定義される変換不変式である（与えられた相互作用のダイナミクスは設計パラメータであり得る）。
（iv）動作モードは、過渡的、平衡、周期的、あるいはカオス的であるか、または、論理と、（Ａ－Ｄ変換なしに）組み合わされ得る。

第１部

いくつかの基本的論理加算を備えた従来のCNNアレイ10（図１を参照せよ）は、本発明による新規のアーキテクチャの核として用いられる。しかし、以下のような、付加的な特徴および回路要素が本発明によるマシンの汎用能力を担う。本発明では、連続する値をある間隔において連続的または不連続であると仮定する、アナログの２次元または３次元アレイ信号を使用する。
図3aを参照すると、本発明のCNN汎用チップ100を示す部分ブロック図が示されている。図3aに示されるように、このチップアーキテクチャは２つの別個の領域に分割され得る。図3aの上部には、図１に示された従来の周知のCNN構造と思われるものがあり、下部には、後でさらに論じるグローバルアナロジックプログラミングユニット（GAPU）102のブロックがある。
CNN技術においてよく知られており、そして、本発明に引き継がれているのは、図3aに方形として示されたような個々のセル110のグリッドがどのような２次元構成（三角形、六辺形、多角形など）でもあり得るという点である。これはセオリーよりもむしろアプリケーションに依存する。また、従来技術において正しく、本発明にも当てはまる事柄であるが、サイズおよび形状の異なるグリッドが、（例えば、生体視覚システム（living visual system）のマグノおよびパルボ（magno and parvo）セルをシミュレートするために）多重面CNNの異なる面に対して使用され得る。
簡潔にするために、結合の半径をｒ＝１として図3aの上部に示す。必要に応じて結合密度を増加させるために、より大きな半径値が同様にして実現され得ることは、一般性を失わずに理解されるであろう。
事実、図3aに図示された汎用チップアーキテクチャは、本発明のCNN汎用マシンの機能的アーキテクチャを２通りの意味で示している。（１）互いに積み重ねられた数個のCNN汎用チップ100（例えば図２の面60－64）は、本発明の３次元汎用CNNマシンに帰結し、（２）本発明の３次元汎用CNNマシンの（図１に示されたような）いくつかの２次元「平面」は、ローカルアナログおよび論理メモリレジスタを用いた時間多重化によって本発明のCNN汎用チップアーキテクチャ上で実行され得る。物理的CNN汎用チップのセル容量をさらに広げるために、あるチップ上の境界セルのみが隣のチップ上の境界セルに結合されている状態で、セル全部が同一のさらに広いチップ上に存在するかのように、数個のチップを互いに近接するように平面基板上に配置することができる。もしCNNのフィードバック／フィードフォワード信号が近傍セルの単なる第一の層以上の層に結合されるならば、各隣接セルの境界セルもまた、それらセルが同一チップ上にあるかのように、各チップ上の適切な付加セルに結合されねばならない。多重平面CNNは、唯一のGAPUである必要がある。
図3aの全CNNセル110を示す拡大図を、さらに詳細に図3bに示す。従来のCNNセルと等価である単一のセルの核に加えて、各セルに関連するいくつかの付加的なアナログおよび論理的回路要素が存在する。ここで、「論理的」と「デジタル」は、互いに同等ではないことに留意されたい。デジタル回路は、2^n値（例えば10進法、16進法など）を符号化するための種々のゲートおよびレジスタを有し、他方論理回路は、符号化せずに論理値を処理する。

本発明によるCNN汎用マシンの各セルの付加的回路要素は、ローカルアナログメモリユニット（LAM）112、ローカル論理メモリレジスタ（LLM）114、ローカル論理ユニット（LLU）116、ローカル通信・制御ユニット（LCCU）118、およびローカルアナログ出力ユニット（LAOU）120である。動作中は、LAM112のセル値がLAOU120によって組み合わされ、他方、論理レジスタ値がLLU116によって組み合わされる。LCCU118は、セル構成の制御と、アナログおよび論理的命令の通信とを行う。本発明の改良CNNセルの動作、およびこれらの要素の各々については、図4aおよび図4bを参照してさらに詳しく説明する。

グローバルアナロジックプログラミングユニット（GAPU）102はチップ100全体を制御するものであって、図3cにさらに詳しく示される。この図に示されるように、GAPU102は、アナログプログラムレジスタ（APR）104、論理的プログラムレジスタ（LPR）106、オプショナルスイッチ構成レジスタ（SCR）115、およびグローバルアナロジック制御ユニット（GACU）108の４つの構成部品を有する。このように、GAPU102は、Ａ－Ｄ変換器のない、アナログ要素と論理要素の両方を備えている「デュアル」ユニットであることが理解される。これは全セルの同一の機能およびこれら機能のシーケンス、つまり、

・アナログテンプレート要素、
・LLU116の機能、
・セル構成（LAOU120内部での選択を含む）および
・異なるユニットの始まり

を制御するために用いられる。GAPU102およびGAPU102が含む各要素の動作は、図５に関連して以下に論じられる。

CNN汎用マシン全体が多重チップ上で実現されるとすると、中央GAPU102と共に動作するチップの間のアレイ区切りGAPU102では、いくつかのGACU102が用いられ得る。このような実現では、APR104もまたアナログキャッシュレジスタを構成するために分割され得る。

図4aおよび4bは、本発明の典型的な個々のセル110（図3bを参照せよ）の等価回路表示の模式図である。この図では、それぞれ、添え字ｕ、ｘおよびｙが、セルの入力、状態および出力を示す。また、ノード電圧V_{xij}をセルの状態、ノード電圧V_{uij}をセルの入力、ノード電圧V_{yij}をセルのアナログ部分の出力、Y_{ij}をセルの論理的出力と呼ぶ。

テンプレートＡおよびＢは、それぞれ近傍セル間のフィードバックとフィードフォワードを規定しており、GAPU102を通じてプログラム可能である。それらは各々、利得値を外部から受け取る可変利得増幅器を有し得る。入力では、順次、ノード電圧V_{uij}の様々な値、および入力信号がLAM1 112^1にアナログ信号として局所的に記憶される。同様に、初期状態V_{xij}（０）もまたアナログ信号としてLAM2 112^2に局所的に記憶され、後続の状態値はアナログ信号としてLAM3 112^3に順次記憶される。最後に、数個の連続する出力値V_{yij}がアナログ信号としてLAM4 112^4に記憶される。少なくとも１つの結果がLAM4 112^4に一旦存在すれば、それはLAOU120への入力または初期状態として利用され得、他方、異なるＢおよびＡテンプレートは反復される命令を演算するようにプログラムされ得る。きわめて高速のアプリケーションでは、LAM4 112^4はアナログ遅延ラインになり得る。今、数個の連続する結果がLAM4 112^4にソートされた後、出力値V_{*yij}を演算するために、それらの値がLAOU120によって組み合わされる。例えば、LAOU120は、LAM4 112^4からのアナログ値を加算するダイオードもしくは小型の増幅器であり得る。LAM112の実現の一つは、アナログ電圧が記憶され得るキャパシタであってもよい。

ローカルアナログメモリ（LAM^x）112^xでは、ローカル入力、状態および出力メモリ要素に加えて、いくつかの付加的な出力メモリセルがLAM4 112^4で使用される。これらの付加的な出力メモリセルは、アナログメモリ値が（ある特定のオペレータが選択され得るプログラム可能なスイッチを用いて）単純なアナログ回路によって組み合わされる、ローカルアナログ出力ユニット（LAOU）120のアプリケーションを与える。これらの要素はまた、数個の並列分岐（アナログ信号値による時間多重化）への分岐を実現するために（アナロジックアルゴリズムにおいて）使用され得る。

図4bの信号Ｖ＊yijは、図4aに示された本発明のCNNのアナログ部分から単純なバイポーラ／ユニポーラシフトユニット122に与えられる。バイポーラ／ユニポーラシフトユニット1

22は、アナログ出力信号をローカル論理メモリレジスタ（LLM）114に記憶されている連続値を有する論理値に変換する。LLM114は、例えば、変換された論理信号がアナログ形式（単にyesまたはnoで）記憶されるマルチステージシフトレジスタによって実行されうる。LLM114に記憶された数個の連続する論理値を有していることにより、アナロジックアルゴリズムにおける（論理信号アレイでの）分岐を実行することが可能になる。
次に、LLM114に記憶された結果は、LLU116において組み合わされる。LLU116は、LLM114に記憶された論理値を単一の出力に組み合わせるようにプログラム可能である。さらに、LLU116は、GAPU102からプログラム可能であって、例えばメモリもしくはPLAとして実現され得る。このように、論理的出力信号Y_{ij}は、CNNがテンプレートＡおよびＢによって検出するようにプログラムされた特徴が観測されたか否かに対して「yes」または「no」を応答する。例えば、垂直なエッジもしくはコーナーおよび、それらが発生した場所が検出され得る。図4aおよび4bに示されるようなアナログ－論理（アナロジック）処理は、最初に行われるアナログ処理と直列である。アナログ処理の次には論理的処理が続く。
図4aおよび4bを参照して上述されたアナロジック処理の間、LCCU118は、GAPU102によって制御される一連のスイッチによる処理の種々のステップのタイミングを制御する。これらのスイッチは、図4aに図示された種々の要素と、同図に示された破線の線分を通じて結びつき、それによってLAM112の操作を制御する。LCCU118のスイッチは、例えばMOSトランジスタやSCR等のいくつかの手法によって、スイッチが各セル内で局所的に同一である状態で実装され得る。
これらの構成は全てのセルについて同じである。スイッチ構成を各セルに送るグローバル制御ユニットが存在する場合、同じ二進スイッチ構成符号が各セルに送られる。そして、次の命令が到来すると、別のスイッチ構成符号がGAPU102のスイッチ構成レジスタ（SCR115）から送られる。
CNNの以前の設計では、各平面が並列に作動し、かつ各平面が異なる特徴の出現を探すような複数の平面を有する必要があった。この方法は本発明でも可能であるが、本発明がCNNをプログラム可能にしたため、今や、本発明のCNNスーパーコンピュータの実現に必要なインターフェースハードウェアを大幅に低減する直列モードにおいて異なる特徴を検索するのに同じハードウェアを用いることができる。本発明のCNNスーパーコンピュータは極めて高速のリアルタイムで作動するので、このことは問題にならない。検索する必要のあるものが５つ存在するなら、CNNスーパーコンピュータは５回循環させられる。ここでは、それが非常に高速であるので殆ど瞬時に感じられるという点が重要である。
CNNスーパーコンピュータはマルチプレクシングを採用し、結果は各平面に局所的に記憶されている。従って、同時に処理されたいくつかの平面からの結果は、全てが局所的に記憶されているため、全く通信コストをかけずに組み合わされ得る。これは重要である。また、アナログ信号は各セルでのＡ－Ｄ変換が不要になるように使用されている。つまり、実際の信号が記憶される。ここでは、局所的結合性ゆえに、非常に小型で使用電力が極めて少ない高速スーパーコンピュータが提供される。
図５は、図3cに関連して述べられたGAPU102のブロック図による表示であり、以下の４部分を有する。
各セルに対して同じである、アナログプログラミング命令および異なるテンプレートを、（例えばキャパシタアレイを用いて）セル毎に記憶するためのグローバルアナログプログラムレジスタ（APR）104、
LLU116の異なる論理プログラミング命令および符号（平面内では全てのセルについて同一）を記憶するためのグローバル論理プログラムレジスタ（LPR）106、
全セルのスイッチ構成を記憶するためのグローバルスイッチ構成レジスタ（SCR）115、および
一方がアナログダイナミクスによって決定され、他方が論理ユニットによって決定される二つの広範囲クロックを用いて、APR104およびLPR106からの命令が、各セルのLAM112およびLLU116にそれぞれ入力されたとき（ここで記憶された制御シーケンスは、アナロジックCNNアルゴリズムのアナロジックマシン符号を表す）のCNN平面のための全体的なタイミン

グを制御する、グローバルアナロジック制御ユニット（GACU）108。
これら４つのサブユニットのオンチップサイズの限界、特に、APR104のサイズ限界の問題を克服する目的で、オンチップAPR104ストレージを補足するためだけでなく、アナログキャッシュストレージ（ACS）を導入するためにアナログプログラムストレージのオンチップとオフチップの分割が設計され得る。
アナロジックCNNアルゴリズムは、アナロジックCNN言語（または等価のブロック図）によって記述され得る。この言語は、コンピュータによってアナロジックCNNマシン符号に翻訳される。
多くのアプリケーションにおいて、各CNNとの相互結合の半径は１に等しくなる。このため、APR104のレジスタに記憶されるべき19個以下の個別の信号値が存在し、従って、19個の数字（アナログ命令）は、プロセッサに完全にアドレスするのに充分である。図５のAPRレジスタの各々は、異なったアナログ命令を表している。これらの命令は、バイアス電流Ｉだけでなく、ＡおよびＢの各テンプレートの全ての可能な値から成る。このバイアス電流は、しきい値と見なすこともできる。各自は個々のテンプレートをプログラムするための命令を有する。つまり、Ａが９個の数字（CNNの結合セルへのフィードバック用の値を有する３×３のマトリックス）、Ｂが９個の数字（CNNの結合セルへのフィードフォワード用の値を有する３×３のマトリックス）、Ｉが単一のセル自体のバイアス電流用の１個の数字を有する。同様に、もしｒ＝２であれば、ＡおよびＢの各テンプレートが５×５のマトリックスになるため、51個の数字が必要になり、もしｒ＝３であれば、ＡおよびＢの各テンプレートが７×７のマトリックスになるため、99個の数字が必要になる、といった計算になる。
同様に、LPR106における各レジスタのサイズおよび個数は、組み合わされるべき論理値の個数と異なる論理命令の個数とに依存する。その例を以下に示す。
適切なアナログテンプレート、つまり、アナログ命令および論理命令の選択は、GACU108によって行われる。次の命令がコーナー検出テンプレートであると仮定する。すると、GACU108は、Ａ、ＢおよびＩテンプレートの適切なローカルプログラミング値をロードする。デジタルマイクロプロセッサと同様に、プログラムは、一連のデータおよび命令によって構成される。GACU108は、どの命令を選択し、どのような順序でAPR104およびLPR106から所望のパターン等を検出するかのシーケンシャルな論理記憶装置である。GACU108の動作は、下記の詳細な例においても説明される。
標準的な完全に結合されたアナログニューラルネットワークを想定すると、後者の条件は明らかに実現不可能である。これは、一つには、単一のプログラム「命令」のストレージスペースが極端に大きいこと、また一つには、再プログラムを可能にするには、それ自体の実行よりも時間がかかることが原因である。ここが局所的結合性が関与してくる点である。つまり、我々がCNNクローニングテンプレートをアナログ命令と見なす場合、我々は、たとえ数百個のプロセッサを有していても、記憶されるべき１つの命令に対して10個か20個のアナログ値しか有さない。逆に、完全に結合されたアナログシンクロナスニューラルネットワーク（例えばIntel80170）の場合、我々は、64個のプロセッサに対し約１万個のアナログ値を有し、それらを再プログラム可能にするのには非常に長い時間を要する。
実施例
タスク：階調画像が与えられたとき、垂直エッジと斜めエッジが交差する全ての点を検出する。
図９は、上述の問題を解決するためのアナロジック（デュアル）CNNアルゴリズムを示すフローチャートである。最初のステップでは画像内の画素の強度を平均し（ブロック124）、次にエッジを検出し（ブロック126）、続いて垂直エッジの検出（ブロック128）、斜めエッジの検出（ブロック130）、そして、垂直および斜めエッジ検出に由来する論理的組み合わせの最終ステップ（ブロック132）が行われる。上述のように、本発明では、以前のCNNではいくつかのチップを用いて並列に行われなくてはならない動作を、単一チップで直列に行うことができる。このように、４つのアナログステップ（ブロック124～130）は、それぞれ、最後の論理的結果は第３および第４のステップ（ブロック28および130

）からの情報のみに働きかける状態で、直列に単一のチップで個別に行われ得る。しかし、だからといって、従来のものが動作し得る並列モードで本発明が動作できないわけではなく、動作することができる。また、本発明は、ブロック図が示す直列および並列動作の組み合わせを行い得る。決定因子は、必要な速度と、いずれかの選択可能な手法で演算を行うためのハードウェアのコストおよびサイズである。ここで重要なポイントとなるのは、単一のプログラム可能なチップがアルゴリズムのステップの全てを行い得るという点である。

使用されているCNNの具体例でｒ＝１であると仮定すると、Ａテンプレートおよびテンプレートは、各々、３×３である。従って、GAPU102の３つのレジスタは、APR104、LPR106、およびGACU108のスイッチ構成レジスタである。本実施例の目的のために、GACU108によって制御されるLLU116における実際のスイッチはSCRであると仮定し、従って本実施例では、スイッチ構成レジスタをSCRレジスタと称する。

SCRは、スイッチを制御するのに必要なGACU108からの配線の数を減らすために導入される。

CNNアルゴリズムで用いられる４つのテンプレートは以下の通りである。

TEM1（階調平均）

$$A = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 2 & 1 \\ 0 & 1 & 0 \end{bmatrix} \qquad B = 0 \qquad I = 0$$

TEM2（エッジ検出器）

$$A = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 2 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad B = \begin{bmatrix} -0.25 & -0.25 & -0.25 \\ -0.25 & 2 & -0.25 \\ -0.25 & -0.25 & -0.25 \end{bmatrix} \quad I = -1.5$$

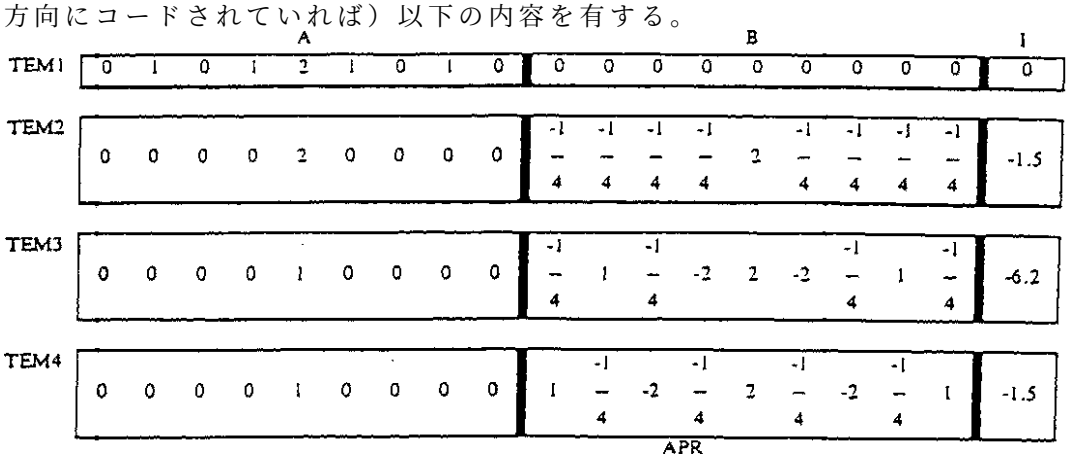
TEM3(垂直ライン検出器)

$$A = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad B = \begin{bmatrix} -0.25 & 1 & -0.25 \\ -2 & 2 & -2 \\ -0.25 & 1 & -0.25 \end{bmatrix} \quad I = -6.25$$

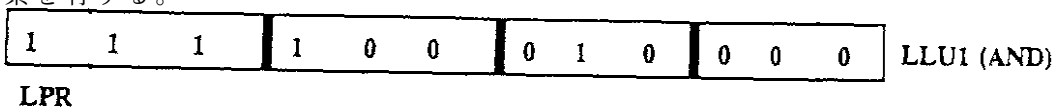
TEM4(斜めライン検出器)

$$A = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad B = \begin{bmatrix} 1 & -0.25 & -2 \\ -0.25 & 2 & -0.25 \\ -2 & -0.25 & 1 \end{bmatrix} \quad I = -6.25$$

つまり、アナログプログラムレジスタ（APR）104は、（テンプレートのマトリックスが行方向にコードされていれば）以下の内容を有する。



論理プログラムレジスタ（LPR）106は、（２入力メモリ真理テーブルとして行方向にコードされていれば、）２入力AND（図９、ブロック132を参照せよ）の内容を備えた単一の要素を有する。



LPR

スイッチ、つまりスイッチ構成レジスタ（SCR）に記憶された構成は、以下のような状態を有し、対応するアクションを生成する。

S0:リセット（入力、初期状態、および全ての出力スイッチがオフにされる）
S2:過渡状態を開始
S3:アナログ出力をLAM（１）、つまりメモリLAM4の最初の要素に記憶
S4:LLM4レジスタを１ステップだけ右にシフトさせたあと、LAM4（２）に記憶されたアナログ出力をLLM4（１）に送る（この時点では、LAOU120は単一の配線に過ぎない）
S5:記憶されたアナログ出力（LAM4（１））を、入力／初期状態にフィードバック
S6:ローカル論理ユニット116を作動させる
S7:アナログ出力をLAM4（２）に記憶

ローカル通信および制御ユニット（LCCU）118を制御するために３つの配線がある場合、S

CRは、異なる状態の符号を、例えば以下のようにして記憶する。

	S0	S1	S2	S3	S4	S5	S6	S7
配線1	0	1	0	1	0	1	0	1
配線2	0	0	1	1	0	0	1	1
配線3	0	0	0	0	1	1	1	1

LCCU118は、３ビットの符号を、上述のセル機能を与えるスイッチ構成（スイッチ位置配置）の８つの状態に復号化する。

今度は、プログラムのマシン符号、即ちグローバルアナログ／論理（アナロジック）制御ユニット（GACU）108の命令の組を規定する。レジスタ（APR、LPR、SCR）の内容は、既に規定されている。レジスタ内部の単一の項目を選択する事により、CNNの全セルが同じ様式で制御される。アナログテンプレートSEL（TEM1）を選択すると、セルの全クローニングテンプレート（シリコンインプリメンテーションの場合はトランスコンダクタンス）が、所定のテンプレートを実現するために制御される。所定のローカル論理ユニット機能、つまりSEL（LLU）を選択すると、全セルにおいて所定の真理テーブル（またはPLA内容）がロードされる。所定のスイッチ構成、つまりSEL（Si）／状態を選択すると、全セルにおいて適切なスイッチ位置が設定される。

これらを念頭におくと、CNNプログラムのマシン符号は以下の通りである。

命令	コメント
BEGIN	プログラム開始
SEL(S0)	リセット
SEL(S1)	入力
SEL(TEM)1	各セルをTEM1(階調平均)に合わせる
SEL(S2)	ＣＮＮ過渡状態を開始
SEL(S3)	出力をLAM4(1)に記憶（白黒（B/W）画像）
SEL(S5)	この記憶された出力を入力／初期状態にフィードバック
SEL(TEM2)	TEM2(エッジ)に合わせる
SEL(S2)	ＣＮＮ過渡状態を開始
SEL(S3)	出力をLAM4(1)に記憶
SEL(S5)	この記憶された出力を入力／初期状態にフィードバック
SEL(TEM)3	TEM3(垂直ライン)に合わせる
SEL(S2)	ＣＮＮ過渡状態を開始
SEL(S7)	出力をLAM4(2)に記憶
SEL(S4)	垂直ラインをLLM(1)に記憶
SEL(S5)	白黒画像を入力／初期状態にフィードバック
SEL(TEM4)	TEM4(斜めライン)に合わせる
SEL(S7)	この出力をLAM4(2)に記憶
SEL(S4)	垂直ラインをLLM(2)にシフトした後、LLM(1)に斜めエッジを記憶
SEL(LLU1)	AND機能をLLU116にロード
SEL(S6)	（各セルで）出力画像を演算
END	プログラム終了

図９のアルゴリズムを記述するためにより高いレベルの言語を使用すると、それを上述のCNNマシン符号に翻訳するためにCNN汎用マシンコンパイラが使用され得る。

図10aの特定の階調では、ブロック124（図９）の階調平均に続く結果を図10bに、ブロック126のエッジ検出の結果を図10cに、ブロック128の垂直エッジ検出の結果を図10dに、ブロック130の斜めエッジ検出の結果を図10eに、ブロック132によってブロック128およびブロック130の結果のANDを取ったものを図10fに図示する。図10fでは、垂直エッジおよび斜

めエッジの両方に含まれる１つの画素のみが示されている。

インプリメンテーション

図８は、本発明の二つの特徴を示している。上述したように、本発明のCNNは、従来もそうであったように、各層が識別プロセスの異なる相を同時に処理する多数の層を有し得る（例えば、ある層が上方右のコーナーを探し、別の層が斜めのセンターラインを探し、また別の層が下方左コーナーを探す）か、または、本発明ではプログラム可能なCNNが提供されるので、各層は全体的なアルゴリズムの続いて行われるステップを表し得る。本発明の第二の特徴は、非線形振動およびカオスによって生成される電磁波を介して本発明のCNNアナログアレイからの情報を出力するための独自の無線非光学方法にあり、これは、図６に関連してさらに論じられる。

CNNネットワークの基本的な論理アナログセルプロセッサ110は、入力（ｕ）、出力（ｙ）および状態（ｘ）を備えたどのようなアナログ２ポート回路でもあり得る。元のセルに加えて、単純な拡張（例えば、単純なスレショルディングユニットなどを用いて出力キャパシタを追加する）や、さらに複雑なセル（例えば、Chuaのカオス用回路）を適用してもよく、それによって、例えば種々の非線形分岐現象が得られ、図4aのブロック「ｆ」にカオス回路を挿入してもよい。つまり、例えば、図ａのブロック「ｆ」にカオス回路が挿入される。

そのような回路の一つが、図６に示された、本発明の一般化されたChuaの回路であり、ここでは、負の抵抗、インダクタンスおよびキャパシタを実現するための種々のVLSI回路が、全てのアクティブあるいは動的な回路要素をチップ上でインプリメントするために使用され得る。

図６は、本発明の一般化されたカオス回路を示している。この回路は、標準的な線形抵抗器Ｒの帰線と反対端との間に接続された２つの標準的な線形キャパシタC1およびC2を有している。一方のキャパシタ（模式図ではC1）を越えて接続されているのが非線形抵抗器N_R、他方のキャパシタ（模式図ではC2）を越えているのが、標準的な線形インダクタＬと抵抗器R_0の直列接続である。N_Rは、図の右側に示された特性を有するダイオードのような非線形抵抗器である。抵抗器R_0は、この回路を以前のカオス回路から区別する新しい要素である。

この回路の特性の一つは、この回路が振動し得るだけでなく、カオスと称される新しい現象も生成し得るという点にある。カオスは、不規則な振動または疑似ランダムの非周期的振動である。この回路の利点は、この回路は異なるパラメータに対しては異なる作動をする点にある。あるパラメータでは、回路はそのままの状態になる。最も単純なモードでは、回路はフリップフロップのように作動する。そして、別の値では、必ずしも正弦波ではなくおそらく三角波で周期的に振動し、やはり周期的になる。そして、また別のパラメータ値では、（抵抗器Ｒを合わせることにより）、全ての実用上の目的において、振動は疑似ランダムになる。これの利点は、全てのセルが同一のカオス発生器であるCNNを有し得るという点にある。しかし、図６の回路は、要素の値を変更し、それによって回路のパフォーマンスを他の可能な状態の一つに変化させることによって達成されるため、それは単なる特殊なケースに過ぎない。これによって、ユーザーが、偏微分方程式を解き、海の波のような非線形波や、多数のアプリケーション（例えば画像処理）を有するオートウェーブを生成することが可能になる。

また、CNN概念を用いることにより、同じ単純なアナログユニットが多くの事柄を行い得ることも示される。そのように単純な回路が殆ど全ての事柄を局所的に行い得るのは重要な回路である。これがアナログ処理アレイであり、殆ど全ての事柄を行う目的でこの単純な回路を有し得るという事実が、これによって強調される。また、これらの回路が、有限空間（finite spacial degree）における拡散方程式などの単純なPDE（偏微分方程式）を解くことにとどまらない能力を有することが、後述の第三部で示される。出力で単純なキャパシタを追加することにより、回路は、波動方程式を近似する信号アレイを生成する。負のダイオードスロープの領域で機能するようにN_Rが変更されれば、新しいタイプのPDEが再び存在し、多くの複雑なPDEをほとんど生成する能力がもたらされる。

現在、N_Rは６つのトランジスタと１つのオペアンプで構築され得るが、集積回路としても実現され得る。インダクタをシリコンで実現することに関しては、いくつかの周知の等価回路が使用できる。ある可能性として、２つの電圧制御電流源（もしくはCNNおよび一般的なニューラルネットワークの実現において広く用いられるトランスコンダクタンス）を用いて単純に実現され得るジャイレータ（gyrator）を使用することが挙げられる。テンプレートはいくつかの方法で（例えば、トランスコンダクティブ増幅器、または、最も単純なケースでは単なる抵抗器グリッドを用いて）実現され得る。
図7a～7cは、図６に示されたカオス生成器の、３つの別個の特殊なケースによる等価回路を示す図である。

第２部

CNN汎用チップアーキテクチャのスループットを増加させるために、入力センサが各CNNセルユニット（例えば、光学的、化学的、電磁的、あるいは熱的なセンサアレイ）に配置される。出力スループットを増加させる独自の方法は、無線非光学的EM波出力検出によるものである。ここでポイントになる発想は、振動またはカオスCNN検出器テンプレートを用いることである。そして、ある特徴の存在が、電磁的感知ユニットを（近傍で）用いた放射によって検出される。それを行う際、極めて高速のCNN汎用チップは、セルユニットアレイの行方向出力によって低速化されない。
各層の各セルが出力されるべき情報を有するなら、10,000個の出力配線を有するのは非実用的である。図６のカオス回路を各セルの基本回路として選択することで、出力信号を与えるための付加的配線を全く設けずに検出可能であるそれらの振動に一致があるとき、高周波振動が生成される。セル回路を適切に選択することで、放射された信号は、CNNマシンが実現されるICチップの外部にあるアンテナおよび周波数検出器で検出することのできる高周波数を有し得る。
従って、実質的に全てのセルが、高周波放射物を発することができる。これは、図６の本発明のカオス回路または同様に機能する別の回路の使用を通じて達成され得、そして、特定のテンプレートは、所望の特徴が検出されたときに振動するようにセルを駆動する。例えば、エッジが検出されればエッジを検出するセルが振動する。また、どこかに配置されたエッジが検出されるべき入力パターンである場合、単にどこかにエッジが存在することを検出しさえすればよく、そして、単に振動が存在することを検出しさえすればよい。アンテナはいくつかの方法で実現され得るが、CNN多層マシンチップ上の付加層としてもよく、また、高周波振動はチップから出る各配線上で発生するので、外部に設けても良い。無線検出技術の使用を通じて、CNNの出力スループットは飛躍的に増加する。

第３部

本発明の第３のポイントは、アナログもしくはデジタルでエミュレートされたCNN汎用チップアーキテクチャをCNNアレイスーパーコンピュータを形成するためのアレイで使用することである。これは、極めて広いクラスの非線形偏微分方程式（PDE）を解くために、既存のスーパーコンピュータに比べて極めて少ない時間およびコストで使用され得る。
アレイの物理的インプリメンテーションは単純である。個々のCNN汎用チップは、境界セル間の結合のみ（おそらく高速結合）で、平面内で互いに近接して配置される。GAPUに関しては、全チップで繰り返すか、または、単一GAPU内に連合させることができる。他の可能性として、規則的構造によって、個々のCNN汎用チップを互いに積み重ねることも考えられる。所定の問題を解決するために必要な層の実際のサイズおよび個数に応じて、これら２つの方法を組み合わせてもよい。
このCNNアレイスーパーコンピュータは、以下のようにして非線形偏微分方程式（PDE）を解くために使用され得る。空間的近似は、同じグリッド上で、CNNアレイとして規定され得る。従って、プロセッサグリッドとPDEの空間グリッドとの間には、１対１の対応がある。セルユニットのアナログプロセッサは、関連するPDEの空間的な離散化回路モデルと等価にされている。例えば、図7a～7cは、ある種の拡散タイプ、波タイプ、およびエネルギーを有する波タイプのPDEのそれぞれに対する３つの異なるアナログプロセッサを示す。空間的近似は必ずしもCNNアレイとして同一のグリッド上で規定されないことに留意す

べきである。

機能性

既に指摘したように、CNN汎用マシンは非常に広い意味で汎用である。従って、実際、想像し得るどのようなアナロジックモデルも、CNN汎用マシン上で解決可能なアナロジックアルゴリズムによって記述され得る。また、最小の規範的アナログセル回路を発見することにより時間およびエリアに関して物理的解法が最適化されるという意味では、このアーキテクチャは最適である。

次に、CNN汎用マシンの利用を動機付けるいくつかの例を示す。このアーキテクチャは、いくつかの生物学的および物理的システムによって動機付けされる。アナログアレイダイナミクスと論理との組み合わせは、いくつかの生体ニューラル構造（例えば、局所的に対応するニューロンを組み合わせる、互いに積み固められた異なる感覚形式のニューロン層）だけでなく、人間の脳（認識レベル）における大脳半球の非対称性のいくつかの面を反映している。単純な構造を図６に示す。我々の脳では、網膜によって前処理される単一の視覚画像の異なるイメージマップを約30個有するという事実が、他の動機となる。これらのマップの多くは、既に、アナロジックアルゴリズムによって表され得るCNNテンプレートのシーケンスに変換されている。円錐形フィードバックを備えた複雑な網膜モデルおよびLGNモデルを有する例もある。CNN汎用マシンのプログラム可能特性によって、プログラム可能な生物工学的モジュールが可能になる。

有限の解像度（finite resolution）のグリッド上の多くの重要なタイプの規範的PDEは、アナロジックアルゴリズムで表され得る。従って、基幹的な機械構造（例えば飛行機など）におけるストレス配分演算などの問題が、有効に解決される。化学における反応拡散式、光化学におけるオートウェーブ、螺旋状波、解法および他の複雑な2Dまたは3Dパターンは、ほんの一例に過ぎない。

我々のマシンでは、いくつかの2D層が、時間多重モードで使用される単一の層によって表される。これは、ローカルアナログおよび論理メモリを使用することによって可能になる。これによって、極めて有効な方法でアナロジックアルゴリズムを走らせること、および、（直列アルゴリズミック分岐に加えて）並列アルゴリズミック分岐をチップを離れずに処理することが可能になる。カラー表示は、この能力の優れた使用例である。３つのカラー層は、３つのローカルメモリ出力セルを用いた単一CNN層によって表される。

最も複雑なタイプの時空的ふるまいの一つとして、時空的カオスダイナミクスが演算され得る。このように、いくつかの複雑な乱れ現象が扱い易くなる。CNNマシンは、確率的セルラーモデルもまた実現可能である。

アナロジックアルゴリズムは、アナロジックソフトウェアの新しい世界を表している。実際、単純なCNNテンプレートのいくつかの基本的「サブルーチン」は、既に出現している。このように、CNN汎用マシンの実現に向けて、ソフトウェアベースが既に進展している。

新しいマシンの検証

この新しいアーキテクチャの基本部分は、既に製造されテストされており（CNNチップ、単純なハードウェアエミュレータなど）、複雑な例はCNN汎用マシンのシミュレーションによって解決された。

ここで開示された本発明に関連する技術の当業者にとって、本発明の精神および範囲から離れることなく、本発明の多くの構造の変更、幅広く相違する様々な実施例および適用方法が明らかになるであろう。本明細書の開示および記載は純粋に例示的なものであって、いかなる意味でも発明の範囲を限定するものではない。ここに記載された発明の実際の範囲は、添付の請求の範囲によってのみ限定される。

表１

ＣＮＮ：

分散型論理およびメモリを備えたセルラーアナログ

プログラム可能多次元処理アレイ

グリッドタイプ	プロセッサタイプ	相互作用タイプ	動作モード
－正方形 六辺形 三角対角 －単一および多重グリッドサイズ（荒い、細かいグリッドなど） －距離が等しく、グリッドサイズが変化してい	－線形（または区分的線形シグモイド特性における僅かな信号動作） －シグモイド（単一ゲイン、高ゲイン、およびスレショルディングを含む） －ガウス（逆ガウス）	－線形（１あるいは２つの変数） メモリなし －非線形（１、２あるいはそれ以上の変数） －遅延タイプ －動的（集中） －対称および非対称 －固定されたテンプレート	－連続時間 離散時間（同期または非同期）、時間変化 －ローカルモードまたは伝播モード －完全にアナログまたは論理と組み合わされる（デュアルコンピューティング

る（例えば、網膜における対数）
－平面状および円形
－格子
（３Ｄ）

－１次、２次および高次（例えば、１つ、２つまたはより多数のキャパシタ）ローカルアナログメモリの有無
－ローカル論理の有無

またはプログラム可能なテンプレート（連続的または離散的）
－ノイズ源を有する

ＣＮＮ）
－過渡的、安定、振動、またはカオス的モード
－確率的モード

【図１】

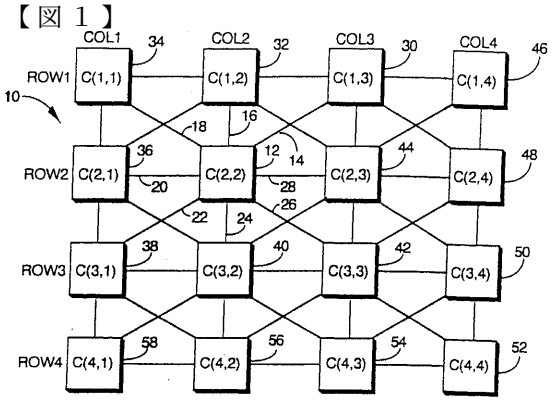


Fig. 1（従来技術）

【図２】

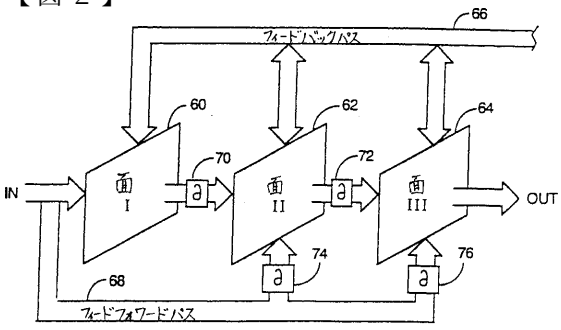


Fig. 2（従来技術）

【図３ａ】

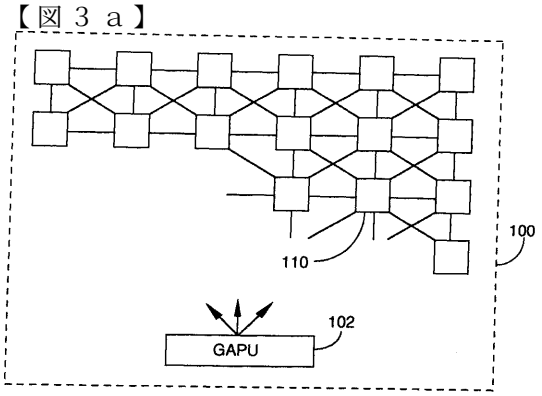


Fig. 3a

【図３ｂ】

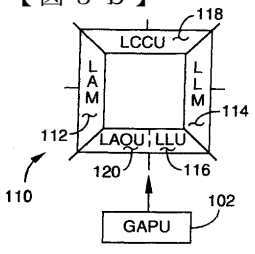
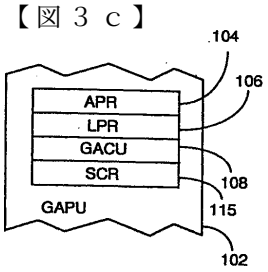


Fig. 3b

【図３ｃ】



【図６】

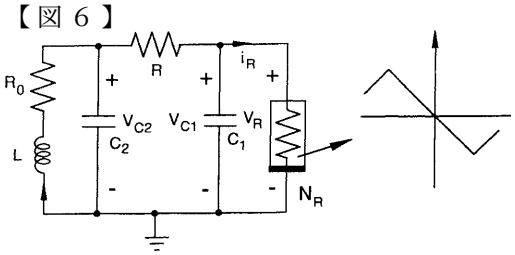


Fig. 6

【図１０ａ】



Fig. 10a

【図１０ｂ】

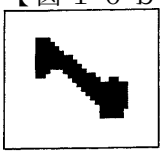


Fig. 10b

【図１０ｃ】

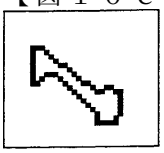


Fig. 10c

【図４ａ】

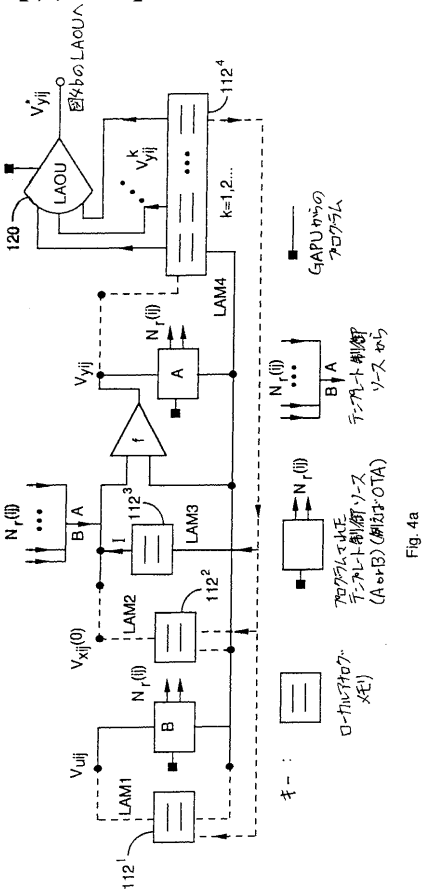


Fig. 4a

【図４ｂ】

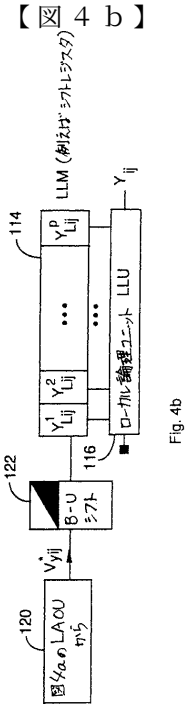


Fig. 4b

【図５】

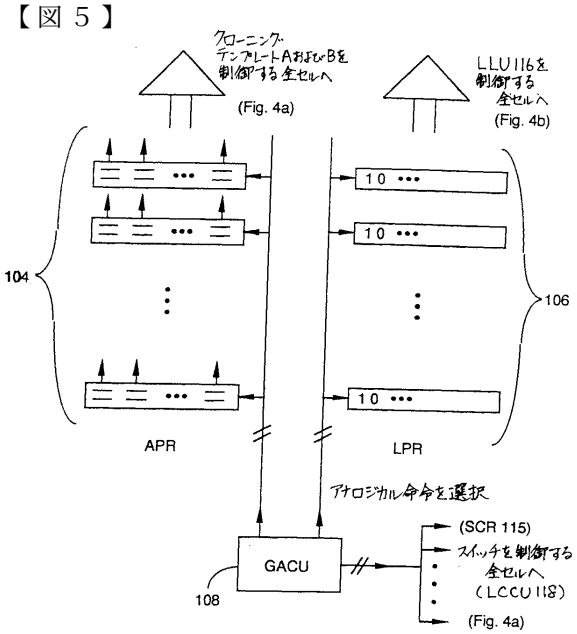


Fig. 5

【図１０ｄ】

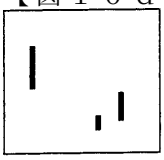


Fig. 10d

【図１０ｅ】

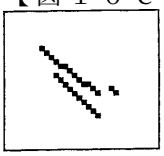


Fig. 10e

【図１０ｆ】

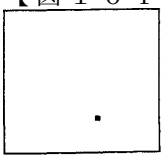


Fig. 10f

【図７ａ】

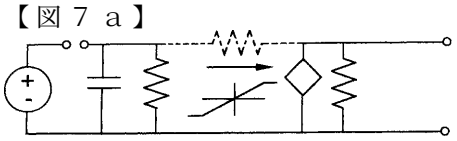


Fig. 7a

【図７ｂ】

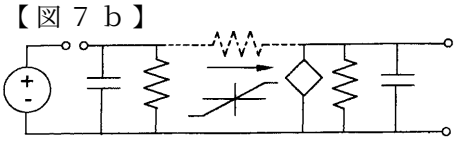


Fig. 7b

【図７ｃ】

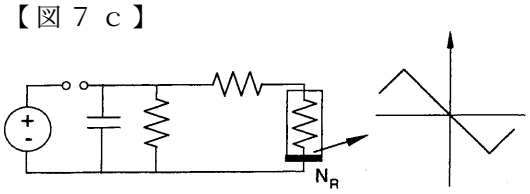


Fig. 7c

【図８】

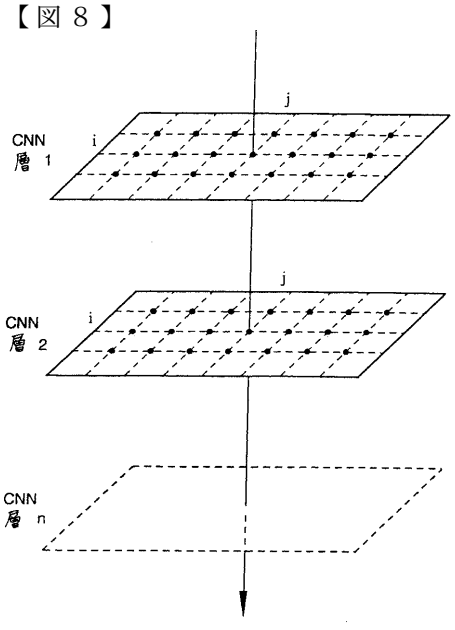


Fig. 8

【図９】

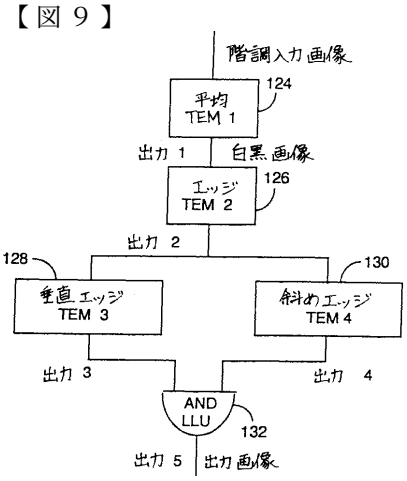


Fig. 9

フロントページの続き

(72)発明者 チュア，レオン，オー.
アメリカ合衆国 カリフォルニア ９４７０５，バークレイ，アバロン アベニュー ２９１６

審査官 久保 光宏

(56)参考文献 米国特許第５１４０６７０（ＵＳ，Ａ）
Halonen,K.,et.al.,"Programmable analog VLSI CNN chip with local digital logic",Proc.of IEEE International Symposium on Circuits and Systems,１９９１年, Vol.2,pp.1291-1294
松本、大津・編，「脳とコンピュータ２ ニューロコンピューティングの周辺」，日本，株式会社培風館，１９９１年7月１０日，初版，pp.185-199
千川康秀・他，「線分特徴抽出と改良型ＳＯＭによる手書き漢字パターンの認識」，電子情報通信学会技術研究報告，日本，社団法人電子情報通信学会，１９９２年5月２７日，Vol.92,No.59(NC92-1～14)，pp.17-24
飯塚肇・編，「新しい計算機アーキテクスチャ」，日本，丸善株式会社，１９９０年6月２５日，初版，pp.244-247,ISBN:4-621-03490-1
八木伸行・他，「Ｃ言語で学ぶ実践画像処理」，日本，株式会社オーム社，１９９２年5月３０日，初版，pp.46-51,ISBN:4-274-07703-9
Leon O.Chua,"The Genesis of Chua's Circuit",AEU，１９９２年7月，Vol.46,No.4,pp.250-257,ISSN:0001-1096,JST資料番号:A0447A
Kennedy,M.P.,"Robust OP Amp Realization of Chua's Circuit",FREQUENZ,１９９２年4月,Vol.46,No.3/4,pp.66-80,ISSN:0016-1136,JST資料番号:C0021A

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06N 1/00 - 7/08
G06G 7/60
G06T 1/00 - 1/40
G06T 3/00 - 7/60
G06K 9/00 - 9/82
G06F 15/16
JSTファイル(JOIS)
CSDB(日本国特許庁)
WPI/L(DIALOG)
INSPEC(DIALOG)