



**ÚŘAD PRO VYNÁLEZY
A OBJEVY**

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita

(22) Přihlášeno 12 03 80

(21) PV 1694-80

(40) Zveřejněno 28 11 80

(45) Vydáno 31 06 82

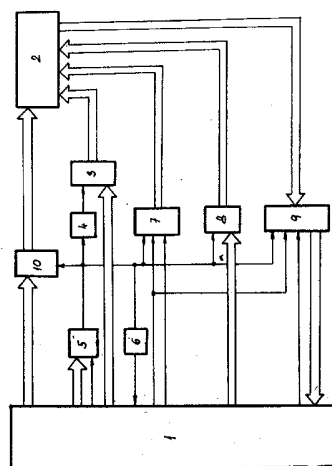
(11)

(51) Int. Cl.³ G 06 F 15/46

(75)
Autor vynálezu BERAN VOJTECH ing., MAREŠ JOSEF ing., PETRŽILKA JAN ing. a
ŠTASTNÝ OTAKAR ing., PRAHA

(54) Zapojení paměti dat mikroprocesorového řídicího systému pro obráběcí stroje

Zapojení paměti dat mikroprocesorového řídicího systému pro obráběcí stroje. Vynález řeší brazení řídicích signálů na vstupech paměti dat hradicím signálem paměti dat, takže uvnitř paměti dat nedochází v neadresovaném stavu k signálovým změnám a odběr ze zdroje je stálý. První adresový kanál mikroprocesorového řídicího systému je připojen na adresový vstup adresového hradla, jehož výstup je připojen na adresový vstup paměťového obvodu, druhý adresový kanál je připojen na adresový vstup výběrového obvodu paměti dat, jehož hradicí vstup je připojen na výstup platné adresy paměti systému a třetí adresový kanál je připojen na adresový vstup pomocného výběrového obvodu. Na první hradicí vstup zápisového hradla je připojen výstup informace o ztrátě napájení a výstup informace o druhu přenosového cyklu je spojen jak se signálovým vstupem zápisového hradla tak s prvním hradicím vstupem vstupního datového hradla. Vynálezu lze použít u obráběcích strojů.



[Handwritten signature]

Vynález se týká zapojení paměti dat mikroprocesorového řídicího systému pro obráběcí stroje.

Dosavadní mikroprocesorové řídicí systémy používají často pro řízení přenosu dat po datové sběrnici tyto hlavní řídicí signály: zápis do paměti, čtení z paměti, zápis do periferie, čtení z periferie.

Uvedený soubor řídicích signálů je nevýhodný pro pomalejší paměti, které vyžadují zpomalení funkce mikroprocesoru prostřednictvím signálu vyslaného adresovanou pamětí, neboť pro vyslání tohoto signálu jsou uvedené řídicí signály k dispozici příliš pozdě. Rovněž nejsou vhodné pro paměťové obvody, u nichž je nutné zapsat adresu hranou řídicího signálu.

Uvedené nevýhody odstraňuje zapojení paměti dat mikroprocesorového řídicího systému pro obráběcí stroje podle vynálezu tím, že využívá řídicích signálů platné adresy paměti, platnosti dat a druhu přenosového cyklu. Význačnou vlastností uvedeného zapojení je dále důsledné hrazení všech řídicích signálů na vstupech paměti dat hradicím signálem paměti dat, takže uvnitř paměti dat nedochází v nenaadresovaném stavu k signálovým změnám a odběr ze zdroje je stálý. Snižuje se tím možnost výskytu rušivých signálů vlivem vzájemných nežádoucích signálových vazeb.

Podstatou zapojení podle vynálezu je, že první adresový kanál mikroprocesorového řídicího systému je připojen na adresový vstup adresového hradla, jehož výstup je připojen na adresový vstup paměťového obvodu, druhý adresový kanál je připojen na adresový vstup výběrového obvodu paměti dat, na jehož hradicí vstup je připojen výstup platné adresy paměti mikroprocesorového řídicího systému a třetí adresový kanál je připojen na adresový vstup pomocného výběrového obvodu. Na první hradicí vstup zápisového hradla je připojen výstup informace o ztrátě napájení mikroprocesorového řídicího systému, přičemž výstup informace o druhu přenosového cyklu mikroprocesorového řídicího systému je spojen jak se signálovým vstupem zápisového hradla tak i s prvním hradicím vstupem vstupního datového hradla. Výstupní kanál mikroprocesorového řídicího systému je připojen na datový vstup výstupního datového hradla, výstup informace o platnosti dat mikroprocesorového řídicího systému je spojen s druhým hradicím vstupem vstupního datového hradla, jehož datový výstupní kanál je spojen s datovým vstupem mikroprocesorového řídicího systému. Výstup výběrového obvodu je spojen s hradicím vstupem adresového hradla, dále se vstupem zpožďovacího obvodu, s druhým hradicím vstupem zápisového hradla, s hradicím vstupem výstupního datového hradla, se třetím hradicím vstupem vstupního datového hradla a se vstupem zdroje časového impulsu, jehož výstup je spojen s blokovacím vstupem mikroprocesorového řídicího systému. Výstup adresového hradla je spojen adresovým kanálem s adresovým vstupem paměťového obvodu, výstup zpožďovacího obvodu je spojen s hradicím vstupem pomocného výběrového obvodu paměťového podbloku, jehož výstupní výběrový kanál je spojen s výběrovým vstupem paměťového obvodu a výstupní zápisový kanál zápisového hradla je spojen se zápisovým vstupem paměťového obvodu. Výstupní datový kanál datového hradla je spojen s datovým vstupem paměťového obvodu, jehož výstupní datový kanál je spojen s datovým vstupem vstupního datového hradla.

Příklad zapojení podle vynálezu je znázorněn na připojeném výkresu představujícím blokové schéma zapojení paměti dat mikroprocesorového řídicího systému pro obráběcí stroje.

První adresový kanál mikroprocesorového řídicího systému 1 je připojen na adresový vstup adresového hradla 10, jehož výstup je připojen na adresový vstup paměťového obvodu 2, druhý adresový kanál je připojen na adresový vstup výběrového obvodu 5 paměti dat, na jehož hradicí vstup je připojen výstup platné adresy paměti mikroprocesorového řídicího systému 1 a třetí adresový kanál je připojen na adresový vstup pomocného výběrového obvodu 3. Na první hradicí vstup zápisového hradla 7 je připojen výstup informace o ztrátě napájení mikroprocesorového řídicího systému 1, přičemž výstup informace o druhu přenosového cyklu mikroprocesorového řídicího systému 1 je spojen jak se signálovým

vstupem zápisového hradla 7 tak i s prvním hradicím vstupem vstupního datového hradla 9. Výstupní kanál mikroprocesorového řidičského systému 1 je připojen na datový vstup výstupního datového hradla 8, výstup informace o platnosti dat mikroprocesorového řidičského systému 1 je spojen s druhým hradicím vstupem vstupního datového hradla 9, jehož datový výstupní kanál je spojen s datovým vstupem mikroprocesorového řidičského systému 1. Výstup výběrového obvodu 5 je spojen s hradicím vstupem adresového hradla 10, dále se vstupem zpožďovacího obvodu 4, s druhým hradicím vstupem zápisového hradla 7, s hradicím vstupem výstupního datového hradla 8, se třetím hradicím vstupem vstupního datového hradla 9 a se vstupem zdroje 6 časového impulsu, jehož výstup je spojen s blokovacím vstupem mikroprocesorového řidičského systému 1. Výstup adresového hradla 10 je spojen adresovým kanálem s adresovým vstupem paměťového obvodu 2, výstup zpožďovacího obvodu 4 je spojen s hradicím vstupem pomocného výběrového obvodu 3 paměťového podbloku, jehož výstupní výběrový kanál je spojen s výběrovým vstupem paměťového obvodu 2 a výstupní zápisový kanál zápisového hradla 7 je spojen se zápisovým vstupem paměťového obvodu 2. Výstupní datový kanál datového hradla 8 je spojen s datovým vstupem paměťového obvodu 2, jehož výstupní datový kanál je spojen s datovým vstupem vstupního datového hradla 9.

Zapojení bloku paměti dat mikroprocesorového řidičského systému pro obráběcí stroje funguje takto:

Není-li paměťový obvod 2 adresován, jsou všechny signály na vstupu paměťového obvodu 2 v neaktivním stavu. Přísluší-li část adresy vysílaná na druhém adresovém kanálu mikroprocesorového řidičského systému 1 paměťovému obvodu 2, objeví se při výskytu signálu platné adresy paměti mikroprocesorového řidičského systému 1 přivedeného na hradicím vstup výběrového obvodu 5 na výstupu tohoto obvodu hradicím signál paměti dat. Tím se odhradí všechny vstupní i výstupní signály paměťového obvodu 2. Částí adresy vysílané po prvním a třetím adresovém kanálu mikroprocesorového řidičského systému 1 je v paměťovém obvodu 2 naadresována jedna paměťová buňka. Ke spuštění vnitřních adresových dekodérů paměťového obvodu 2 dojde po skončení přípravné doby určené zpožďovacím obvodem 3, kdy přejdou do aktivního stavu signály výstupního výběrového kanálu pomocného výběrového obvodu 3. Hradicím signálem paměti dat se také uvolní zápisové hradlo 7, které nastavuje vnitřní hradla paměťového obvodu 2 na zápis nebo čtení, a to v závislosti na stavu výstupu informace o druhu přenosového cyklu mikroprocesorového řidičského systému 1. Stav tohoto výstupu určí rovněž, zda se datové výstupy paměťového obvodu 2 dostanou přes vstupní datové hradlo 9 na datový vstup mikroprocesorového řidičského systému 1 či nikoliv. Časovou dobu platnosti dat určuje signál na výstupu informace o platnosti dat mikroprocesorového řidičského systému 1. Při zápisovém cyklu jsou zapisovaná data do paměťového obvodu 2 přivedena na datový vstup paměťového obvodu 2 po uvolnění výstupního hradla 8 hradicím signálem paměti dat z výběrového obvodu 5.

Dojde-li ke ztrátě hlavního napájení, je zablokováno zápisové hradlo 7 signálem na výstupu informace o ztrátě napájení mikroprocesorového systému 1, takže je zabráněno případnému nesprávnému zápisu a paměť dat může přejít do záskokového režimu, v němž se uchovávají zapsaná data.

Při pomalejších pamětech v paměťovém obvodu 2 dojde při jeho adresaci a tím vzniku hradicím signálu paměti dat na výstupu výběrového obvodu 5 ke spuštění zdroje 6 časového impulsu, který svým výstupním signálem zablokuje na určitou dobu činnost mikroprocesorového řidičského systému 1.

K mikroprocesorovému řidičskému systému 1 může být paralelně zapojeno i více pamětí dat podle vynálezu.

Vynálezu lze s výhodou použít u mikroprocesorových řidičských systémů určených pro řízení pohybových i pomocných funkcí obráběcího stroje.

PŘEDMĚT VYNÁLEZU

Zapojení paměti dat mikroprocesorového řídicího systému pro obráběcí stroje, vyznačené tím, že první adresový kanál mikroprocesorového řídicího systému (1) je připojen na adresový vstup adresového hradla (10), jehož výstup je připojen na adresový vstup paměťového obvodu (2), druhý adresový kanál je připojen na adresový vstup výběrového obvodu (5) paměti dat, na jehož hradicím vstup je připojen výstup platné adresy paměti mikroprocesorového řídicího systému (1), třetí adresový kanál je připojen na adresový vstup pomocného výběrového obvodu (3), na první hradicím vstup zápisového hradla (7) je připojen výstup informace o ztrátě napájení mikroprocesorového řídicího systému (1), přičemž výstup informace o druhu přenosového cyklu mikroprocesorového řídicího systému (1) je spojen jak se signálovým vstupem zápisového hradla (7) tak s prvním hradicím vstupem vstupního datového hradla (9), výstupní kanál mikroprocesorového řídicího systému (1) je připojen na datový vstup výstupního datového hradla (8), výstup informace o platnosti dat mikroprocesorového řídicího systému (1) je spojen s druhým hradicím vstupem vstupního datového hradla (9), jehož datový výstupní kanál je spojen s datovým vstupem mikroprocesorového řídicího systému (1), přičemž výstup výběrového obvodu (5) je spojen s hradicím vstupem adresového hradla (10), se vstupem zpožďovacího obvodu (4), s druhým hradicím vstupem zápisového hradla (7), s hradicím vstupem výstupního datového hradla (8), se třetím hradicím vstupem vstupního datového hradla (9) a se vstupem zdroje (6) časového impulsu, jehož výstup je spojen s blokovacím vstupem mikroprocesorového řídicího systému (1), výstup adresového hradla (10) je spojen adresovým kanálem s adresovým vstupem paměťového obvodu (2), výstup zpožďovacího obvodu (4) je spojen s hradicím vstupem pomocného výběrového obvodu (3) paměťového podbloku, jehož výstupní výběrový kanál je spojen s výběrovým vstupem paměťového obvodu (2), výstupní zápisový kanál zápisového hradla (7) je spojen se zápisovým vstupem paměťového obvodu (2), výstupní datový kanál výstupního datového hradla (8) je spojen s datovým vstupem paměťového obvodu (2), jehož výstupní datový kanál je spojen s datovým vstupem vstupního datového hradla (9).

1 výkres