

申請日期	85.5.18
案 號	85105927
類 別	H01L 2/44

修正頁 16年3月2日

A4
C4

306029

30602

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有重疊場板構造之功率半導體裝置及其製法
	英 文	A Power Semiconductor Device with an Overlapped Field Plate Structure and a Method of Fabricating the Same
二、發明 創作人	姓 名	石京郁
	國 籍	韓國
	住、居所	大韓民國漢城特別市九老區九老5洞23.24番地宇城公寓1棟1311號
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	金光浩

306029

A6

B6

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

本案已向：

韓 國 (地 區) 申請專利，申請日期： 2/29/1996 案號： 96-5356 ， ☐ 有 ☒ 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

(1997年3月修正)

[本發明所屬之技術領域]

本發明係關於功率半導體裝置之製造，具體而言，係關於具有為獲得高崩潰電壓所重疊之場板構造之高電壓功率半導體裝置及其製造方式。

[以往之技術]

如眾所周知，於各式各樣之功率半導體裝置中，具有開關功能之功率半導體裝置若欲獲致優越開關特性，則於接通(switch-on)時電力消耗亦必須小，且開關速度(switching speed)亦必須迅速，而且，斷路(switch-off)時亦必須擁有大的電壓。特別是於斷路時須具有大的內壓，亦即須具有高的崩潰(break down)電壓。

最近，具有此種性能之功率半導體裝置有絕緣柵場效應電晶體(IGBT, insulated gate bipolar transistor)或Si半導體閘流管(thyristor)受到注目。

習知之IGBT元件具有如圖所示之構造。圖1中，在設置有陽極(11:集極)之高濃度 p^+ 型之半導體基板(12)上設置有高濃度 n^+ 型之緩衝層(13)，此 n^+ 型緩衝層(13)上面，則設有低濃度之 n^- 型半導體裝置(14)。又於該 n^- 型半導體層(14)之表面設有藉熱擴散而成之 p 型主接合區域(15)，此 p 型之雜質區域(15)之表面區域則藉熱擴散法形成有高濃度之 n^+ 型雜質區域(16)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

五、發明說明(2)

(1997年3月修正)

在上述p型雜質區域(15)及n⁺型雜質區域(16)之上面形成有陰極(17:射極)。且在上述n⁻型半導體層(14)上面以閘絕緣膜(18)為媒介而形成有閘電極(19)。

圖2係顯示通常的Si半導體開關元件之構造。如圖2所示，與上述IGBT同樣地，在設有陽極(21:漏極)之高濃度p⁺型半導體基體(22)上面形成有高濃度n⁺型緩衝層(23)及低濃度n⁻型半導體層(24)。

而且，在該n⁻型半導體層(24)之表面區域則藉熱擴散法形成有高濃度p⁺型之雜質區域(25:作為閘極之部分)及高濃度n⁺型雜質區域(26)。該n⁺型雜質區域(26)上面形成有陰極(27:源極)，該p⁺型雜質區域(25)之上面則形成有絕緣膜(28)。

上述功率半導體裝置等係可藉由閘控制來切斷流動於元件之主電流之元件。又此種功率半導體裝置之特別優越之點，是在於因高電阻之n⁺型半導體層(14,24)會自p⁺型半導體基板(12,22)經由n⁺型緩衝層(13,23)引起傳導度調變，所以，可提高電流密度。因此，與雙極性電晶體相較，可進行高速開關(switching)，且接通電阻(on-resistance)低。

[欲解決之問題]

如眾所周知，此種以往之IGBT或Si半導體開關元件，其雜質區域(15,25)之接合(junction)並無均勻的電場分佈(electric field distribution)。

五、發明說明 (3)

換言之，於該雜質區域之接合中，在邊緣部分(edge portion)或具有大曲率(curvature)部分之電場分佈異於平面部分(parallel-portion)。亦即，電場將集中於邊緣部分或曲率大的部分，故會在這些部分更迅速地崩潰。

如此，接合端(junction edge)部分之更高電場將在其邊緣部分誘導更多衝擊離子化(impact ionization)。結果，雜質區域之接合崩潰，將在平面部分比邊緣部分更迅速地發生。

是以，如上述之這些功率半導體裝置，其崩潰電壓將因於其雜質區域之邊緣部(圓端部分)所發生之高電場而有嚴重地劣化之問題。

為增加此種崩潰電壓，曾有人開發出各種構造。其中有兩種可利用簡單製造工程來製造之構造已為眾所周知。

其一為如圖3所示，係一種具有浮動場環(floating field ring:48)之功率半導體裝置，該浮動場環雖被隔離於形成在p型半導體層(44)上面之主接合(main junction:46)區域外，但乃係由形成在近旁之擴散區域所形成者。另一則為如圖4所示，係一種形成在n型半導體層(54)上面所形成之雜質區域上之電極具有場板(58)構造。該場板(58)不但覆蓋著p⁺型雜質區域(56)之一部分亦覆蓋著p-n接合部之端部分。

再參考圖3，施加電壓時，耗盡層(45)就藉上述浮動場環(48)而延伸至位於該主接合部(46)外側之該場環(48)

五、發明說明(4)

外部，所以，能防止電場集中於該主接合部(46)之端部分而提高崩潰電壓。

然而，如眾所周知，具有此種場效構造之功率半導體裝置，其內壓只不過是可自無限平面接合部所獲致內壓之約60~80%而已。此為公知。加上形成該場環時之擴散條件若有所變化的話，亦會造成其絕緣內壓變化之問題。

再參考圖4，施加電壓時，耗盡層(55)將藉該場板(58)被延伸至延伸在該接合部(56)之端部分外側位置之該場板(58)外部，以防止電場集中於該接合部(56)之端部分，提高崩潰電壓。

然已知具有此種構造之功率半導體裝置，只不過是只能獲得由無限平面接合部所能獲致的內壓之約60%。

另一方面，於上述此等功率半導體裝置中具有上述場板構造之功率半導體裝置，有一種是為提高p-n接合部之崩潰電壓而將設在該場板(58)和半導體層(54:包括上述雜質區域之一部分)之間之絕緣層(例如以圖4中59所示之氧化膜)做成厚實之方法，但此種方法不但會降低該場板(58)之使用效果，電場將集中於接合曲率大的部分(圖4之“A”部分)，而使崩潰發生於該“A”部分。

若索性將該絕緣層(59)做薄，崩潰則將發生在場板(58)之終端部分(圖4中“B”部分)。

又於上述這些功率半導體裝置中，為提高在p-n接合部之崩潰電壓之方法有一種是將半導體層(44,54)做成更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

厚實之方法。然此種方法，其半導體層越厚卻會造成降低接通特性和開關特性之問題。

因此，本發明之目的在於解決上述諸項問題點，而提供一種在上面設有主場板之主接合部與用來形成最末尾場板之金屬接觸用之雜質區域之間，使複數浮動場板隔著絕緣膜而局部性地互相重疊，並不必將包括一部分之該主接合部之半導體層上所設之絕緣膜做成厚實，亦具有高崩潰電壓之功率半導體裝置以及其製造方法。

本發明之其他目的在於提供一種使複數浮動場板隔著絕緣膜而局部性地互相重疊，而不必將用來形成主接合區域之半導體層做成更厚實亦具有高崩潰電壓之功率半導體裝置以及其製造方法。

[解決問題之手段]

根據為達成上述目的之本發明之一特徵，功率半導體裝置係具有下列構造：係於具有陽極和陰極，並具有能使主電流流動於該陽極和陰極之間的主接合部，同時具有：於設在位於第1導電型半導體層上面之第2導電型主接合區域上面之主場板，與位於該半導體層上面之第1導電型或第2導電型之金屬接觸用之雜質區域上面所設之最末尾場板(80d)之間，至少使二浮動場板(80b, 80c)隔著絕緣膜而重疊，於施加電壓時，由該場板(80a-80d)與分別夾在這些之間之絕緣膜所形成之複數靜電電容(C1-C3)具有設成串聯之構造。

五、發明說明(6)

於該裝置中，該主場板和該至少二浮動場板係形成為在該主接合區域(72)越接近該金屬接觸用之雜質區域時，由該絕緣膜所重疊之場板則越短。

於此裝置中，該靜電電容(C1-C3)係在該場板(80a)越接近該最末尾場板(80d)則具有越小之電容。

根據本發明之其他特徵，具有陽極和陰極，並具有使主電流能在該陽極和陰極之間流動之接合部之功率半導體裝置，其製造方法包括：形成該陽極並在含有高濃度之第1導電型雜質之陽極層上面形成比陽極層之雜質濃度較低之第1導電型半導體層之工程，在與第1絕緣膜露出之該半導體層上面形成比該第1絕緣膜較薄之第2絕緣膜之工程，在該第1、2絕緣膜上面形成第1導電膜之工程，將該第1導電膜加以圖案形成而形成場板之複數下部層之工程，在進行第1導電膜之圖案形成時所露出之該半導體層高濃度地注入第2導電型雜質而形成雜質區域之工程，接著，在整體表面上形成第3絕緣膜之工程，將該第3絕緣膜加以圖案形成而在該雜質區域上且在該複數下部層之第一層之上面形成接觸孔之工程，一邊填塞該接觸孔一邊在該第3絕緣膜上形成第2導電膜之工程，以及為使和該複數下部層電接觸之第2導電膜互相電隔離而加以圖案形成之工程，而該各場板由於第1導電膜和第2導電膜係設成互相聯結，且各場板係隔著第3絕緣膜而使其一部分互相重疊，所以，該重疊部分之靜電電容能分解施加於該陽極和陰極之電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

依照此種方法，該複數場效係在該雜質區域由該絕緣膜所重疊之場板是越靠近該半導體層越短。

依照本發明之另一特徵，具有陽極和陰極及閘極，並能以該閘極使流動於該陽極和陰極之間之主電流開閉而構成之功率半導體裝置，其製造方法包括：形成該陽極並在含有高濃度之第1導電型雜質之陽極層上面形成含有高濃度之第2導電型雜質之第1半導體層之工程，在該第1半導體層上面形成比此第1半導體層之雜質濃度較低之第2導電型半導體層之工程，在該第2半導體層表面形成由熱擴散法所形成而含有高濃度之第1導電型雜質之第1雜質區域之工程，在該第1雜質區域表面形成由熱擴散法所形成而含有高濃度之第2導電型雜質之第2雜質區域之工程，以及隔著由設在該第1雜質區域和該第2雜質區域之橫表面上之絕緣膜所延伸之複數絕緣膜，且分別至少使其一部分重疊而設之複數場板形成工程，因此，當電壓施加於該陽極和陰極時，該複數場板和分別設在這些之間之複數絕緣膜就具有複數之靜電電容而分配電壓。

於此方法中，該複數場板係形成為在該雜質區域越接近該半導體層側時，由該絕緣膜所重疊之場板則越短。

依照如上述之功率半導體裝置，藉由將構成陰極之複數場板隔著絕緣膜而予以重疊即可獲致不僅能防止電場集中於接合部之曲率部分且亦能提高其絕緣內壓之構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

[發明之實施形態]

以下依據所附圖面之圖5至圖8詳細說明本發明之實施例。

參考圖5(A)和圖5(B)，本發明所創新之功率半導體裝置雖具有重疊之場板構造，但此重疊之場板構造係具有：在第1導電型半導體層(64)上面所設之第2導電型之主接合區域(72)與直接形成在金屬接觸用之雜質區域上面之場板(80a, 80d)之間，至少使二場板(80b, 80c)隔著絕緣膜而重疊，因此，在該場板(80a~80d)和分別夾設在這些之間之絕緣膜所形成之複數靜電電容具有設成串聯之構造。

換言之，在該主接合區域(72)表面和由此表面隔離之該半導體層(64)表面之間，由複數場板(80a, 80b, 80c, 80d)和複數絕緣膜(74a, 74b, 74c)所形成之複數靜電電容(C1, C2, C3)是配置成串聯。

於具有此種重疊場板構造之功率半導體裝置中，當電壓施加於陽極和陰極時，由該複數場板(80a, 80b, 80c)和分別設在這些之間之該複數絕緣膜(74a, 74b, 74c)所形成複數靜電電容(C1, C2, C3)係排列成串聯，因此，所施加之電壓將被分配，可提高崩潰電壓。

再參考圖5(A)，依照本發明實施例之功率半導體裝置，係具有：設置有陽極(60)，而在含有高濃度之第1導電型雜質之陽極層或緩衝層(62)上面含有低濃度第1導電型雜質之半導體(64)上面，形成有含有高濃度之第2導電

五、發明說明(9)

型雜質之主接合區域(72)，並在此主接合區域(72)之一表面上和該半導體層(64)之表面上形成有絕緣膜(66)，且形成有分別夾在複數場板(80a,80b,80c)之間之該絕緣膜(66)和所延伸之複數絕緣膜(74a,74b,74c)，以及分別使該複數場板(80a,80b,80c)之一部分重疊之構造。

依照如上述所重疊而成之場板構造，如圖5(B)所示，當電壓施加於陽極和陰極時，該複數場板(80a,80b,80c)和分別形成在這些之間之該複數絕緣膜(74a,74b,74c)將構成連接成串聯之複數靜電電容(C1,C2,C3)。

因此，所施加之電壓將藉由此複數靜電電容(C1,C2,C3)所分配，可提高其崩潰電壓，藉以提高該裝置之絕緣內壓。

圖6(A)至圖6(H)係表示依照本發明之一實施例之功率半導體裝置製造方法之斷面圖，其中具有和圖5(A)及圖5(B)所示之各構成元件相同功能之構成元件則標註相同符號。

參考圖6(A)，形成有陽極而於高濃度且厚度薄的 n^+ 型陽極層或於緩衝層(62)上面以外延生長形成摻雜磷(p)之低濃度 n^- 型半導體(64)之後，在該半導體層(64)上面形成具有預定厚度之氧化膜。接著，將位於該 n^- 型半導體層(64)上面之該氧化膜加以圖案形成(patterning)以形成氧化膜圖案(66)。

五、發明說明 (10)

於圖 6(B)，經形成該氧化膜(66)後，實施氧化工程以在該半導體層(64)之露出表面上形成薄的氧化膜(68)，並在該氧化膜(66,68)上面蒸鍍金屬導電膜或具有導電性之複晶矽膜(70)。為說明方便，以下將稱之為複晶矽膜。

其次，藉雜質區域形成用光罩去除該複晶矽膜(70)和氧化膜(68)，於是將要形成雜質區域之部分就被開放，使複晶矽膜(70)分離成四下部複晶矽部分(70a,70b,70c,70d)，如圖 6(C)所示。

接著，如圖 6(D)所示，實施 p^+ 形雜質之離子注入及熱擴散工程以在該被開放之區域形成 p^+ 形主接合區域(72)。

又在該 p^+ 形主接合區域(72)上面連同導電性複晶矽部分(70a~70d)和被露出之氧化膜(66)表面，塗上作為絕緣膜之 PSG 膜(74)，如圖 6(E)所示。

接著，如圖 6(F)所示，將該 PSG 膜(74)加以圖案形成，以在該 p^+ 形主接合區域(72)以及該複晶矽部分(74a~74d)上形成複數開口部。藉這些開口部可將該 PSG 膜區分為 PSG 部分(74a,74b,74c)。

最後，將金屬膜一邊填充這些開口部，一邊形成於該基板上後，以光刻法將該金屬膜加以圖案形成，即可形成經由開口部與該複晶矽部分(70a~70d)成電連接且藉由該 PSG 部分(74a,74b,74c)互相成電絕緣之金屬膜(76a,76b,76c,76d)。

五、發明說明 (11)

於是，該複晶矽及金屬部分(70a,70b)就構成當做陰極使用之場板(80a)，複晶矽及金屬部分(70a,70b)就構成第1浮動場板(80b)，複晶矽及金屬部分(70c,76c)就構成第2浮動場板(80c)，而複晶矽及金屬部分(70d,76d)就構成其他場板(80d)。

上述場板(80a~80d)中場板(80a)，由於和屬於動作區域之該 p^+ 形主接合區域(72)成電連接，故可當做陰極使用。

又該場板(80a)與第1浮動場板(80b)之水平地所重疊之部分為約 $72\mu m$ ，第1浮動場板(80b)與第2浮動場板(80c)之重疊部分為約 $32\mu m$ ，第2浮動場板(80c)與其他場板(80d)之重疊部分為約 $16\mu m$ 。

如上述所重疊之部分之長度係越自該 p^+ 型主接合區域(72)離開則每次越小約 $1/2$ 。

本實施例係就形成有二浮動場板(80b,80c)之構造和製造此種構造之方法加以說明，但本發明並非限定於此種構造，只要浮動場板形成有兩個以上即能獲致本發明之功能。

換言之，於具有上述重疊場板構造之功率半導體裝置中，由於電壓施加於陰極和陰極時由該複數場板(80a,80b,80c,80d)與分別形成在這些之間之該複數絕緣膜(74a,74b,74c)所形成之複數靜電電容($C1, C2, C3$)係排列成串聯，所以，不僅能分配所施加之電壓，也能提高其絕緣內壓。

五、發明說明 (12)

(1997年3月修正)

對於該功率半導體裝置施加電源電壓時，將依該主接合區域之深度($5\mu\text{m}$, $3\mu\text{m}$)以及該氧化膜(66)和半導體層(64)之界面電荷變化而產生電壓降低。此種情形顯示於下表。此表係由上述條件下之模擬所得。

	$5\mu\text{m}$	$3\mu\text{m}$
$1 \times 10^{11}/\text{cm}^2$	550 V	531 V
$2 \times 10^{11}/\text{cm}^2$	549 V	529 V
$4 \times 10^{11}/\text{cm}^2$	545 V	525 V

由該表可知，電壓不會大大地降低。

又如圖7及圖8所示，對於本發明之功率半導體裝置施加電壓時，該重疊場板則在該主接合區域(72)越靠近該金屬接觸用雜質區域側，該絕緣膜(66)和該半導體層(64)之界面電位越高，並且其界面電場係藉由各浮動場板和絕緣膜所形成為連接成串聯之靜電電容來使其各峰值之高度調節成略呈相同。

[發明之效果]

依照如上述方法所製造而具有重疊場板之功率半導體裝置，因構成陰極之複數場板係藉由絕緣膜互相使一定之部分重疊而成，因此，絕緣膜則與這些場板構成一連接成串聯之複數靜電電容。

五、發明說明 (13)

藉由此種構造，電壓施加於陽極和陰極時，所施加之電壓將由該複數靜電電容所分配而提高崩潰電壓。因此，可提高功率半導體裝置之絕緣內壓。

[圖面之簡單說明]

圖1為表示以往之功率半導體裝置之構造斷面圖。

圖2為表示以往之其他功率半導體裝置之構造斷面圖。

圖3為表示以往之具有浮動場板構造之功率半導體裝置之構造概略斷面圖。

圖4為表示以往之具有浮動場板構造之功率半導體裝置之構造概略斷面圖。

圖5(A)為表示具有依照本發明實施例之重疊浮動場板構造之功率半導體裝置之構造斷面圖。

圖5(B)為圖5(A)之功率半導體裝置之浮動場板構造等效電路圖。

圖6(A)至圖6(G)為表示依照本發明實施例之製造方法，而係表示製造圖6所示之功率半導體裝置之製程步驟之斷面圖。

圖7為對於圖5(A)之功率半導體裝置施加約550伏特之電源電壓時，表示依距離不同所造成之矽與氧化膜之界面電位之變化曲線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

圖 8 爲對於圖 5 (A) 之功率半導體裝置施加約 550 伏特之電源電壓時，表示依距離不同所造成之矽與氧化膜之界電電場之變化曲線。

[符號之說明]

60	陽極
62	n^+ 型之緩衝層
64	n^- 型之半導體層
66	氧化膜
72	p^+ 型之主接合區域
74 a, 74 b, 74 c	絕緣膜
80 a, 80 b, 80 c	場板 (陰極)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

具有重疊場板之功率半導體裝置
及其製法

本發明係關於具有為獲得高崩潰電壓所重疊之場板構造之高電壓功率半導體裝置及其製造方法。

其係具有如下列之構造：具有陽極和陰極，並具有使主電流在該陽極和陰極之間流動之主接合部，又在位於第1導電型半導體層(64)上面之第2導電型主接合區域(72)上面所形成之主場板(80a)，與在位於該半導體層(64)上面之第1導電型或第2導電型之金屬接觸用之雜質區域上面所形成之最末尾場板(80d)之間，至少一浮動場板(80b, 80c)係隔著絕緣膜而重疊，而施加電壓時由該場板(80a~80d)與分別夾設在這些之間之絕緣膜所形成之複數靜電電容(C1~C3)具有設成串聯之構造。因此，如依照上述構造，則於高電壓施加於陽極和陰極之間時，將此加以適當地分配就能使半導體之邊緣崩潰電壓提高到接近無限平面崩潰電壓。

英文發明摘要(發明之名稱：

六、申請專利範圍

1. 一種功率半導體裝置，係具有陽極和陰極，並具有使主電流在該陽極和陰極之間流動之主接合部，其特徵為：

在位於第1導電型半導體層(64)上面之第2導電型主接合區域(72)上面所形成之主場板(80a)，與在位於該半導體層(64)上面之第1導電型或第2導電型之金屬接觸用之雜質區域上面所形成之最末尾場板(80d)之間，至少一浮動場板(80b, 80c)係隔著絕緣膜而重疊，而施加電壓時由該場板(80a~80d)與分別夾設其間之絕緣膜所形成之複數靜電電容(C1~C3)具有設成串聯之構造。

2. 一種功率半導體裝置之製造方法，該裝置具有陽極和陰極，並具有使主電流在該陽極和陰極之間流動之接合部，其特徵為包括：

形成該陽極，而在含有高濃度之第1導電型雜質之陽極層上面形成比該陽極層之雜質濃度較低之第1導電型半導體層之工程；

在該第1導電型半導體層上面形成經由圖案形成之第1絕緣膜之工程；

在該半導體層上面形成比該第1絕緣膜較薄之第2絕緣膜之工程；

在該第1、2絕緣膜上面形成1導電膜之工程；

將該第1導電膜加以圖案形成以形成場板之複數下部層之工程；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

在圖案形成該第1導電膜時所露出之該半導體層，高濃度地注入第2導電型雜質而形成雜質區域之工程；

接著在整體表面上形成第3絕緣膜之工程；

將該第3絕緣膜加以圖案形成而在該雜質區域上面，且在該複數之下部層之一層上形成接觸孔之工程；

一邊填塞該接觸孔一邊在該第3絕緣膜上面形成第2導電膜之工程；以及

為使與該複數下部層電接觸之第2導電膜互相隔離而加以圖案形成之工程；而

該複數場板係分別至少使其一部分重疊，故電壓施加於該陽極和陰極時，該複數場板和分別設在這些之間之第3絕緣膜即將具有複數靜電電容而分配電壓。

3. 一種功率半導體裝置之製造方法，該裝置具有陽極和陰極及閘極，而使流動於該陽極和陰極之主電流能以該閘極開閉，其特徵為包括：

形成該陽極，而在高濃度地含有第1導電型雜質之陽極層上面形成將第2導電型雜質含有高濃度之第1半導體層之工程；

在該第1半導體層上面形成濃度比該第1半導體層之雜質濃度較低之第2導電型之第2半導體層之工程；

在該第2半導體層表面形成以離子注入法及熱擴散法所形成且高濃度地含有第1導電型雜質之第1雜質區域之工程；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

在該第1雜質區域表面形成以離子注入法所形成且高濃度地含有第2導電型雜質之第2雜質區域之工程；以及隔著由形成在該第1雜質區域和該第2雜質區域之橫表面上之絕緣膜所延伸之複數絕緣膜，而形成分別至少使其一部分重疊之複數場板之工程；而

電壓施加於該陽極和陰極時，該複數場板和分別設在這些之間之複數絕緣膜即將具有複數靜電電容而分配電壓。

4. 一種功率半導體裝置之製造方法，該裝置具有陽極和陰極及閘極，而使流動於該陽極和陰極之間之主電流能以該閘極開閉，其特徵為包括：

形成該陽極，而在高濃度地含有第1導電型雜質之陽極層上面形成雜質濃度高的第2導電型之第1半導體層和雜質濃度較低之第2導電型之第2半導體層之工程；

在該第2半導體層表面形成以離子注入法所形成且高濃度地含有第1導電型雜質之第3雜質區域之工程；以及

隔著自形成在該雜質區域和該雜質區域之橫表面上之絕緣膜所延伸之複數絕緣膜，而形成至少使其一部分重疊之場板之工程；而

電壓施加於該陽極和陰極時，該複數場板和分別設在這些之間之複數絕緣膜即將具有複數靜電電容而分配電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖 1

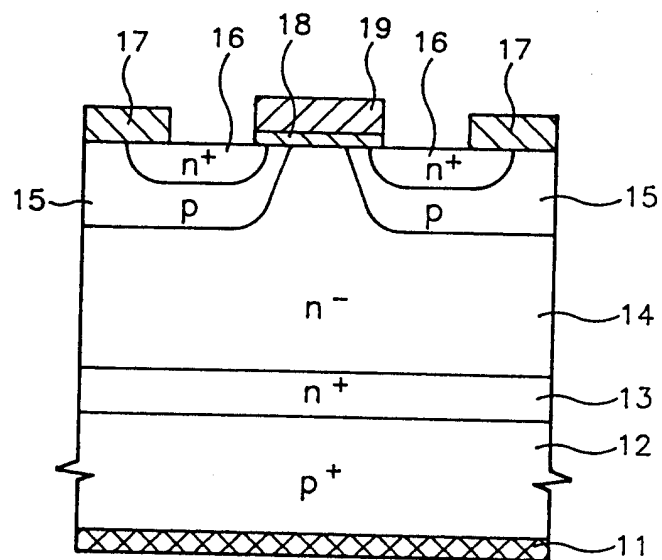


圖 2

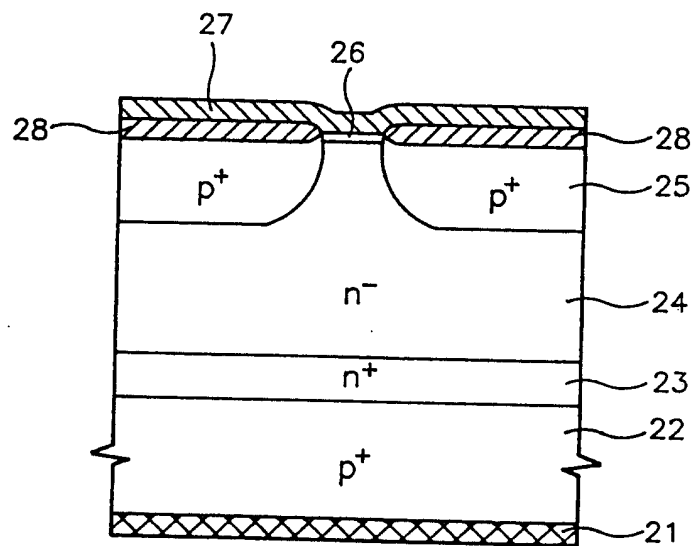


圖 3

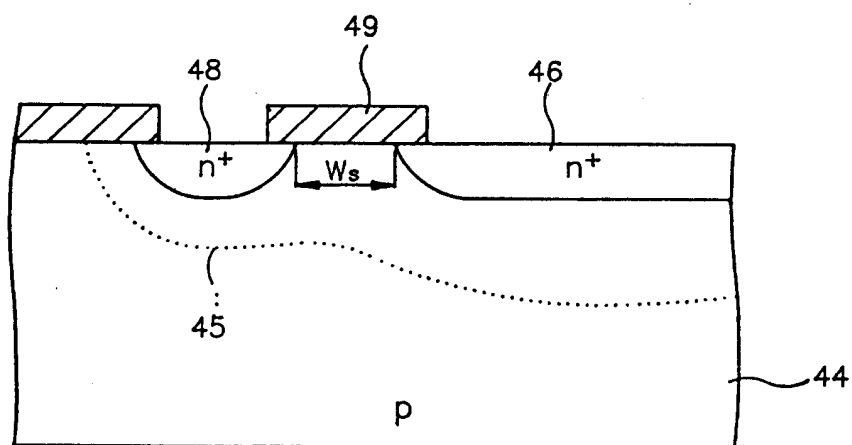


圖 4

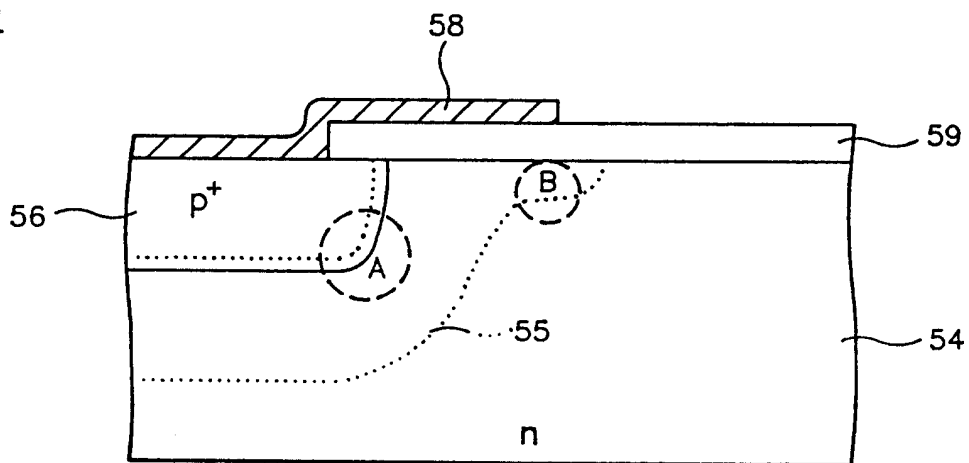


圖 5A

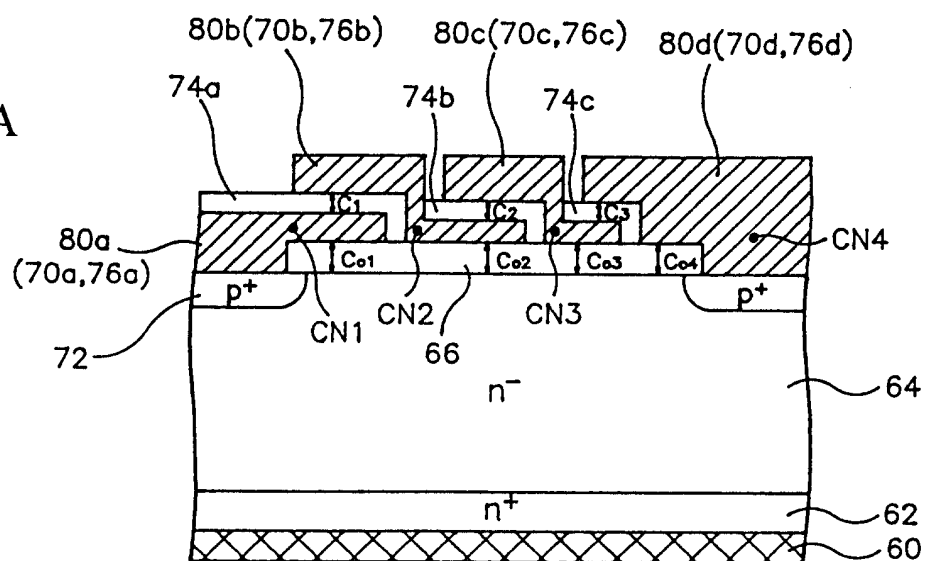


圖 5B

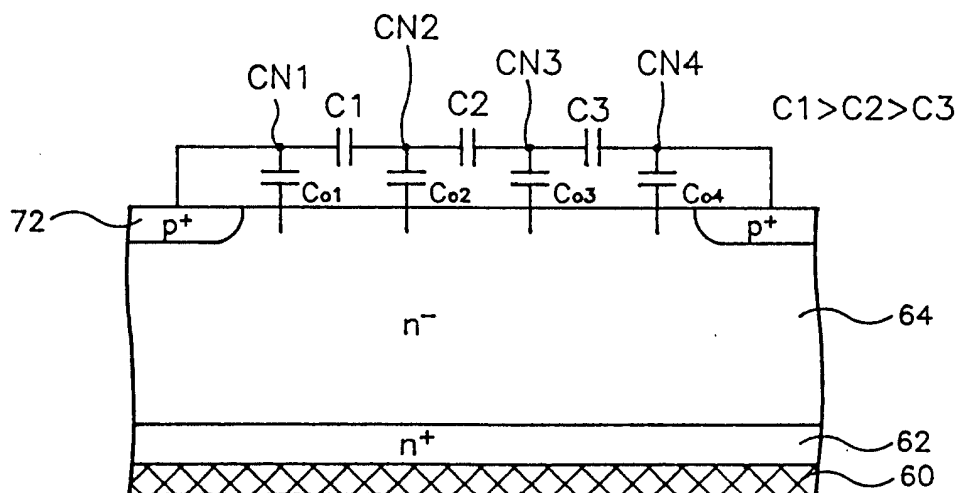


圖 6A

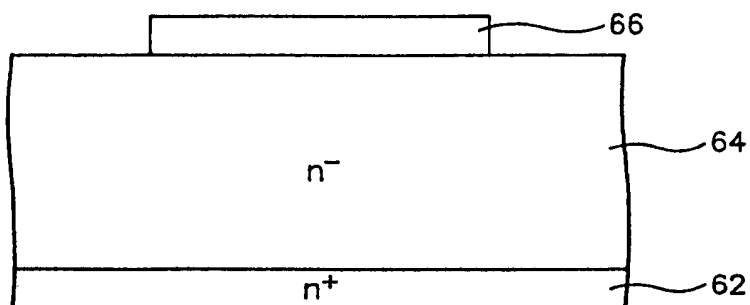


圖 6B

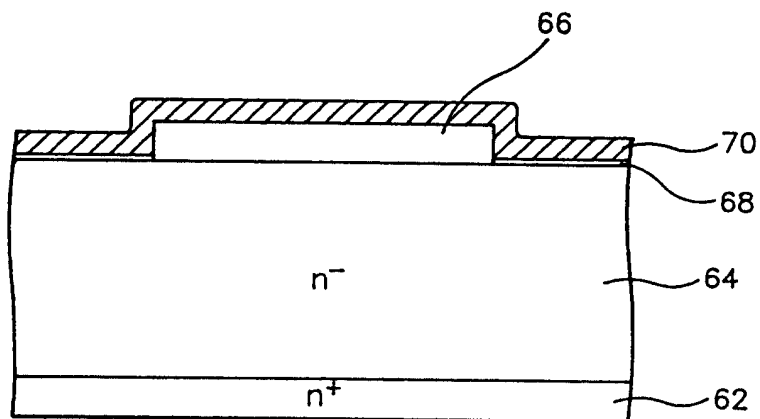


圖 6C

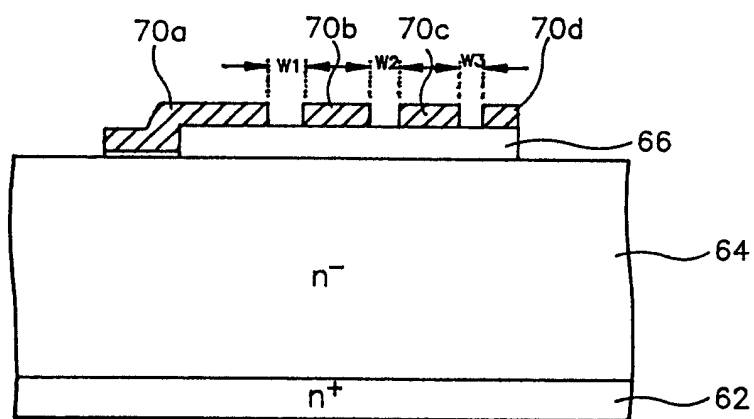


圖 6D

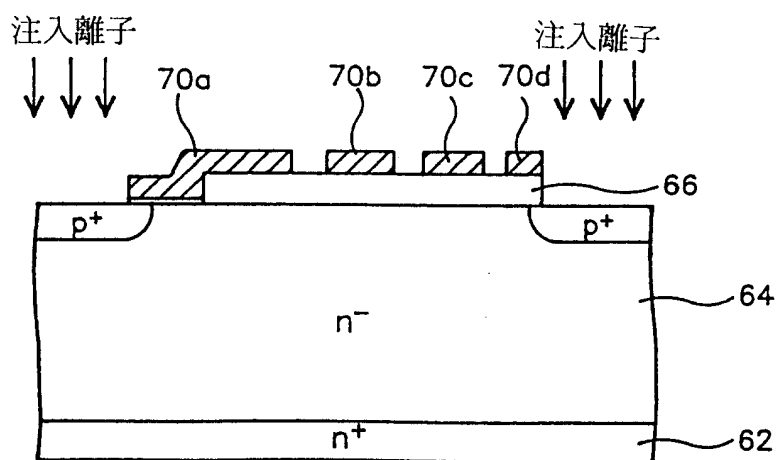


圖 6E

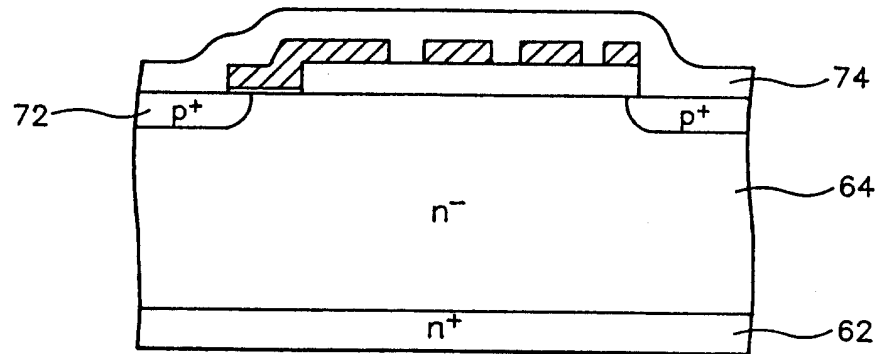


圖 6F

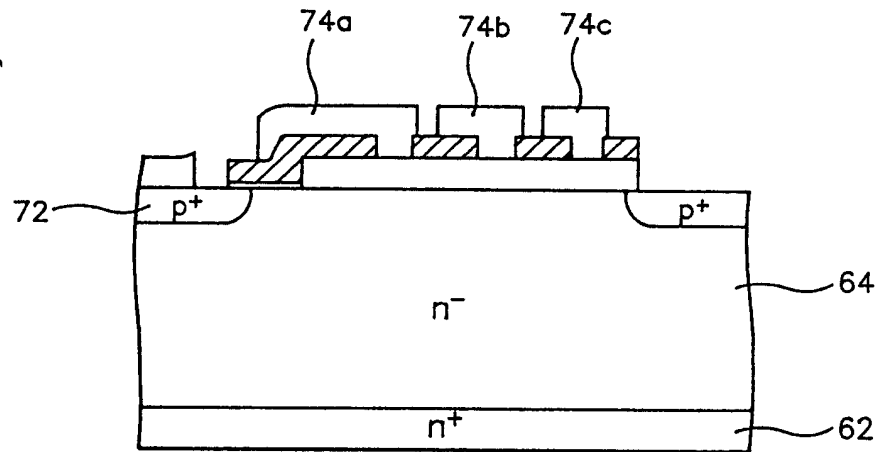


圖 6G

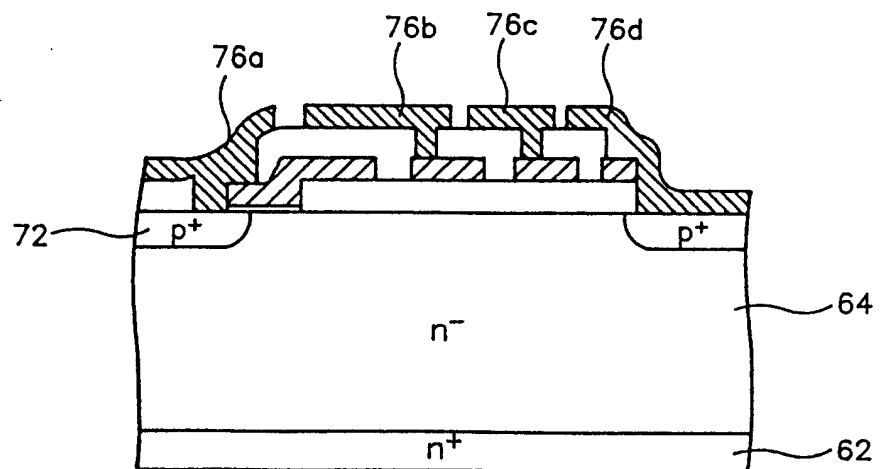


圖 7

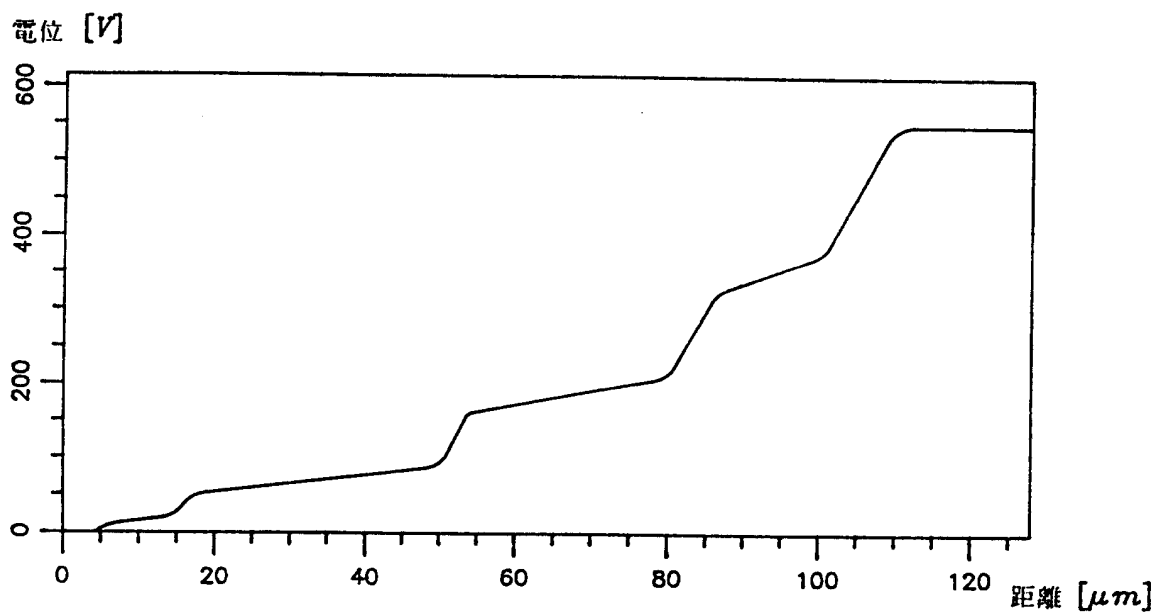


圖 8

電場 [10^6 V/cm]