

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 19 年 4 月 5 日 (2007.4.5)

【公開番号】特開 2005-243059 (P2005-243059A)
 【公開日】平成 17 年 9 月 8 日 (2005.9.8)
 【年通号数】公開・登録公報 2005-035
 【出願番号】特願 2004-47508 (P2004-47508)
 【国際特許分類】

G 1 1 C 11/402 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

【F I】

G 1 1 C 11/34 3 5 2 F

H 0 1 L 27/10 3 2 1

【手続補正書】

【提出日】平成 19 年 2 月 21 日 (2007.2.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート容量に電荷を蓄積する蓄積トランジスタと、前記蓄積トランジスタのゲート電極に接続された書き込みビット線と、前記蓄積トランジスタのドレイン電極に接続された読み取りビット線と、を有するメモリセルと、

前記蓄積トランジスタのソース電極と電源との間に設けられたスイッチング素子と、を有し、且つ

前記スイッチング素子は、前記蓄積トランジスタのソース電極の電位を制御して、待機状態にある時は、前記ソース電極はフローティング状態にあり、そして、読み取り動作状態にある時は、前記ソース電極の電位は電源電位となることを特徴とする半導体集積回路

。

【請求項 2】

前記読み取りビット線と前記蓄積トランジスタのドレイン電極との間に導通を制御する為の選択トランジスタを、更に有することを特徴とする請求項 1 に記載の半導体集積回路

。

【請求項 3】

前記書き込みビット線から前記蓄積トランジスタのゲート電極に、電荷を供給する為の書き込みトランジスタを、更に有することを特徴とする請求項 1 に記載の半導体集積回路

。

【請求項 4】

前記書き込みトランジスタのチャネル領域は、膜厚 5 nm 以下の膜で形成されていることを特徴とする請求項 3 に記載の半導体集積回路。

【請求項 5】

前記書き込みトランジスタのソース/ドレイン経路は、前記蓄積トランジスタのソース/ドレイン経路が形成される方向に垂直な方向に形成されていることを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 6】

前記スイッチング素子を共通に設けられた第2のメモリセルを、更に有することを特徴とする請求項1に記載の半導体集積回路。

【請求項7】

ゲート容量に電荷を蓄積する蓄積トランジスタと、前記蓄積トランジスタのゲート電極に接続された書き込みビット線と、前記蓄積トランジスタのドレイン電極に接続された読み取りビット線と、を有するメモリセルと、

前記読み取りビット線と電源との間にスイッチング素子とを有し、且つ

前記スイッチング素子は、読み取りビット線の電位を制御し、待機状態にある時は、前記読み取りビット線はフローティング状態にあり、そして、読み取り動作状態にある時は、読み取りビット線の電位は電源電位となることを特徴とする半導体集積回路。

【請求項8】

前記読み取りビット線と前記蓄積トランジスタのドレイン電極の間に導通を制御する為の選択トランジスタを、更に有することを特徴とする請求項7に記載の半導体集積回路。

【請求項9】

前記書き込みビット線から前記蓄積トランジスタのゲート電極に電荷を供給する為の書き込みトランジスタを、更に有することを特徴とする請求項7に記載の半導体集積回路。

【請求項10】

前記書き込みトランジスタのチャネル領域は、膜厚5nm以下の膜で形成されていることを特徴とする請求項9に記載の半導体集積回路。

【請求項11】

前記書き込みトランジスタのソース/ドレイン経路は、前記蓄積トランジスタのソース/ドレイン経路が形成された方向に垂直な方向に形成されていることを特徴とする請求項10に記載の半導体集積回路。

【請求項12】

前記スイッチング素子を共通に設けられた第2のメモリセルを、更に有することを特徴とする請求項7に記載の半導体集積回路。

【請求項13】

ゲート容量に電荷を蓄積する蓄積トランジスタと、前記蓄積トランジスタのゲート電極に接続された書き込みビット線と、前記蓄積トランジスタのドレイン電極の接続された読み出しビット線と、を有するメモリセルと、

前記蓄積トランジスタのソース電極と電源電位の間に設けられたスイッチング素子と、を有し、

待機状態においては、前記蓄積トランジスタのソース電極の電位と前記読み取りビット線の電位とが、前記蓄積トランジスタのソース電位と前記読み取りビット線の電位とを制御することによって、同電位となることを特徴とする半導体集積回路。

【請求項14】

前記読み取りビット線と前記蓄積トランジスタのドレイン電極との間に導通を制御する選択トランジスタを、更に有することを特徴とする請求項13に記載の半導体集積回路。

【請求項15】

前記書き込みビット線から前記蓄積トランジスタのゲート電極に電荷を供給する書き込みトランジスタを、更に有することを特徴とする請求項13に記載の半導体集積回路。

【請求項16】

前記書き込みトランジスタのチャネル領域は、膜厚5nm以下の膜で形成されていることを特徴とする請求項15に記載の半導体集積回路。

【請求項17】

前記書き込みトランジスタのソース/ドレイン経路は、前記蓄積トランジスタのソース/ドレイン経路が形成される方向に垂直な方向に形成されていることを特徴とする請求項16に記載の半導体集積回路。

【請求項18】

前記スイッチング素子を共通に設けられた第2のメモリセルを、更に有することを特徴

とする請求項 7 に記載の半導体集積回路。