

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4884979号
(P4884979)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl.	F I
HO 1 L 21/02 (2006.01)	HO 1 L 21/02 B
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 Q
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 B
	HO 1 L 21/265 Z

請求項の数 28 (全 16 頁)

(21) 出願番号	特願2006-546283 (P2006-546283)	(73) 特許権者	502124444
(86) (22) 出願日	平成16年12月21日(2004.12.21)		コミッサリア ア レネルジー アトミー
(65) 公表番号	特表2007-535133 (P2007-535133A)		ク エ オ ゼネルジ ザルタナティヴ
(43) 公表日	平成19年11月29日(2007.11.29)		フランス国 エフー75015 パリ、
(86) 国際出願番号	PCT/FR2004/050742		パティマン 「 ル ボナン デー 」,
(87) 国際公開番号	W02005/064657		リュ ルブラン 25
(87) 国際公開日	平成17年7月14日(2005.7.14)	(74) 代理人	100064908
審査請求日	平成19年12月14日(2007.12.14)		弁理士 志賀 正武
(31) 優先権主張番号	0351190	(74) 代理人	100089037
(32) 優先日	平成15年12月23日(2003.12.23)		弁理士 渡邊 隆
(33) 優先権主張国	フランス (FR)	(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 オーミックコンタクトを介在させて形成することによって2つのプレートをしールするための方法

(57) 【特許請求の範囲】

【請求項1】

半導体材料から形成された2つのウェハ(2, 12)のための組付プロセスであって、
 一少なくとも第1のウェハ内へと金属種(4)を打ち込む打込ステップと、
 一分子結合によって第1ウェハと第2ウェハとを組み立てる組立ステップと、
 一前記打込金属種と前記2つのウェハをなす半導体材料との合金からなる金属化合物であるとともに前記2つの打込の組立境界のところにおいて前記2つのウェハの間に純粋な抵抗性コンタクトをもたらすような金属化合物をアニールにより形成する形成ステップと、
 、
 を具備していることを特徴とするプロセス。

10

【請求項2】

請求項1記載のプロセスにおいて、
 前記金属化合物の前記形成ステップにおいては、前記金属化合物の形成温度以上の温度でもって熱処理を行うことを特徴とするプロセス。

【請求項3】

請求項1または2記載のプロセスにおいて、
 前記金属種の前記打込を、前記打込ウェハの表面(6)から5nm~20nmという深さ(Rp)で行うことを特徴とするプロセス。

【請求項4】

請求項1~3のいずれか1項に記載のプロセスにおいて、

20

前記金属種の前記打込を、 $10^{14} \sim 5 \times 10^{18}$ 個/cm² という照射量でもって行うことを特徴とするプロセス。

【請求項 5】

請求項 1～4 のいずれか 1 項に記載のプロセスにおいて、
さらに

前記組立ステップの前に、前記第 1 ウェハの表面層の全部または一部をアモルファスからなるものとするためのアモルファス化ステップを具備していることを特徴とするプロセス。

【請求項 6】

請求項 5 記載のプロセスにおいて、

前記アモルファス化ステップにおいては、前記金属種の前記打込の前にあるいは後にあるいは前後に、アモルファス材料層を成膜することを特徴とするプロセス。

【請求項 7】

請求項 5 記載のプロセスにおいて、

前記アモルファス化ステップにおいては、表面からの打込を行うことを特徴とするプロセス。

【請求項 8】

請求項 7 記載のプロセスにおいて、

前記表面からの打込を、水素の打込、あるいは、金属種の打込とすることを特徴とするプロセス。

【請求項 9】

請求項 1～8 のいずれか 1 項に記載のプロセスにおいて、

前記各ウェハを、シリコン、ガリウムヒ素 (GaAs)、SiC (シリコンカーバイド)、InP (インジウムリン)、ゲルマニウム (Ge)、シリコンゲルマニウム (SiGe)、の中から選ばれた材料から形成されたものとすることを特徴とするプロセス。

【請求項 10】

請求項 1～9 のいずれか 1 項に記載のプロセスにおいて、

前記打込種を、ニッケル、および／または、パラジウム、および／または、コバルト、および／または、白金、および／または、タンタル、および／または、タングステン、および／または、チタン、および／または、銅、とすることを特徴とするプロセス。

【請求項 11】

請求項 1～10 のいずれか 1 項に記載のプロセスにおいて、

少なくとも一方のウェハ (12) を、ヘテロ構造のものとすることを特徴とするプロセス。

【請求項 12】

請求項 11 記載のプロセスにおいて、

前記ヘテロ構造のウェハを、SOI タイプのウェハとすることを特徴とするプロセス。

【請求項 13】

請求項 1～12 のいずれか 1 項に記載のプロセスにおいて、

前記組立ステップの後に、あるいは、前記金属化合物の前記形成ステップの後に、少なくとも一方のウェハを薄肉化することを特徴とするプロセス。

【請求項 14】

請求項 1～13 のいずれか 1 項に記載のプロセスにおいて、

少なくとも一方のウェハを、剥離可能な構造のものとすることを特徴とするプロセス。

【請求項 15】

請求項 1～14 のいずれか 1 項に記載のプロセスにおいて、

少なくとも一方のウェハを、脆弱化平面を備えたものとすることを特徴とするプロセス。

【請求項 16】

請求項 15 記載のプロセスにおいて、

10

20

30

40

50

前記組立ステップの後に、あるいは、前記金属化合物の前記形成ステップの後に、前記脆弱化平面を備えた前記ウェハを、前記脆弱化平面に沿った剥離によって薄肉化することを特徴とするプロセス。

【請求項 17】

請求項 1 ～ 16 のいずれか 1 項に記載のプロセスにおいて、
少なくとも一方のウェハを、組立を行う表面上にあるいは組立を行う表面の近傍に、少なくとも 1 つの回路層を備えたものとすることを特徴とするプロセス。

【請求項 18】

請求項 1 ～ 17 のいずれか 1 項に記載のプロセスにおいて、
前記金属種の前記打込ステップにおいては、マスク (30) を使用して打込を行い、これにより、局所的な打込領域 (32, 34) を形成することを特徴とするプロセス。 10

【請求項 19】

請求項 1 ～ 17 のいずれか 1 項に記載のプロセスにおいて、
さらに、
前記金属種の打込を行う前に前記第 1 ウェハ上に絶縁層 (20) を形成するステップを具備していることを特徴とするプロセス。

【請求項 20】

請求項 1 ～ 19 のいずれか 1 項に記載のプロセスにおいて、
さらに、
前記金属種の打込後に前記打込ウェハを薄肉化するというステップを具備していることを特徴とするプロセス。 20

【請求項 21】

請求項 1 ～ 20 のいずれか 1 項に記載のプロセスにおいて、
前記第 1 ウェハを、表面上に少なくとも 1 つの絶縁領域 (48, 50) を備えたものとし、
これにより、局所的な打込領域 (54) を形成することを特徴とするプロセス。

【請求項 22】

半導体材料からなる 2 つの基板が請求項 1 ～ 21 のいずれか 1 項に記載されたプロセスに基づき分子結合によって互いに組み立てられてなる構造であって、
組立界面のところに、金属化合物からなる局所的領域 (42, 44, 54, 56, 64) を備え、 30
前記金属化合物が、前記組立界面のところでいて基板をなす半導体材料と、ニッケルとパラジウムとコバルトと白金とタンタルとタングステンとチタンと銅との中から選択された少なくとも 1 つの金属と、からなる合金であることを特徴とする構造。

【請求項 23】

請求項 22 記載の構造において、
半導体材料が、Si、GaAs、SiC、InP、SiGe の中から選択されたものであることを特徴とする構造。

【請求項 24】

請求項 22 または 23 記載の構造において、 40
前記基板のうちの少なくとも一方が、ヘテロ構造であることを特徴とする構造。

【請求項 25】

請求項 22 ～ 24 のいずれか 1 項に記載の構造において、
前記基板のうちの少なくとも一方が、薄膜であることを特徴とする構造。

【請求項 26】

請求項 22 ～ 25 のいずれか 1 項に記載の構造において、
前記基板のうちの少なくとも一方が、電子素子および／または光学素子および／または機械素子を備えていることを特徴とする構造。

【請求項 27】

請求項 22 ～ 26 のいずれか 1 項に記載の構造において、 50

前記基板の一方が、シリコンからなる薄膜（４１）とされ、
この薄膜（４１）が、ＲＦ回路（４３，４５）を備えていることを特徴とする構造。

【請求項２８】

請求項２７記載の構造において、
前記基板の他方（４０）が、高抵抗シリコンから形成されていることを特徴とする構造

。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、２つのウェハの間に純粋な抵抗性のコンタクトを形成するような、例えばシリコンのような半導体材料から形成されたものといったような２つのウェハのためのシールプロセスに関するものである。 10

【背景技術】

【０００２】

従来技術においては、例えば非特許文献１に記載されているように、２つのウェハは、金属層を成膜することによって純粋な抵抗性コンタクトを形成しつつシールされる。他の手法としては、共融シールや、半田付けや、あるいは、非特許文献２に記載されているような、成膜した金属層を介してのシリサイドの形成、がある。

【０００３】

これらのすべての技術においては、金属層を事前的に成膜する必要がある。半導体製支持体に対する金属層の結合は、容易なものではなく、特別な技術的ステップが必要とされる。よって、シールプロセスが、より複雑なものとなる。また、金属層に対する表面処理も必要である（特に、表面化学特性および表面粗さ）。 20

【０００４】

したがって、上述したすべての技術的ステップを回避し得るような、特に、金属層の成膜ステップを回避し得るような、とりわけシリコンウェハのような半導体材料ウェハに関しての新規なシールプロセスが要望されていた。

【非特許文献１】 J. Haisma 氏による “Contact Bonding, Including Direct-Bonding in a Historical and Recent Context of Materials Science and Technology, Physics and Chemistry” と題する Materials Science and Engineering, 37, 2002, p. 1-60 という文献 30

【非特許文献２】 Z. X. Xiao 氏他による “Low Temperature Silicon Wafer to Wafer Bonding with Nickel Silicide”, Journal of the Electrochemical Society, 145, 1998, p. 1360-1362.

【非特許文献３】 Hubert Moriceau 氏他による “The Bonding Energy Control: an Original Way to Debondable Substrates”

【非特許文献４】 Tong-Gosele, “Semiconductor Wafer Bonding”, 1998, The Electrochemical Society Series, John Wiley & Sons, Inc.

【非特許文献５】 Q. Y. Tong 氏および U. Gosele 氏による “Semiconductor Wafer Bonding” (Science and Technology), Wiley Interscience Publications. 40

【非特許文献６】 A. Nicollet 氏および S. S. Lau 氏による metal silicide compounds (VLSI Handbook p. 422, 1985

【非特許文献７】 S. S. Iyer 氏他による “Silicon Wafer Bonding Technology” と題する INSPEC, 2002.

【非特許文献８】 A. J. Auberton-Herve 氏他による “Why Can Smart-Cut Change the Future of Microelectronics?” と題する International Journal of High Speed Electronics and Systems, Vol. 10, No. 1 (2000), p. 131-146.

【非特許文献９】 K. Sataguchi 氏他による “ELTRAN(R) by Splitting Porous Si layers” と題する Proceedings of the 9th International Symposium on Silicon-on-Insulator Tech. and Device, 99-3, The Electrochemical Society, Seattle, p. 117-121 50

(1999).

【発明の開示】

【課題を解決するための手段】

【0005】

本発明によるプロセスにおいては、一少なくとも第1の基板内へと金属種を打ち込む打込ステップと、一分子結合によって第1ウェハと第2ウェハとを組み立てる組立ステップと、一アニールステップ、すなわち、導電性化合物の形成ステップ、すなわち、金属化合物の形成ステップと、を行う。ここで、金属化合物は、打込された金属種と、基板を構成している材料と、の間の化合物である、すなわち、打込種と基板材料との間の化合物である。

10

【0006】

導電性化合物は、その導電性化合物の形成温度以上の温度でもってアニールまたは熱処理を行うことによって、形成することができる。

【0007】

例えばシリコンウェハといったような半導体ウェハに対しての金属種の打込は、好ましくは、非常に浅い深さ（数nm）でもって、および、 $10^{14} \sim 5 \times 10^{18}$ 個/cm²あるいは 10^{19} 個/cm² という照射量でもって、行われる。

【0008】

打込深さは、基板上に表面層を形成しておき、この表面層を通して打込を行うことにより、低減することができる。あるいは、打込深さは、打込後に打込済み基板を薄肉化することにより、低減することができる。

20

【0009】

打込は、マスクを使用して行うことができる。

【0010】

打込後には、ウェハの表面を、分子結合によって、他のウェハ上に組み立てる（あるいは、組み付ける）。

【0011】

得られた構造を、アニールする、好ましくは、組み立てるべき2つの基板の表面のところに位置した基板材料と打込金属とから導電性化合物が形成される温度でもって、アニールする。打込深さが表面から十分に近傍のところに位置していることにより、導電性化合物の形成は、このようにして誘起されることとなり、分子結合は、導電性化合物の形成によって修正されることとなる。

30

【0012】

結合する材料は、シリコンとすることができる。あるいは、打込種が、その後の熱処理時に、組立対象をなす基板の表面材料と一緒に導電性化合物を形成し得る限りにおいては、結合する材料は、シリコン以外の半導体材料とすることができる。特に、半導体材料は、Siや、GaAsや、SiCや、InPや、Geや、SiGe、等とすることができる。結合される2つの材料は、互いに性質が異なるものとすることができる。

【0013】

2つのウェハのそれぞれにおいて打込が行われる場合には、打込種は、2つのウェハに関して、互いに異なるものとするすることができる。打込条件は、異なるウェハに関しては、異なるものとするすることができる。

40

【0014】

打込は、同一ウェハ内においても、様々な種を使用して、なおかつ、種に応じた様々なものとし得るような様々な打込条件でもって、行うことができる。

【0015】

純粋な抵抗性コンタクトを示すものとして得られた化合物は、耐火性のタイプのものである。このことは、その後のプロセスを高温で行うような場合（例えば、エピタキシーによる成長）には、特に好適である。

【0016】

50

基板のうちの一方は、結合後には、あるいは、アニール前に、あるいは、アニール後に、次の従来技術の1つあるいは組合せを使用して、薄肉化することができる。すなわち、

【0017】

打込基板のうちの一方は、ヘテロ構造のものとすることができる。すなわち、打込基板のうちの一方は、例えばSOI（シリコンオンインシュレーター）タイプのものといったように、互いに異なる2つの材料からなる少なくとも2つの構造を備えたアセンブリとすることができる。特に、表面層は、上述した半導体材料のうちの1つから構成することができる。このヘテロ構造は、組立後には、また、アニールの前または後において、薄肉化することができる。これにより、他の基板上に表面層だけを残すことができる（例えば、SOI基板の場合においては、シリコン表面層）。この表面層は、それ自体が、組立前の時点で、回路層を有していることができる、あるいは、回路層を被覆していることができる。

10

【0018】

ヘテロ構造は、上述した従来的な薄肉化技術によって、薄肉化することができる。有利には、ヘテロ構造は、選択された薄肉化プロセスに関して選択的な、埋設層または非埋設層を有している。例えば、SOIタイプのヘテロ構造については、埋設された酸化シリコン層は、例えば化学的エッチングに関しては、停止層として機能することができる。ヘテロ構造内には、例えばSiGe層やドーピング済みシリコン層といったような、他の停止層を設けることができる。例えば、シリコンオンガラスタイプヘテロ構造においては、シリコンに対してのガラスエッチングの選択性という利点を享受することができる。

20

【0019】

他の有利な実施形態においては、ヘテロ構造は、『剥離可能な』ものとされ、ヘテロ構造の『剥離』によって薄肉化される。特に、『剥離可能な』特性は、結合界面のところでおける結合エネルギーを小さなものとしつつ2つの材料層を組み立てることにより、得ることができる。例えば、そのような界面を得るに際しては、例えば非特許文献3に記載されているように、表面粗さが制御された2つの表面間において分子結合を行うことができる。

【0020】

基板の一方は、例えばガス種の打込によって得られるようなあるいは埋設多孔質層の事前形成によって得られるような、脆弱化層または脆弱化平面を備えることができる。その場合、この脆弱化層を備えている方の基板は、例えば2つの基板の組立後には、例えば脆弱化領域において剥離を引き起こすことにより、薄肉化することができる。

30

【0021】

本発明によるプロセスは、多くの利点を有している。

【0022】

第1に、本発明においては、基板内へと打ち込み得る任意の金属を使用して純粋な抵抗性コンタクトを形成し得るとともに、組み立てられるべき基板をなす材料と一緒に導電性化合物を形成することができる。

【0023】

さらに、金属層の成膜特性（表面粗さ、結晶構造、成膜の結合、等）を制御する必要もなく、また、表面の化学特性（清浄度、酸化度、等）を制御する必要もなく、純粋な抵抗性コンタクトを形成しつつ、分子結合によってウェハどうしを結合させることができる。

40

【0024】

界面全体にわたって純粋な抵抗性コンタクトを形成しつつウェハどうしを結合させることができる。あるいは、例えば、マスクを使用して打込を行うことにより、あるいは、絶縁領域と導電領域とが混在したハイブリッド表面を使用することにより、所定領域にだけ純粋な抵抗性コンタクトを局在化させつつ、ウェハどうしを結合させることができる。

【0025】

最後に、分子結合によって組み立てられる2つの半導体基板間の結合の強化に際して必

50

要とされる全熱量を低減することができる。従来の分子結合によって、例えばシリコンからなる2つの基板を結合させるに際しては、従来技術においては、例えば非特許文献4に記載されているように、約500℃以上といったような温度でもって組付構造を熱処理することにより、結合を強化していた。本発明の場合には、シリコン基板の少なくとも一部が、例えばPdイオンといったようなイオンによって打込されている場合には、結合は、Pd₂Siが形成される温度でもって、すなわち150℃でもって、強化することができる。このため、高温での熱処理を行う必要なく、強い結合（この例においては、SiとSiとの結合）を得ることができる。

【0026】

また、本発明は、半導体材料からなる2つの基板が分子結合によって互いに組み立てられてなる構造であって、組立界面のところに、金属化合物からなる局所的領域を備えているような、構造に関するものである。

【0027】

例えば、半導体材料は、Si、GaAs、SiC、InP、SiGeの中から選択することができる。

【0028】

基板の少なくとも一方は、ヘテロ構造のものとすることができる。

【0029】

金属化合物は、組立界面のところでいて基板がなす半導体材料と；ニッケル、パラジウム、コバルト、白金、タンタル、タングステン、チタン、銅などの中から選択された少なくとも1つの金属と；からなる合金とすることができる。

【0030】

ある特別の実施形態においては、基板の少なくとも一方は、薄膜とされる。

【0031】

基板の少なくとも一方は、電子素子および／または光学素子および／または機械素子を備えることができる。

【0032】

例えば、基板の一方は、RF回路を有したシリコン製薄膜とされ、基板の他方は、高抵抗シリコンから形成することができる。

【発明を実施するための最良の形態】**【0033】**

本発明による第1プロセスについて、およびその変形例について、図1A～図1Cおよび図2A～図3を参照して説明する。

【0034】

第1ステップにおいては、例えばシリコンといったような半導体材料からなる少なくとも1つのウェハ2に関し、原子種またはイオン種4を、表面（上面）6の近傍において、なおかつ、表面6よりも下方に、埋設する。

【0035】

この目的に際しては、いくつかの技術を使用することができる。

【0036】

第1技術においては、1つまたは複数の金属種4を打ち込む。例えば、ニッケル、および／または、パラジウム、および／または、チタン、および／または、コバルト、および／または、タンタル、および／または、白金、および／または、タングステン、および／または、銅、などといったような金属種を、非常に低いエネルギーでもって、例えばシリコンといったような組付対象をなす少なくとも1つの基板内へと、直接的に打ち込む。これらは、図1Aに図示されたケースである。打込に際して使用されるエネルギーが小さいことにより、基板2内への平均浸透深さR_pが浅いことを意味している。例えば、5nm～10nmであり、典型的には、数nmである。

【0037】

他の技術（図2A）においては、上述した金属イオンを、先の場合よりも大きなエネル

10

20

30

40

50

ギーでもって打ち込む。したがって、より深い平均深さ R_p （例えば、 $10\text{ nm} \sim 20\text{ nm}$ ）のところへと打ち込まれ、表面 6 と埋設層とを隔離しているシリコンフィルムの厚さは、薄肉化操作を受ける。例えばエッチングによって、あるいは、例えば機械的に、あるいは、例えばエッチングと機械的研磨との組合せによって、あるいは、例えばプラズマエッチングによって、あるいは、例えばレーザー蒸発によって、あるいは、例えばイオンビームによって、あるいは、例えばこれら技術の組合せによって、および／または、マイクロエレクトロニクスにおいて従来から使用されている技術によって、薄肉化操作を受ける。そのようにして材料除去が行われた厚さ e （図 2 B）の分だけ、埋設ゾーンの深さが浅いものとされる。

【0038】

10

一変形例（図 3）においては、イオン打込または原子打込を、薄い犠牲層 10 を通して行う。薄い犠牲層 10 は、例えば酸化シリコンからなるものとされ、打込後には、例えば 1% HF（フッ酸）によるエッチングによって、除去される。これにより、組付対象をなす基板内へにおける埋設ゾーンの深さを制限することができる。

【0039】

打込は、イオンのなものとすることができ、様々なプラズマ技術を使用したものとすることができる。あるいは、打込は、抽出および／またはイオンビーム混合による打込とすることができる。打込は、雰囲気温度とは異なる温度で行うことができる。

【0040】

第 2 ステップは、組立ステップ（図 1 B）であり、このステップにおいては、上述した様々な技術のうちの 1 つ技術によって準備したウェハまたは基板と、例えば同じくシリコンといったような半導体材料からなる第 2 ウェハまたは第 2 基板 12 と、を組み立てる。これらウェハ 2, 12 の表面どうしは、親水性結合あるいは疎水性結合によって組み立てることができる。このような技術に関するさらなる情報については、例えば、非特許文献 5 を参照することができる。その場合、結合は、分子結合によって行われる。

20

【0041】

例えば、表面は、CARO タイプ化学的クリーニング（ 140°C における H_2SO_4 と H_2O_2 との例えば 2 : 1 という比率での混合物）および SCI（ 70°C での $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ の例えば 1 : 1 : 5 という比率での混合物）を使用してシリコンを親水性とすることができる、あるいは、HF 処理（例えば、1% に希釈されたフッ酸を使用した処理）によってクリーニングを終了させた場合に疎水化することができる。

30

【0042】

さらに、反応性イオンエッチング（RIE）のように容量結合を使用したまたは誘導結合（例えばアフターグロータイプのエッチングあるいは化学的乾式エッチング）を使用したプラズマ活性化といったような表面処理技術を使用することができる。これら技術を使用した場合、第 1 に、図 2 B に関して上述したように基板の薄肉化を行うことができ、また、第 2 に、基板の表面上に位置している種を活性化することができる。例えば、プラズマによる活性化は、酸素や、アルゴンや、窒素や、水素や、 SF_6 や、 CF_6 や、 CF_4 や、 CHF_3 などといったようなガスを、単独で使用するによりあるいは組み合わせて使用することにより、行うことができる。

40

【0043】

同様に、薄肉化という利点およびウェハ表面の調整という利点を組み合わせた機械的化学的研磨技術を使用することができる。

【0044】

第 3 ステップ（図 1 C）においては、結合後の構造を、アニールする。好ましくは、基板をなす材料と打込金属とに起因した導電性化合物が形成される温度以上にまで、加熱される。例えば、組立対象をなす 2 つの基板がシリコンである場合には、打込金属とのシリサイドが形成される温度以上にまで、加熱される。この温度は、例えば、ニッケルシリサイド（ NiSi ）の場合には、 350°C という程度とすることができる。この温度は、形成される金属化合物に依存する。この温度を決定するに際しては、非特許文献 6 における

50

参照表といったような参照表を参照されたい。

【0045】

その場合、打込された種は、拡散して相互作用し、結合界面16の近傍において導電性化合物20を形成し、したがって、結合界面を修正する。この化合物は、2つの基板からなるアセンブリを補強する。

【0046】

第2基板（図1Bにおいて符号12によって示されている）は、基板2と同じ性質の基板とすることができる。さらには、第2基板は、基板またはウェハ2と同一であるような基板またはウェハとさえすることができる。さらに、第2基板12に対しても、基板2に対して実行したものと同一打込をまたは異なる打込を、金属イオンまたは金属原子によって実行することができる。

10

【0047】

他の実施形態においては、基板12および／または基板2は、ヘテロ構造のものとしてことができ、例えばSOIタイプの構造のものとしてすることができる。

【0048】

図7に示すように、SOI（シリコンオンインシュレーター）タイプの構造は、典型的には、機械的な支持体として機能するシリコン基板84と、このシリコン基板84上に形成された酸化シリコン製の埋込層82と、この埋込層82上に形成されたシリコン層80と、を備えている。このような構造は、例えば、非特許文献7に記載されている。

【0049】

20

典型的には、SOIの例においては、層80の厚さは、数nm（例えば10nmあるいは50nm）～数百μm（例えば100μmあるいは150μm）とされる。

【0050】

絶縁層82の厚さは、数nm～数十μmとすることができ、例えば20μmとすることができる。

【0051】

このようなSOI基板は、SOI基板あるいは他の基板に対して、組み立てることができる。その際、2つの基板の少なくとも一方の面に対しては、図1Bに示すように、本発明に基づき、打込が行われている。その場合、SOI表面層80を基板2の上面に対して接触させつつ、組立を行う。

30

【0052】

いくつかの実験例について、以下に説明する。

【0053】

『実験例1』

厚さが5nmとされた酸化シリコン製のフィルム10によって被覆されたシリコンウェハ2に対して、 Ni^+ イオンを、 2×10^{17} 個/cm²という照射量でもってかつ10keVというエネルギーで、打ち込んだ。SRIM-2000シミュレーションソフトウェアによれば、打込深さRpは、約12nmという深さである。すなわち、シリコン表面からは、約7nmという深さである。打込後に、酸化シリコン10を除去し、打込済みのあるいは打込を行っていないシリコンを、直接的に結合させた（図1B）。シリサイド形成のためのアニールを約300℃で行い、これにより、 Ni_2Si シリサイド20を形成した。このシリサイドは、結合界面16のところにまでおよび結合界面16を超えて（図1C）形成される。

40

【0054】

この実験例の一変形例においては、打込後に、打込基板上に、中間層（例えば、アモルファスシリサイド）を成膜することができる。この層の厚さは、結合界面における合金形成に関して適合し得るように、選択される。必要であれば、この中間層は、結合前に、薄肉化することができる。例えば、この中間層は、分子結合による結合を促進し得るものとして選択することができる。

【0055】

50

『実験例 2』

シリコンウェハ 2 に対して、直接的に、 Ni^+ イオンを、 3×10^{17} 個/ cm^2 という照射量でもってかつ 10 keV というエネルギーで、打ち込んだ。SRIM-2000 シミュレーションソフトウェアによれば、打込深さ R_p は、約 13 nm という深さである。シリコンをエッチングすることにより、打込深さ R_p を、表面の近傍に位置させる。例えば、SC1 タイプの化学溶剤（上記参照）を使用することによってエッチングを行い、打込深さ R_p を、表面の近傍に位置させる（図 2 B）。例えば、打込深さ R_p を、 5 nm という程度の深さとする。その後、シリコンからなる第 2 ウェハ 12 を、直接的に結合させる（図 1 B）。次なるステップにおいては、シリサイド形成のためのアニールを約 300°C で行い、これにより、結合界面 16 のところまでおよび結合界面 16 を超えるようにして（図 1 C）、 Ni_2Si シリサイド 20 を形成した。

10

【0056】

この実験例の一変形例においては、基板 2 の表面層の全部あるいは一部を、アモルファスとする。材料のアモルファス化（この場合、シリコン）は、この材料内における打込種の拡散を促進する。アモルファス材料が表面上に存在する場合、界面までへの拡散が容易なものとなる。基板 2 の表面の一部をアモルファス化するに際しては、いくつかの可能な技術が存在する。アモルファス材料層は、例えば必要に応じて薄肉化し得るようなアモルファスシリコンであって、シリコン基板に対する打込の前にあるいは後にあるいは前後に、成膜することができる。次なるステップは、先の実験例の場合と同様に例えば Ni^+ といったようなイオンを打ち込むことである。打込は、アモルファス層の厚さに依存して、アモルファス層内においてあるいは初期基板内において、行うことができる。その後、第 2 基板の組立ステップと、熱処理ステップとを、行うことができる。これにより、界面のところまでおよび界面を超えて、この例においては Ni_2Si シリサイドといったような金属化合物を、形成することができる。当業者には公知な手法によって、例えば水素打込によって、基板 2 の表面を、アモルファス化することもできる。この打込は、基板表面に関して局所的なものとすることも、また、基板表面にわたった全面的なものとすることも、できる。この打込は、本発明による金属種の打込の前であってもまた後であっても、行うことができる。金属種の打込は、可能であれば、アモルファス化ステップの全部またはいくつかに寄与することができる。

20

【0057】

30

『実験例 3』

実験例 2 の一変形例として、 Ni^+ イオンを、 2×10^{17} 個/ cm^2 という照射量でもってかつ 10 keV というエネルギーで、打ち込んだ。SRIM-2000 シミュレーションソフトウェアによれば、打込深さ R_p は、約 13 nm という深さである。例えば SC1 タイプの化学溶剤を使用することによって、シリコンをエッチングし、打込深さ R_p を、表面の近傍に位置させた（図 2 B）。すなわち、打込深さ R_p を、表面の近傍に位置させた。結合を行う前に、次なるステップとして、アルゴンプラズマ処理を行った。これは、低温でもって、分子の結合エネルギーを増強するためである。結合を行い、その後、構造をアニールした。アニール温度は、結合界面のところまでおよび結合界面を超えるようにして（図 1 C）、 Ni_2Si シリサイドを形成し得るような温度である。

40

【0058】

『実験例 4』

2 つのシリコンウェハのそれぞれに対して、 Ni^+ イオンを、 2×10^{17} 個/ cm^2 という照射量でもってかつ 10 keV というエネルギーで、打ち込んだ。SRIM-2000 シミュレーションソフトウェアによれば、打込深さ R_p は、各ウェハに関し、約 13 nm という深さである。例えば SC1 タイプの化学溶剤を使用することによって、各ウェハをエッチングし、打込深さ R_p を、各ウェハの表面の近傍に位置させた。次なるステップにおいては、これら 2 つのウェハを互いに結合させた。その後、約 750°C でもって、シリサイド化アニールを行い、これにより、両ウェハの結合界面のところに、 Ni_2Si シリサイドを形成した。

50

【0059】

『実験例5』

2つのウェハを、純粋な抵抗性局所的コンタクトでもって結合させることが必要とされる。酸化シリコン層10（厚さが5nm）によって被覆されたシリコンウェハに対して、 Ni^+ イオンを、 2×10^{17} 個/cm² という照射量でもってかつ10keVというエネルギーでもって、なおかつ、打込マスク30（図4A）を使用しつつ、打ち込んだ。このため、打込領域32, 34が局所的に形成された。SRIM-2000シミュレーションソフトウェアによれば、打込深さRpは、約12nmという深さである。すなわち、シリコン表面からは、約7nmという深さである。打込後に、酸化シリコン10を除去し、打込済みのあるいは打込を行っていないシリコンウェハ12を、直接的に結合させた（図4B）。次なるステップにおいては、約750℃でもって、アニールを行った。これにより、2つの局所的領域42, 44のところにおいては、 Ni_2Si シリサイドが形成され、また、それら局所的領域以外のところにおいては、シリコンとシリコンとの結合が強化された（図4C）。

10

【0060】

上述したプロセスに起因する特に興味深い1つの構造が、図4Dに示されている。この構造は、高抵抗シリコン基板40（例えば、ゾーンフュージョンによるソーティングのためのいわゆるフローティングゾーン技術を使用して得られたもの）と、シリコン製の薄膜41と、を備えている。薄膜41は、RF素子43, 45を有している（例えば、表面のところに有している）。基板と薄膜との間の界面47には、局所的に、本発明によるプロセスによって得られた金属化合物51（例えば、ニッケルシリサイドからなる金属化合物で作られていた）が形成されている。この金属化合物51は、グラウンド平面として機能する。この構造においては、シリコン製薄膜41は、SOI基板またはシリコン基板の薄肉化によって形成することができる。RF素子43, 45は、プロセスに関する適合性に依存して（特に、総熱量に関連して）、金属化合物の形成前であっても、また、金属化合物の形成後であっても、また、これら双方であっても、形成することができる。

20

【0061】

『実験例6』

この実験例は、実験例5の一変形例である。基板2は、表面上に、例えば SiO_2 から形成された領域といったような、局所的な絶縁領域48, 50を備えている（図5Aを参照されたい）。次なるステップにおいては、 Ni^+ イオンを、 2×10^{17} 個/cm² という照射量でもってかつ10keVというエネルギーでもって、打ち込む（図5Bを参照されたい）。これにより、打込領域54, 56が形成される。打込深さRpは、シリコン内において（絶縁領域の外側において）、約13nmという深さであり、絶縁領域48, 50においては、シリコン表面よりも上側である。次なるステップにおいては、例えば機械的・化学的研磨といったような手法によって、シリコン表面57よりも上方に突出した絶縁体部分を除去するとともに、可能であれば、絶縁領域の外側に位置したシリコンの一部を除去する（図5Cを参照されたい）。これにより、例えばシリコンオンインシュレーター（SOI）ウェハといったような他のウェハ52に対して分子結合によって結合させ得るような、平面59が得られる（図5Dを参照されたい）。次なるステップにおいては、約750℃でもって、シリサイド化アニールを行った。これにより、 NiSi_2 シリサイド62を、結合界面の近傍のところに形成した。これらシリサイド62は、領域48, 50の外側領域のところにおける結合力を増強する。次なるステップにおいては、SOIウェハ52から、酸化シリコン55のところまで、シリコン51（背面）を除去する。一変形例においては、ウェハ52が中実体として形成されている場合には、すなわち、バルクシリコンからなるウェハとして形成されている場合には、このウェハを、上述した従来技術を使用して薄肉化する。いずれにしても、部分的には絶縁体48, 50上において、また部分的には導電性領域62上において、薄膜61が得られる（図5Eを参照されたい）。したがって、この実施形態を使用することにより、局所的に導電性を有した界面を得ることができる。

30

40

50

【0062】

『実験例7』

この実験例は、実験例6の一変形例である。層61内にあるいは層61上に既に回路が形成されているSOIウェハ52を、複数の局所的絶縁領域を備えた打込済みウェハ2に対して、組み立てる(図5D)。この場合、打込済みシリコンウェハ2に対して対向する面が、処理済み層61とされる。処理済み層61は、例えば回路層とされ、例えば、スパッタリング等によって成膜されたアモルファスシリコンによって被覆されている。回路層を備えたシリコン層61は、また、まず最初に、ウェハ2上へのその後の第2移送のために使用される中間ハンドル層上へと、既に移送されたものとすることもできる。この場合、打込済みシリコンからなるウェハ2の面に対向する面は、シリコン層61とされ、回路層を有している。次なるステップにおいては、約750℃でもって、シリサイド化アニールを行い、これにより、 NiSi_2 シリサイドを、結合界面の近傍のところに形成した。この場合、熱処理は、また、シリサイド化領域の外側領域のところにおける結合力を増強する。次なるステップにおいては、SOIウェハ52から、シリコン51(背面)と、酸化シリコン55と、を除去する。これにより(図5E)、部分的には絶縁体48, 50上において、また部分的には導電性領域62上において、処理済み薄膜61が得られる。同様にして、SOIウェハ52の代わりに、剥離可能なヘテロ構造を使用することができる。

10

【0063】

『実験例8』

この実験例は、2つの実験例6, 7の一変形例である。この実験例においては、SOIに代えて、例えばスマートカット方法といったような基板剥離技術を使用することにより、あるいは、構造内に停止層75を使用した技術を使用することにより、基板73から表面層71(処理されたもの、あるいは、処理されていないもの)を分離し得るものとして形成されたような、ウェハ72(図6A)を結合させる。停止層は、エピタキシャルによって形成することも(SiGe 、ドーピングした Si 、など)、また、多孔性のものとすることも(多孔性の Si 、など)、また、アモルファスのものとすることも(SiN_4 、など)、できる。

20

【0064】

組立後には、アニールを行って、ウェハ71を剥離させる。これにより、図6Bに示すような構造を得ることができる。

30

【0065】

ウェハ72から表面層を分離し得るようにしてウェハ72を形成するに際しては、例えばヘリウムイオンや水素イオンといったような原子やイオンの打込を行うことができ、これにより、基板73の表面77とほぼ平行に延在する脆弱化薄層75(図6A)を形成することができる。これにより、層が形成される、すなわち、脆弱化平面が形成される、すなわち、剥離平面75が形成される。

【0066】

この場合、剥離は、スマートカット技術を使用して行うことができる。スマートカット技術の一例は、非特許文献8に記載されている。

40

【0067】

他の方法を使用することによって、脆弱化平面を形成することができる。例えば、ポーラスシリコン層の形成によって形成することができる。これは、例えば、非特許文献9に記載されている。

【0068】

『実験例9』

Pd^+ イオンを、上述した技術に基づき、 2×10^{17} 個/ cm^2 という照射量でもってかつ10keVというエネルギーでもって、シリコンウェハ内へと打ち込む(例えば、図2Aを参照されたい)。打込深さRpは、約13nmという深さである。例えばSC1タイプの化学溶剤を使用することによって、シリコンをエッチングし、打込深さRpを

50

、表面の近傍に位置させた（図 2 B）。次なるステップにおいては、第 2 のシリコンウェハを直接的に結合させる（図 1 B）。次なるステップにおいては、約 200℃でもって、シリサイド化アニールを行い、これにより、 Pd_2Si シリサイドを、結合界面の近傍のところに形成した（図 1 C）。この技術の利点は、熱処理を 500℃以上の温度で通常行わなければならない一方で、シリコンとシリコンとの結合補強温度を、シリサイド化温度（この場合には、200℃）にまで、低減し得ることである。

【0069】

『実験例 10』

本発明は、様々な材料からなる基板に関して、適用することができる。例えば、以下の手順を使用することにより、本発明に基づき、シリコンウェハと GaAs ウェハとを組み立てることができる。すなわち、 Pd^+ イオンを、少なくとも一方のウェハ内へと、例えばシリコンウェハ内へと、 3×10^{17} 個/cm² という程度の照射量でもって、打ち込む。次なるステップにおいては、分子結合によって、2つのウェハを結合させる。その後、典型的には約 200℃でもって、アニールを行う。次なるステップにおいては、シリコン内における Pd_2Si の形成、および、GaAs ウェハ内における Pd_4GaAs の形成を引き起こす。この場合、これら 2つの金属化合物は、本発明に基づき、シールされている。

【0070】

例えば上述した参照表を使用することによって、比較的低温でもって導電性化合物を（基板材料との合金化に基づき）形成し得る他の金属元素を、選択することができる。

【0071】

本発明は、例えば図 1 A～図 3 に関して上述した様々な技術のうちの 1つの技術に基づき、2つの打込済み基板に対して適用することができる。組立対象をなす基板は、様々な種類の打込種を有しつつ、様々な材料のものとすることができる。また、同じ基板に対して、様々な種を打ち込むことができる。

【0072】

例えば基板組立技術や基板剥離技術や SOI 素子といったような上述した技術は、非特許文献 7 に記載されている。

【図面の簡単な説明】

【0073】

【図 1 A】本発明による様々なプロセスステップを示す図である。

【図 1 B】本発明による様々なプロセスステップを示す図である。

【図 1 C】本発明による様々なプロセスステップを示す図である。

【図 2 A】本発明による様々なプロセスステップを示す図である。

【図 2 B】本発明による様々なプロセスステップを示す図である。

【図 3】本発明による様々なプロセスステップを示す図である。

【図 4 A】本発明による他のプロセスの使用を例示している図である。

【図 4 B】本発明による他のプロセスの使用を例示している図である。

【図 4 C】本発明による他のプロセスの使用を例示している図である。

【図 4 D】本発明による他のプロセスの使用を例示している図である。

【図 5 A】本発明による他のプロセスの使用を例示している図である。

【図 5 B】本発明による他のプロセスの使用を例示している図である。

【図 5 C】本発明による他のプロセスの使用を例示している図である。

【図 5 D】本発明による他のプロセスの使用を例示している図である。

【図 5 E】本発明による他のプロセスの使用を例示している図である。

【図 6 A】本発明による他のプロセスの使用を例示している図である。

【図 6 B】本発明による他のプロセスの使用を例示している図である。

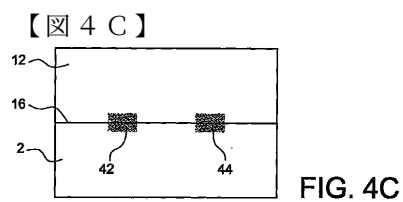
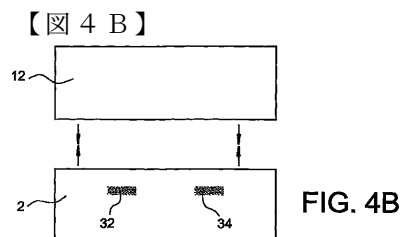
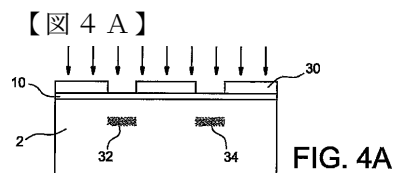
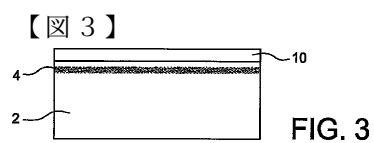
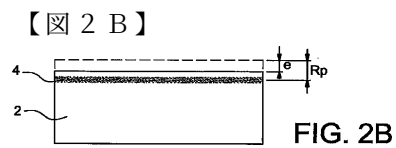
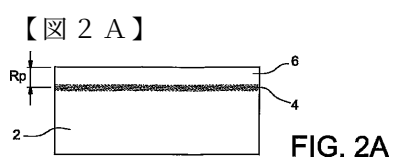
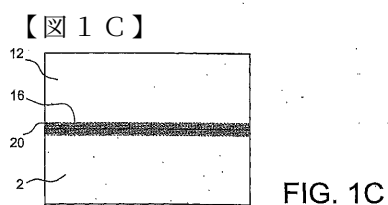
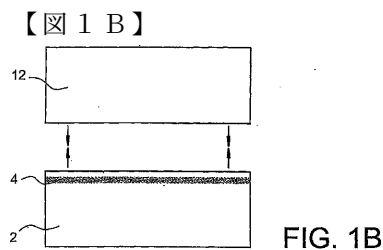
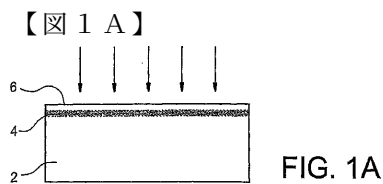
【図 7】SOI 基板を示す図である。

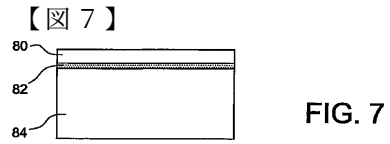
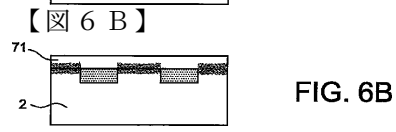
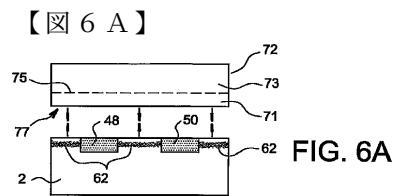
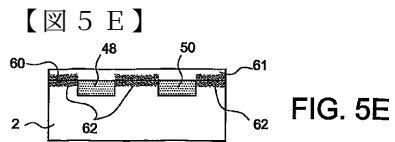
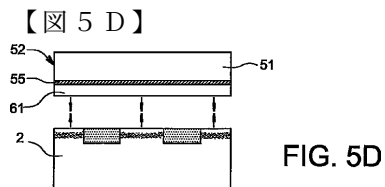
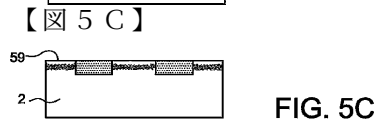
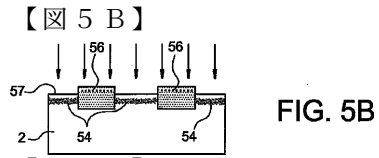
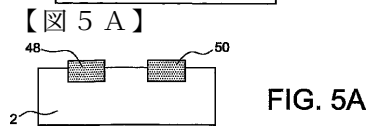
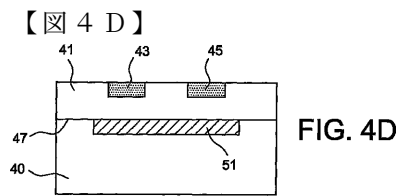
【符号の説明】

【0074】

- 2 ウェハ
- 4 金属種
- 6 表面
- 12 ウェハ
- 20 絶縁層
- 30 マスク
- 32 局所的な打込領域
- 34 局所的な打込領域
- 40 他方の基板
- 41 薄膜
- 42 金属化合物からなる局所的領域
- 43 R F回路
- 44 金属化合物からなる局所的領域
- 45 R F回路
- 48 絶縁領域
- 50 絶縁領域
- 54 局所的な打込領域
- 56 金属化合物からなる局所的領域
- 64 金属化合物からなる局所的領域

10





フロントページの続き

- (72)発明者 ステファン・ポカ
フランス・F-38000・グルノーブル・ブールバール・マレシャル・レクレルツール・モン
・ブラン・15
- (72)発明者 ユベール・モリソー
フランス・F-38120・サン・テグレーヴ・リュ・デュ・フルネ・26
- (72)発明者 ジャン・フランソワ・ミショー
フランス・F-73800・サン・ピエール・ドゥ・スーシー・ビラールプラン・(番地なし)

審査官 大嶋 洋一

- (56)参考文献 特表2002-507058 (JP, A)
特開平11-103034 (JP, A)
特開平10-223552 (JP, A)
特開平07-221023 (JP, A)
特開平02-170528 (JP, A)
特開平01-199469 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/02
H01L 21/265
H01L 27/12