

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-122627

(P2007-122627A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.		F I			テーマコード (参考)
G06F 1/24	(2006.01)	G06F 1/00	350A		5B054
G06F 12/06	(2006.01)	G06F 12/06	510B		5B060

審査請求 有 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2005-317178 (P2005-317178)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年10月31日(2005.10.31)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

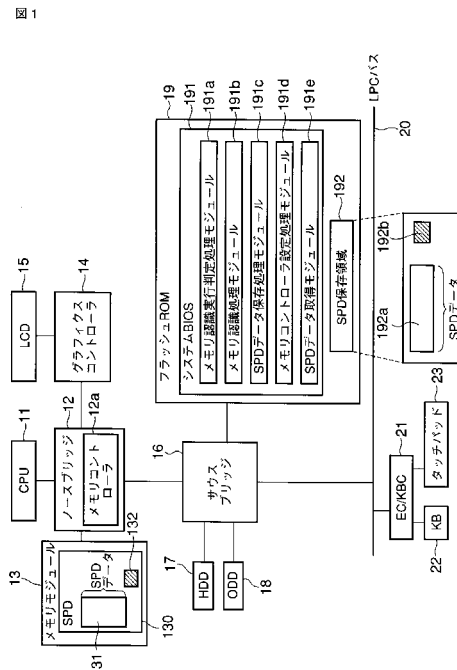
(54) 【発明の名称】 情報処理装置及びメモリ初期化方法

(57) 【要約】

【課題】メモリ初期化処理を高速に処理することを可能とする。

【解決手段】メモリモジュール13には、主メモリを構成するのに用いられるRAM及び第1のSPDデータを格納するSPD130が搭載されている。フラッシュROM19は、CPU11が直接アクセス可能なメモリ空間に割り当てられる。SPDデータ保存処理モジュール191cは、SPD130に格納されている第1のSPDデータを第2のSPDデータとしてフラッシュROM19のSPD保存領域192に保存する。メモリコントローラ設定処理モジュール191dは、パーソナルコンピュータの電源オン時に、SPD保存領域192に保存されている第2のSPDデータに基づいて、RAMを主メモリの構成要素として機能させるための初期設定処理を行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

各種プログラムを実行するCPUを有する情報処理装置において、
主メモリを構成するのに用いられるRAM及び第1のSPDデータを格納する第1の不揮発性メモリが搭載されたメモリモジュールであって、前記第1のSPDデータが当該メモリモジュールの仕様を表すメモリモジュールと、
前記CPUが直接アクセス可能なメモリ空間に割り当てられる第2の不揮発性メモリと、
前記メモリモジュールの前記第1の不揮発性メモリに格納されている前記第1のSPDデータを第2のSPDデータとして前記第2の不揮発性メモリの所定領域に保存する保存処理モジュールと、
前記情報処理装置の電源オン時に前記第2の不揮発性メモリの前記所定領域に保存されている前記第2のSPDデータに基づいて、前記メモリモジュールに搭載された前記RAMを前記主メモリの構成要素として機能させるための初期設定処理を行う設定処理モジュールと
を具備することを特徴とする情報処理装置。

【請求項 2】

前記メモリモジュールの前記第1の不揮発性メモリに格納されている前記第1のSPDデータが、前記第2のSPDデータとして前記第2の不揮発性メモリに保存されているかを前記情報処理装置の電源オン時に判定する判定処理モジュールを更に具備し、
前記設定処理モジュールは、前記第1の不揮発性メモリに格納されている前記第1のSPDデータが、前記第2のSPDデータとして前記第2の不揮発性メモリに保存されている第1の状態の場合、当該第2のSPDデータに基づいて前記初期設定処理を行い、前記第1の不揮発性メモリに格納されている前記第1のSPDデータが、前記第2のSPDデータとして前記第2の不揮発性メモリに保存されていない第2の状態の場合、当該第1のSPDデータに基づいて前記初期設定処理を行い、
前記保存処理モジュールは、前記第2の状態の場合、前記第1の不揮発性メモリに格納されている前記第1のSPDデータを前記第2のSPDデータとして前記第2の不揮発性メモリの前記所定領域に保存することを特徴とする請求項1記載の情報処理装置。

【請求項 3】

前記保存処理モジュールは、前記メモリモジュールの前記第1の不揮発性メモリに格納されている前記第1のSPDデータを前記第2のSPDデータとして前記第2の不揮発性メモリの前記所定領域に保存する場合に、当該メモリモジュール及び前記情報処理装置に固有のフラグ情報を第1及び第2のフラグ情報として、それぞれ前記第1及び第2の不揮発性メモリの所定領域に保存し、
前記判定処理モジュールは前記情報処理装置の電源オン時に、前記第1及び第2の不揮発性メモリにそれぞれ保存されている前記第1及び第2のフラグ情報を比較し、前記第1及び第2のフラグ情報が一致し、且つ前記第2のSPDデータが前記第2の不揮発性メモリに保存されている場合に前記第1の状態を判定し、そうでない場合に前記第2の状態を判定する
ことを特徴とする請求項2記載の情報処理装置。

【請求項 4】

前記第2の不揮発性メモリは前記CPUによって実行可能なBIOSを格納しており、当該BIOSは前記保存処理モジュール、前記設定処理モジュール及び前記判定処理モジュールを含むことを特徴とする請求項2記載の情報処理装置。

【請求項 5】

各種プログラムを実行するCPUと、主メモリを構成するのに用いられるRAM及び第1のSPDデータを格納する第1の不揮発性メモリが搭載されたメモリモジュールであって、前記第1のSPDデータが当該メモリモジュールの仕様を表すメモリモジュールと、

前記CPUが直接アクセス可能なメモリ空間に割り当てられる第2の不揮発性メモリとを有する情報処理装置に適用されるメモリ初期化方法であって、

前記メモリモジュールの前記第1の不揮発性メモリに格納されている前記第1のSPDデータを第2のSPDデータとして前記第2の不揮発性メモリの所定領域に保存するステップと、

前記情報処理装置の電源オン時に前記第2の不揮発性メモリの前記所定領域に保存されている前記第2のSPDデータに基づいて、前記メモリモジュールに搭載された前記RAMを前記主メモリの構成要素として機能させるための初期設定処理を行うステップと

を具備することを特徴とするメモリ初期化方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、メモリ初期化処理を高速で実行するのに好適な情報処理装置及びメモリ初期化方法に関する。

【背景技術】

【0002】

パーソナルコンピュータの電源をオンすると、システムBIOS(Basic Input Output System)のPOST(Power On Self Test)処理が実行されるのが一般的である。

【0003】

従来のPOST処理では、当該POST処理の初めで、メモリ初期化処理が実行される。このメモリ初期化処理内で、まずメモリ認識処理が行われる。システムBIOSは、このメモリ認識処理で、メモリモジュールに含まれているSPD(Serial Presence Detect)に格納されているSPDデータを読み込む。SPDは、SPDデータを格納した不揮発性メモリ、例えばEEPROMである。メモリモジュールは、主メモリを構成するのに用いられるRAMを含む。システムBIOSは、SPDから読み込んだSPDデータをもとに、メモリモジュールに搭載されたRAMを主メモリの構成要素として機能させるための初期設定処理を行う。

20

【0004】

一方、例えば特許文献1には、SPDデータを利用した次のような技術(以下、先行技術と称する)が開示されている。この先行技術においては、パーソナルコンピュータの電源がオンされると、DIMM(Dual In-line Memory Module)のようなメモリモジュールに格納されているSPDデータは、メモリモジュールに接続されたフラッシュROMにコピーされる。そして、メモリモジュールに格納されているSPDデータは消去される。つまり、メモリモジュールに格納されているSPDデータは、コンピュータ本体のフラッシュROMに移動される。これにより、このメモリモジュールが無断で持ち出されて、別のコンピュータで使用される場合、当該別のコンピュータは異常動作状態になる。つまり、このメモリモジュールは、別のコンピュータにおいては使用することが不可能である。よって、結果的にメモリモジュールが盗難されることを防ぐことが可能となる。

30

【特許文献1】特開2000-148600号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0005】

上記したように、先行技術によれば、メモリモジュールに格納されているSPDデータは、パーソナルコンピュータの電源のオン時に、当該メモリモジュールからフラッシュROMに移動される。また、この先行技術において、メモリ初期化処理は、フラッシュROMに移動されたSPDデータに基づいて実行される。

【0006】

しかしながら、先行技術では、メモリ初期化処理の高速化については考慮されていない。

【0007】

50

本発明は上記事情を考慮してなされたものであり、その目的は、メモリ初期化処理を高速に実行することが可能な情報処理装置及びメモリ初期化方法を提供することにある。

【課題を解決するための手段】

【0008】

本発明の1つの態様によれば、各種プログラムを実行するCPUを有する情報処理装置が提供される。この情報処理装置は、主メモリを構成するのに用いられるRAM及び第1のSPDデータを格納する第1の不揮発性メモリが搭載されたメモリモジュールであって、前記第1のSPDデータが当該メモリモジュールの仕様を表すメモリモジュールと、前記CPUが直接アクセス可能なメモリ空間に割り当てられる第2の不揮発性メモリと、前記メモリモジュールの前記第1の不揮発性メモリに格納されている前記第1のSPDデータを第2のSPDデータとして前記第2の不揮発性メモリの所定領域に保存する保存処理モジュールと、前記情報処理装置の電源オン時に前記第2の不揮発性メモリの前記所定領域に保存されている前記第2の構成情報に基づいて、前記メモリモジュールに搭載された前記RAMを前記主メモリの構成要素として機能させるための初期設定処理を行う設定処理モジュールとを具備する。

10

【発明の効果】

【0009】

本発明によれば、メモリモジュールの第1の不揮発性メモリに格納されたSPDデータではなくて、CPUが直接アクセス可能なメモリ空間に割り当てられる第2の不揮発性メモリに保存されたSPDデータに基づいてメモリ初期化処理を実行することによって、当該メモリ初期化処理を高速に実行することが可能となる。

20

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して本発明の実施形態を説明する。

まず、図1を参照して、本発明の一実施形態に係る情報処理装置の構成について説明する。この情報処理装置は、例えば、ノートブック型パーソナルコンピュータとして実現されている。図1は、ノートブック型パーソナルコンピュータの構成を示すブロック図である。このパーソナルコンピュータは、CPU11、ノースブリッジ12、メモリモジュール13、グラフィクスコントローラ14、サウスブリッジ16、ハードディスクドライブ(HDD)17、光ディスクドライブ(ODD)18、フラッシュROM19及びエンベデッドコントローラ/キーボードコントローラIC(EC/KBC)21等を備えている。

30

【0011】

CPU11は、コンピュータの動作を制御するために設けられたプロセッサである。CPU11は、コンピュータのハードウェア資源及びソフトウェア資源の割り当て等を統合的に管理するオペレーティングシステム(OS)、及び動画再生アプリケーションプログラムのような各種アプリケーションプログラムを実行する。OS及び各種アプリケーションプログラムは、ハードディスクドライブ(HDD)17から後述する主メモリ(図示せず)にロードされる。また、CPU11は、フラッシュROM19に格納されたシステムBIOS191(Basic Input Output System)も実行する。

40

【0012】

ノースブリッジ12は、CPU11のローカルバスとサウスブリッジ16との間を接続するブリッジデバイスである。ノースブリッジ12は、メモリモジュール13へのアクセスを制御するメモリコントローラ12aを内蔵する。ノースブリッジ12は、AGP(Accelerated Graphics Port)バスなどを介してグラフィクスコントローラ14との通信を実行する機能を有する。

【0013】

メモリモジュール13は、主メモリを構成するのに用いられる、DRAM(Dynamic RAM)のようなRAMを有する。メモリモジュール13はまた、SPD(Serial Presence Detect)130を有する。SPD130は、不揮発性メモリ(第1の不揮発性メモリ)、例

50

例えばEEPROMである。SPD130は、第1のSPDデータが格納されるSPDデータ領域131を有する。SPDデータは、メモリモジュール13の容量、アクセス速度、アクセス方法、メモリ構成情報等、当該メモリモジュール13の仕様を表すデータである。また、SPD130は、後述する第1のSPDデータ保存フラグ(フラグ情報)が書き込まれるフラグ保存領域132を有する。

【0014】

グラフィクスコントローラ14は、コンピュータのディスプレイモニタとして使用されるLCD15を制御する表示コントローラである。このグラフィクスコントローラ14は、ビデオメモリ(VRAM)に書き込まれた映像データをLCD15に表示する。

【0015】

サウスブリッジ16は、LPC(Low Pin Count)バス20上の各デバイス、及びPCI(Peripheral Component Interconnect)バス(図示せず)上の各デバイスを制御する。また、サウスブリッジ16は、HDD17、ODD18を制御するためのIDE(Integrated Drive Electronics)コントローラを内蔵する。更に、サウスブリッジ16は、フラッシュROM19(第2の不揮発性メモリ)へのアクセスを制御するための機能を有する。

【0016】

HDD17は、各種ソフトウェア及びデータを格納する記憶装置である。ODD18は、ビデオコンテンツ等が格納されたDVDメディア、CDメディアなどの記憶メディアを駆動するためのドライブユニットである。

【0017】

EC/KBC21は、電力管理のためのエンベデッドコントローラ(EC)と、キーボード(KB)22及びタッチパッド23を制御するためのキーボードコントローラとが集積された単一チップのマイクロコンピュータである。このEC/KBC21は、ユーザによるパワーボタンの操作に応じてコンピュータを電源オン/電源オフする機能を有している。

【0018】

フラッシュROM19は、書き換え可能な不揮発性メモリである。フラッシュROM19は、CPU11が直接アクセス可能なメモリ空間に割り当てられている。このメモリ空間には主メモリも割り当てられている。フラッシュROM19は、システムBIOS191を格納する。また、フラッシュROM19はSPD保存領域192を有する。SPD保存領域192は、SPD130のSPDデータ領域131に格納されているSPDデータを保存するSPDデータ保存領域192aを含む。また、SPD保存領域192は、第2のSPDデータ保存フラグを保存するフラグ保存領域192bを含む。

【0019】

ここで、SPDデータ保存フラグについて説明する。このフラグは、メモリモジュール及びパーソナルコンピュータに固有の情報である。このフラグは、メモリモジュール13のSPD130に含まれるSPDデータ領域131に格納されている第1のSPDデータがフラッシュROM19に第2のSPDデータとして保存されているかを判定するために用いられる。つまりフラグは、メモリモジュール13が別のメモリモジュールに差し替えられたか否かを判定するために用いられる。このフラグは、システムBIOS191によって、第1のSPDデータ保存フラグとしてSPD130のフラグ保存領域132に書き込まれる。また、このフラグは、システムBIOS191によって、第2のSPDデータ保存フラグとしてフラッシュROM19のフラグ保存領域192bに書き込まれる。

【0020】

システムBIOS191は、ハードウェア制御のためのプログラムである。このシステムBIOS191をCPU11が実行することによりハードウェア制御が実現される。しかし、以下の説明では、煩雑さを避けるために、システムBIOS191がハードウェア制御を行うものとする。

【0021】

システムBIOS191は、メモリ認識実行判断処理モジュール191a、メモリ認識

10

20

30

40

50

処理モジュール 191b、SPDデータ保存処理モジュール 191c、メモリコントローラ設定処理モジュール 191d 及び SPDデータ取得モジュール 191e を有する。

【0022】

メモリ認識実行判断処理モジュール 191a は、パーソナルコンピュータの電源オン時に、フラグ保存領域 132 及び 192b にそれぞれ書き込まれた第 1 及び第 2 の SPD データ保存フラグを読み込む。また、メモリ認識実行判断処理モジュール 191a は、読み込んだフラグが一致するか否かを判定する。メモリ認識実行判断処理モジュール 191a は、フラグが一致するか否かに基づいて、メモリモジュール 13 が差し替えられたか否かを判定する。また、メモリ認識実行判断処理モジュール 191a は、第 2 の SPD データが SPD データ保存領域 192a に格納されているかを判定する機能を有する。

10

【0023】

メモリ認識処理モジュール 191b は、SPD 130 の SPD データ領域 131 に格納されている第 1 の SPD データを読み込む。またメモリ認識処理モジュール 191b は、読み込んだ第 1 の SPD データから、メモリ構成情報等を取得する。

【0024】

SPD データ保存処理モジュール 191c は、SPD 130 の SPD データ領域 131 に格納されている第 1 の SPD データを第 2 の SPD データとしてフラッシュROM 19 の SPD データ保存領域 192a に書き込む。このとき SPD データ保存処理モジュール 191c は、SPD データ保存フラグをフラグ保存領域 132 及び 192b にそれぞれ第 1 及び第 2 の SPD データ保存フラグとして書き込む。

20

【0025】

メモリコントローラ設定処理モジュール 191d は、第 1 または第 2 の SPD データをもとに、メモリモジュール 13 に搭載された RAM を主メモリの構成要素として機能させるための初期設定処理をメモリコントローラ 12a に対して行う。

【0026】

SPD データ取得モジュール 191e は SPD データ保存領域 192a に書き込まれた第 2 の SPD データを読み込む。SPD データ取得モジュール 191e は、読み込んだ SPD データから、メモリ構成情報等を取得する。

【0027】

図 2 は、CPU 11 が直接アクセス可能なメモリ空間 190 に対するメモリマッピングの一例を示す。このメモリ空間 190 にはフラッシュROM 19 が割り当てられている。つまり、メモリ空間 190 にはシステム BIOS 191 及び SPD 保存領域 192 が割り当てられている。これにより、SPD 保存領域 192 に含まれる SPD データ保存領域 192a に保存されている第 2 の SPD データを高速で読み出すことが可能となる。

30

【0028】

次に、図 3 のフローチャートを参照して、メモリ初期化処理の手順について説明する。

【0029】

図 1 に示すパーソナルコンピュータの電源がオンされると、システム BIOS 191 により POST (Power On Self Test) 処理が実行される。メモリ初期化処理は、この POST 処理の初めで実行される。

40

【0030】

メモリ初期化処理において、メモリ認識実行判断処理モジュール 191a はまず、フラグ保存領域 132 及び 192b からそれぞれ第 1 及び第 2 の SPD データ保存フラグを読み込む (ステップ S1)。メモリ認識実行判断処理モジュール 191a は、読み込んだ両方のフラグを比較し、読み込んだ両方のフラグが一致するか否かを判定する (ステップ S2)。ここでは、例えば図 1 のパーソナルコンピュータが初めて起動された場合のように、フラグ保存領域 132 及び 192b に有効な第 1 及び第 2 の SPD データ保存フラグが格納されていない場合には不一致が判定される。また、後述するようにメモリモジュール 13 が差し替えられた場合にも、不一致が判定される。

【0031】

50

今、ステップS2において不一致が判定されたものとする。この場合、メモリ認識処理モジュール191bは、以下に述べるメモリ認識処理を実行する(ステップS3)。まずメモリ認識処理モジュール191bは、SPD130のSPDデータ領域131に格納されている第1のSPDデータを読み込む。この第1のSPDデータの読み込みは、SPD130を入出力デバイスの1つとして所定のプロトコルにより実行される。このため第1のSPDデータの読み込みを高速に実行することは困難である。メモリ認識処理モジュール191bは、読み込んだ第1のSPDデータから、メモリ構成情報等を取得してメモリモジュール13の構成等を認識する。

【0032】

メモリ認識処理モジュール191bによってステップS3が実行されると、SPDデータ保存処理モジュール191cが起動される。SPDデータ保存処理モジュール191cは、メモリ認識処理モジュール191bによってSPD130のSPDデータ領域131から読み込まれた第1のSPDデータを第2のSPDデータとして、フラッシュROM19のSPD保存領域192に含まれているSPDデータ保存領域192aに書き込む(ステップS4)。このSPD130のSPDデータ領域131に格納されている第1のSPDデータが第2のSPDデータとしてフラッシュROM19のSPDデータ保存領域192aに保存されている状態を第1の状態と呼び、それ以外の状態を第2の状態と呼ぶ。

10

【0033】

次にSPDデータ保存処理モジュール191cは、SPDデータ保存フラグを生成して、SPD130のフラグ保存領域132及びフラッシュROM19のフラグ保存領域192bに、それぞれ第1及び第2のSPDデータ保存フラグとして書き込む(ステップS5)。ここで、SPDデータ保存フラグは、SPDデータ保存処理モジュール191cを含むシステムBIOS191が動作するパーソナルコンピュータ、及び当該パーソナルコンピュータに実装されているメモリモジュール13の組み合わせで一意に生成されるに固有の情報である。

20

【0034】

SPDデータ保存処理モジュール191cによってステップS4及びS5が実行されると、メモリコントローラ設定処理モジュール191dが起動される。メモリコントローラ設定処理モジュール191dは、先にメモリ認識処理モジュール191bによって読み込まれたSPDデータ(ここでは第1のSPDデータ)をもとにメモリコントローラ12aを初期化するための初期設定処理を実行する(ステップS6)。この初期設定処理により、メモリモジュール13に搭載されたRAMを主メモリとして機能させるための最適な動作条件がメモリコントローラ12aに設定される。

30

【0035】

ステップS6の初期設定処理が実行されると、メモリ初期化処理が終了し、POST処理の残りの処理が実行される。POST処理が完了すると、フラッシュROM19に格納されているシステムBIOSは主メモリの所定領域にロードされる。CPU11は、主メモリにロードされたシステムBIOSを実行する。

【0036】

次に、このような状態で、図1のパーソナルコンピュータの電源がオフされ、しかる後に、当該電源が再度オンされたものとする。この場合、まずメモリ初期化処理が開始される。するとメモリ認識実行判断処理モジュール191aは、フラグ保存領域132及び192bからそれぞれ第1及び第2のSPDデータ保存フラグを読み込む(ステップS1)。メモリ認識実行判断処理モジュール191aは、読み込んだ両方のフラグが一致するかどうかを判定する(ステップS2)。

40

【0037】

さて図1のパーソナルコンピュータでは、上述したように、前回の電源オン時のメモリ初期化処理で上記ステップS1-S6が実行されている。この初期化処理(ステップS5)では、第2のSPDデータ保存フラグがフラグ保存領域192bに書き込まれる。したがって、現在この第2のSPDデータ保存フラグがフラグ保存領域192bに格納されて

50

いる。

【0038】

ここで、前回の電源オン時から今回の電源オン時までの間にメモリモジュール13が差し替えられていないものとする。この状態では、フラグ保存領域132には、前回の電源オン時のメモリ初期化処理(ステップS5)で当該フラグ保存領域132に書き込まれた第1のSPDデータ保存フラグが格納されている。したがって今回の初期化処理のステップS2では、メモリ認識実行判断処理モジュール191aによって一致が判定される。この場合、メモリ認識実行判断処理モジュール191aは、メモリモジュール13が前回の電源オン時から今回の電源オン時までの間に差し替えられていないことを判定する。

【0039】

このとき、メモリモジュール13のSPD130に格納されている第1のSPDデータは、例えばフラッシュROM19の異常等が発生しないならば、第2のSPDデータとして当該フラッシュROM19のSPDデータ保存領域192aに保存されているはずである。そこでメモリ認識実行判断処理モジュール191aは、SPDデータ保存領域192aに第2のSPDデータが保存されているか否かを判定する(ステップS7)。

【0040】

このように、ステップS2において上記両方のSPDデータ保存フラグが一致していることが判定され、ステップS7において第2のSPDデータがSPDデータ保存領域192aに保存されていると判定されると、即ち前記第1の状態が判定されると、SPDデータ取得モジュール191eは、以下に述べるメモリ認識処理を実行する(ステップS8) 20。まずSPDデータ取得モジュール191eは、SPDデータ保存領域192aから第2のSPDデータを読み込む。ここで、SPDデータ保存領域192aを含むフラッシュROM19は、CPU11が直接アクセス可能なメモリ空間に割り当てられている。このため、SPDデータ取得モジュール191eは、SPDデータ保存領域192aからの第2のSPDデータの読み込みを高速に実行することが可能である。SPDデータ取得モジュール191eは、読み込んだ第2のSPDデータから、メモリ構成情報等を取得してメモリモジュール13の構成等を認識する。

【0041】

SPDデータ取得モジュール191eによって、ステップS8が実行されると、メモリコントローラ設定処理モジュール191dが起動される。メモリコントローラ設定処理モジュール191dは、先に述べたステップS6とは異なり、ステップS8においてSPDデータ取得モジュール191eによって読み込まれたSPDデータ(ここでは第2のSPDデータ)をもとにステップS6(初期設定処理)を実行する。 30

【0042】

さて、フラグ保存領域132及び192bに第1及び第2のSPDデータ保存フラグが保存されていて、当該両フラグの一致が判定された場合でも、SPDデータ保存領域192aに保存されていた第2のSPDデータが何らかの原因によって消失することがあり得る。もし、SPDデータ保存領域192aに保存されていた第2のSPDデータが消失した場合、上記ステップS7の判定はNOとなり、前記第2の状態(非第1の状態)が判定される。この場合、上記両フラグの不一致が判定された場合と同様に、ステップS3乃至 40 S6の処理が実行される。

【0043】

次に、パーソナルコンピュータの電源がオフされた後にメモリモジュール13が別のメモリモジュールに差し替えられ、しかる後に当該コンピュータの電源が再びオンされた場合のメモリ初期化処理について説明する。ここで、差し替え前のメモリモジュール13を旧メモリモジュール13と呼び、差し替え後のメモリモジュールを新メモリモジュール13と呼ぶ。

【0044】

まずメモリ認識実行判断処理モジュール191aは、フラグ保存領域132及び192bからそれぞれ第1及び第2のSPDデータ保存フラグを読み込む(ステップS1)。次 50

にメモリ認識実行判断処理モジュール191aは、読み込んだ両方のフラグが一致するかどうかを判定する(ステップS2)。

【0045】

今、フラグ保存領域192bには、前回電源がオンされたときに実行されるメモリ初期化処理によって、旧メモリモジュール13及び図1のパーソナルコンピュータに固有の第2のSPDデータ保存フラグが格納されている。また、SPDデータ保存領域192aには、旧メモリモジュール13のSPD130に含まれるSPDデータ領域131に格納されている第1のSPDデータが、第2のSPDデータとして格納されている。旧メモリモジュール13が差し替えられる場合、新メモリモジュール13は旧メモリモジュール13とはタイプが異なるのが一般的である。

10

【0046】

ここで、旧メモリモジュール13が新メモリモジュール13に差し替えられているにも拘わらずに、上述の初期化処理でステップS8が実行される場合を想定する。この場合、新メモリモジュール13のSPD130に格納されているSPDデータとは異なるSPDデータ、つまり旧メモリモジュール13のSPD130に格納されているSPDデータが読み込まれる。すると、適正なメモリ初期化処理が行われなくなることになる。そこで本実施形態では、メモリモジュールが差し替えられたかが次のようにして判定される。

【0047】

まず、旧メモリモジュール13に差し替えられる新メモリモジュール13が、図1のパーソナルコンピュータとは別のパーソナルコンピュータに備えられているものとする。また、この新メモリモジュール13のフラグ保存領域132に第1のSPDデータ保存フラグが格納されているとする。この第1のSPDデータ保存フラグは、旧メモリモジュール13のフラグ保存領域132に格納されている第1のSPDデータ保存フラグとは異なる。よって、今回の初期化処理のステップS2では、メモリ認識実行判断処理モジュール191aによって不一致が判定される。この場合、メモリ認識実行判断処理モジュール191aは、旧メモリモジュール13が新メモリモジュール13に差し替えられたことを判定できる。

20

【0048】

次に、新メモリモジュール13が例えば未使用のために、新メモリモジュール13のフラグ保存領域132に有効な第1のSPDデータ保存フラグが格納されていないものとする。この場合でも、上記ステップS2において不一致が判定されることから、メモリ認識実行判断処理モジュール191aは、旧メモリモジュール13が新メモリモジュール13に差し替えられたことを判定できる。

30

【0049】

ステップS2において不一致が判定された場合、つまり旧メモリモジュール13が新メモリモジュール13に差し替えられたことが判定された場合、前記第2の状態が判定される。この場合、前述のステップS3乃至S6の処理が実行される。

【0050】

上述したように本実施形態においては、メモリモジュール13のSPD130に格納された第1のSPDデータではなくて、CPU11が直接アクセス可能なメモリ空間に割り当てられるフラッシュROM19のSPD保存領域192に保存された第2のSPDデータに基づいてメモリ初期化処理を実行することによって、当該メモリ初期化処理を高速に実行することが可能となる。

40

【0051】

また、旧メモリモジュール13が新メモリモジュール13に差し替えられたにも拘わらずに、旧メモリモジュール13のSPDデータ保存領域192aから読み出されてフラッシュROM19のSPD保存領域192に保存されたSPDデータを用いると適正なメモリ初期化処理が行われぬ。しかしながら、本実施形態においては、メモリモジュール13のフラグ保存領域132及びフラッシュROM19のフラグ保存領域192bにそれぞれ書き込まれるSPDデータ保存フラグを参照することによって、メモリモジュール13

50

の差し替えを判定することができる。したがって、旧メモリモジュール13が新メモリモジュール13に差し替えられた場合には、当該新メモリモジュール13のSPDデータ領域131に格納されているSPDデータに基づいてメモリ初期化処理が実行される。

【0052】

よって、本実施形態によれば、旧メモリモジュール13が新メモリモジュール13に差し替えられたにも拘わらず、旧メモリモジュール13のSPDデータに基づいてメモリ初期化処理が実行されることを防ぐことが可能となる。

【0053】

なお、本発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素からいくつかの構成要素を削除してもよい。

10

【図面の簡単な説明】

【0054】

【図1】本発明の一実施形態に係るパーソナルコンピュータのシステム構成を示すブロック図。

【図2】CPU11が直接アクセス可能なメモリ空間190に対するメモリマッピングの一例を示す図。

【図3】上記実施形態で適用されるメモリ初期化処理手順を示すフローチャート。

【符号の説明】

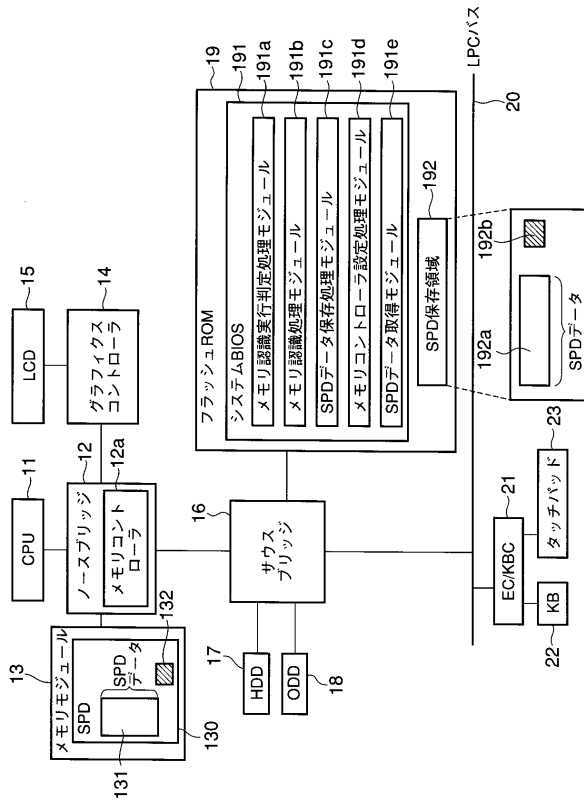
20

【0055】

11 ... CPU、12 ... ノースブリッジ、12a ... メモリコントローラ、13 ... メモリモジュール、16 ... サウスブリッジ、19 ... フラッシュROM、130 ... SPD、131 ... SPDデータ領域、132 ... フラグ保存領域、190 ... メモリ空間、191 ... システムBIOS、191a ... メモリ認識実行判断処理モジュール、191b ... メモリ認識処理モジュール、191c ... SPDデータ保存処理モジュール、191d ... メモリコントローラ設定処理モジュール、191e ... SPDデータ取得モジュール、192 ... SPD保存領域、192a ... SPDデータ保存領域、192b ... フラグ保存領域。

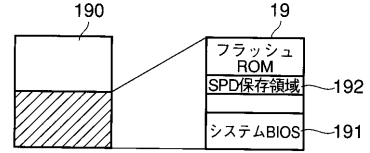
【図1】

図1



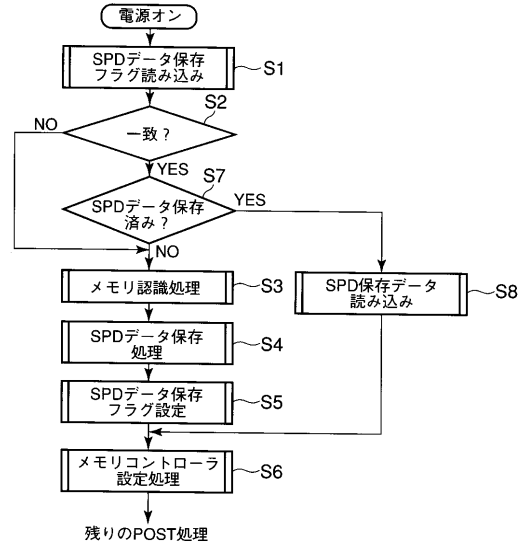
【図2】

図2



【図3】

図3



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 井上 雅之

東京都青梅市新町3丁目3番地の5 東芝デジタルメディアエンジニアリング株式会社内

(72)発明者 真田 俊孝

東京都青梅市新町3丁目3番地の5 東芝デジタルメディアエンジニアリング株式会社内

Fターム(参考) 5B054 AA01 BB01 CC02

5B060 MM06