

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成23年11月4日(2011.11.4)

【公表番号】特表2011-507378(P2011-507378A)

【公表日】平成23年3月3日(2011.3.3)

【年通号数】公開・登録公報2011-009

【出願番号】特願2010-537549(P2010-537549)

【国際特許分類】

H 04 L 12/56 (2006.01)

【F I】

H 04 L 12/56 400 A

【手続補正書】

【提出日】平成23年9月15日(2011.9.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ノードの処理キャパシティに関する情報を取得する方法であつて：

前記ノードから第1のレートで第1の信号を受信するステップと；

前記ノードから第2のレートで第2の信号を受信するステップと；

前記第2のレートと前記第1のレートとの間の比率を算出するステップと；

前記比率のプリセット値との比較に基づいて前記ノードの前記処理キャパシティを決定するステップと；

を含み、

前記第1の信号の連続するインスタンスの各々は、前記第1の信号の前回のインスタンスのシーケンス番号に基づいて算出されるシーケンス番号を含み；

前記第1の信号の最新のインスタンスの直後に受信される前記第2の信号のインスタンスは、前記第1の信号の前記最新のインスタンスのシーケンス番号に基づくシーケンス番号を含み；

前記第1の信号の次のインスタンスの前に受信される前記第2の信号の連続するインスタンスの各々は、前記第2の信号の前回のインスタンスのシーケンス番号に基づくシーケンス番号を含む、

方法。

【請求項2】

前記第1のレートは一定であり；及び

前記第2のレートは可変である；

請求項1に記載の方法。

【請求項3】

前記プリセット値は、前記ノードが通常の処理キャパシティを有する場合の前記第2及び第1のレートの間の比率に等しい、

請求項1に記載の方法。

【請求項4】

前記ノードの前記処理キャパシティを決定する前記ステップに基づいてルーティングテーブルを更新するステップと；

前記ノードの前記処理キャパシティが低い場合に、前記ノードに向けてメッセージを送

信することを控えるステップと；
をさらに含む、請求項 1 に記載の方法。

【請求項 5】

前記比率における変化を監視するステップと；
前記比率が変化する場合に、前記ノードの処理キャパシティの変化を検出するステップと；
をさらに含む、請求項 1 に記載の方法。

【請求項 6】

前記第 2 のレートの減少は、前記処理キャパシティの低下を示す、
請求項 5 に記載の方法。

【請求項 7】

前記第 1 の信号の連続するインスタンスの各々における前記シーケンス番号は、前記第 1 の信号の前記前回のインスタンスの前記シーケンス番号に前記プリセット値を加えたものに等しく；
前記第 1 の信号の前記最新のインスタンスの直後に受信される前記第 2 の信号の前記インスタンスにおける前記シーケンス番号は、前記第 1 の信号の前記最新のインスタンスの前記シーケンス番号に 1 を加えたものに等しく；

前記第 1 の信号の前記次回のインスタンスの前に受信される前記第 2 の信号の連続するインスタンスの各々における前記シーケンス番号は、前記第 2 の信号の前記前回のインスタンスの前記シーケンス番号に 1 を加えたものに等しい、

請求項 1 に記載の方法。

【請求項 8】

前記第 1 の信号の前記最新のインスタンスの前記シーケンス番号に基づいて、又は前記第 2 の信号の前記前回のインスタンスの前記シーケンス番号に基づいて、前記第 2 の信号の次回のインスタンスの期待されるシーケンス番号を算出するステップと；
前記期待されるシーケンス番号に等しくないシーケンス番号を含む前記第 2 の信号の前記次回のインスタンスを受信することにより、キャパシティの問題を検出するステップと；

をさらに含む、請求項 1 に記載の方法。

【請求項 9】

前記第 1 の信号の前記最新のインスタンスの前記シーケンス番号に基づいて、又は前記第 2 の信号の前記前回のインスタンスの前記シーケンス番号に基づいて、前記第 2 の信号の次回のインスタンスの期待されるシーケンス番号を算出するステップ、をさらに含み；

前記第 2 のレートと前記第 1 のレートとの間の前記比率を算出することは、前記期待されるシーケンス番号に合致しないシーケンス番号を含む前記第 2 の信号の所与のインスタンスを無視することを含む、

請求項 1 に記載の方法。

【請求項 10】

ノードの処理キャパシティに関する情報を発信する方法であって：
前記ノードの通常の処理キャパシティを示すプリセット値以下である提供キャパシティ値を決定するステップと；

前記ノードから基本レートで周期的に第 1 の信号を送信するステップと；
前記ノードから前記提供キャパシティ値を示す第 2 のレートで周期的に第 2 の信号を送信するステップと；

を含み、

前記第 2 のレートは、前記基本レートに前記提供キャパシティ値を乗じたものに等しい
方法。

【請求項 11】

前記ノードは複数のインターフェースを含み；

周期的な第1の信号の各々は全てのインターフェース上で送信され；及び
周期的な第2の信号の各々は全てのインターフェース上で送信される、
請求項10に記載の方法。

【請求項12】

前記提供キャパシティ値は、周期的に決定される、
請求項10に記載の方法。

【請求項13】

前記提供キャパシティ値は、前記ノードの実際の処理キャパシティに従って設定される
、
請求項10に記載の方法。

【請求項14】

前記提供キャパシティ値は、前記ノードの前記通常の処理キャパシティの所定の割合に
従って設定される、
請求項10に記載の方法。

【請求項15】

自身の処理キャパシティに関する情報を発信するためのノードであって：
プロセッサと；
前記プロセッサの負荷レベルを示すよう構成される負荷インジケータと；
ピアノードに向けて信号を送信するよう構成される1つ以上のインターフェースと；
第1のレートで第1の信号を送信するよう前記1つ以上のインターフェースに要求し；
前記負荷レベルと前記ノードの処理キャパシティの最大量との比較に基づいて第2のレ
ートを算出し；並びに
前記第2のレートで第2の信号を送信するよう前記1つ以上のインターフェースに要求す
る；
よう構成される、制御ロジックと；
を含み、
前記負荷レベルと処理キャパシティの前記最大量との比較に基づいて第2のレートを算
出することは、前記負荷レベルが低い場合に前記第2のレートを最大値に設定することを
含む、
ノード。

【請求項16】

前記第1のレートで前記制御ロジックのシーケンスを開始するよう構成されるクロック
をさらに含む、請求項15に記載のノード。

【請求項17】

前記第1の信号の連続するインスタンスの各々は、前記第1の信号の前回のインスタン
スのシーケンス番号に基づいて算出されるシーケンス番号を含み；
前記第1の信号の最新のインスタンスの直後に送信される前記第2の信号のインスタン
スは、前記第1の信号の前記最新のインスタンスのシーケンス番号に基づくシーケンス番
号を含み；及び

前記第1の信号の次のインスタンスの前に送信される前記第2の信号の連続するイン
スタンスの各々は、前記第2の信号の前回のインスタンスのシーケンス番号に基づくシ-
ケンス番号を含む、

請求項15に記載のノード。

【請求項18】

ピアノードの処理キャパシティに関する情報を取得するためのノードであって：
前記ピアノードから信号を受信するよう構成される1つ以上のインターフェースと；
前記1つ以上のインターフェースから第1の信号を複数回受信し；
前記第1の信号の第1のレートを決定し；
前記1つ以上のインターフェースから第2の信号を複数回受信し；
前記第2の信号の第2のレートを決定し；

前記第2及び第1のレートの間の比率を算出し；並びに
前記比率に基づく前記ピアノードの処理キャパシティをピアテーブルに記憶する；
よう構成される、制御ロジックと；
クロックと；

を含み、

前記制御ロジックは、前記クロックからのタイミング情報を使用して前記第1及び第2のレートを決定し、並びに前記第1及び第2のレートを前記ピアテーブルに記憶する；
ノード。

【請求項19】

前記第1及び第2の信号は、シーケンス番号を含み；

前記制御ロジックは、最新の第1の信号のシーケンス番号に基づいて、又は前回の第2の信号のシーケンス番号に基づいて、次回の第2の信号の期待されるシーケンス番号を計算するようさらに構成され；並びに

前記制御ロジックは、前記期待されるシーケンス番号を前記ピアテーブルに記憶するようさらに構成される；

請求項18に記載のノード。

【請求項20】

前記制御ロジックは、前記期待されるシーケンス番号に等しくないシーケンス番号を含む次回の第2の信号を受信することにより、キャパシティの問題を検出するようさらに構成される、

請求項19に記載のノード。

【請求項21】

前記第2及び第1のレートの間の比率を算出することは、前記期待されるシーケンス番号に合致しないシーケンス番号を含む所与の第2の信号を無視することを含む、

請求項19に記載のノード。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

ステップ260において対象ノードの処理キャパシティが決定された後、ピアノードはさらなるアクションを取り得る。これらアクションのうちのいくつかは補完的であってもよく、ピアノードは、これらアクションのうちのいくつかを他のアクションとは独立してとってもよい。ピアノードは、比率における変化を監視することにより、対象ノードの処理キャパシティにおける変化を監視し得る。ステップ310において、ステップ255において取得される比率が、前もって記憶されている比率の値と比較される。ステップ315において、この比較の結果は3つの異なる値を有し得る。ステップ315における結果が比率の増加を示している場合、ピアノードはステップ320において、対象ノードの処理キャパシティが増加したことを記録(record)し、又は別の方法でメモリに記憶(take note)する。ステップ315における結果が比率の減少を示している場合、ピアノードはステップ325において、対象ノードの処理キャパシティが減少したことを記録する。ステップ315における結果が比率が変化していないことを示している場合、特定のアクションは取られない。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

図4は、対象ノードの処理キャパシティを決定する処理においてより精度を上げるためのいくつかの例となる観点を示す。シーケンス400及び450は、図2のシーケンス200のステップのうちのいくつかと並行してピアノードにおいて動作し、シーケンス200のオプションとしてのサブルーチンとみなされ得る。サブルーチン400では、図2の前述の説明において示されているように、ステップ215においてピアノードにより第1の信号が受信される。第1の信号は、任意にシーケンス番号を含み得る。そうである場合、ステップ417において次回の第2の信号の期待されるシーケンス番号が、関数F₂を使用して算出される。ステップ419において、サブルーチンは図2におけるステップ215に続くステップ、即ちステップ220に戻る。サブルーチン450では、図2に示されているように、ステップ235において第2の信号がピアノードにより受信される。第2の信号もシーケンス番号を含み得る。ステップ452において、第2の信号に含まれるシーケンス番号が期待されるシーケンス番号に合致するか否かがチェックされる。ある実施形態においては、受信されるシーケンス番号と期待されるシーケンス番号とが等しい場合に、合致しているとされる。またある実施形態においては、受信されるシーケンス番号が期待されるシーケンス番号以上である場合に、合致しているとされ得る。合致している場合には、ステップ454において次回の第2の信号に適用可能な別の期待されるシーケンス番号が算出され、ステップ459においてサブルーチンは図2におけるステップ235に続くステップ、即ちステップ240に戻る。ステップ452において第2の信号に含まれるシーケンス番号が期待されるシーケンス番号に合致しないとみなされた場合、ピアノードはこの第2の信号又は別の第2の信号が失われ若しくは遅延していることを検出する。ステップ456において、ピアノードは、キャパシティの問題が起こっていることを検出する。キャパシティの問題は、対象ノードにおける処理キャパシティの問題、又はピアノードと対象ノードとの間の通信リンク上の問題であり得る。ステップ458において、ピアノードは図2のさらなる処理において無視されるべき第2の信号にマークを付ける。それからサブルーチンは、ステップ459において図2のシーケンスに戻る。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

メモリ510はまた、ピアノードのテーブル600をこれらピアノードの処理キャパシティに関する情報を記憶するために記憶してもよい。図6は、本発明のいくつかの観点に係る一例となるピアテーブル600を示す。テーブル600は、複数の行620～628を含み、これらはヘッダ行である第1の行620を除いて、テーブルを有するノードのピアに関する。テーブルは、ピアのリストにおけるノードの処理キャパシティに関する情報を取得し及び記憶するためにノードにより使用される。ピアテーブル600は、複数の列602～616を含み、これらのうちのいくつかはオプションである。第1の列602は、ピアのID P_nを含む。第2の列は、第1の信号、例えばHELLO信号を受信した最新のインスタンスの時間T1_nを記憶する。第1の信号の新たなインスタンスが受信されたたびに、受信の時間を前回の受信の時間T1_nと比較して、列606に記憶される第1の信号のレートR1_nを計算する。列604において新たな受信の時間は前回の値を上書きする。もちろん、他の同等の実施形態を使用して第1の信号の受信のレートを追跡することもできる。ある実施形態においては、列606における第1の信号のレートは、単純に第1の信号の全ての受信で上書きされる。またある実施形態においては、列606の第1の信号のレートR1_nは、時間にわたって平均されてもよい。またある実施形態においては、列606に記憶するためのより正確なレートR1_nを計算するために、列604において毎行1つのT1_nの値を記憶するのではなく、第1の信号の時間の値の配列を記憶することもできる。列608及び610は同様に、第2の信号、例えばALIVE信号の受信の時間T2_n及びレートR2_nをそれぞれ記憶する。列612において、2つの信

号のレートの比率が各ピアについて記憶される。例となるピアテーブル 600において、比率は第2の信号のレート R_{2_n} を第1の信号のレート R_{1_n} で除することにより取得され、10となる比率は名目のレートであることを示す。任意的な列 614は、所与の行のピアについてのルーティングのコストを記憶する。コストは数値であり得、低いコストはピアへ向けてのルーティングが好適であることを示す。それは単純に高いか低いかの表示でもあり得る。コストは、ピアへ向かうルーティングが許可されるか否かを示す2値表示であってもよい。ある実施形態においては、ルーティングのコストは、ピアテーブル 600とは異なる別のルーティングテーブルにおいて記憶されてもよい。別の任意的な列 616は、次回の第2の信号についての期待されるシーケンス番号(E - S Q N) E_n を記憶する。ピアテーブル 600は、ノードのピアに関する追加的情報を維持するために他の列(図示しない)も含んでもよい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

ピアテーブル 600において、行 622 ~ 628 上の例となるピア $P_1 \sim P_4$ は、これらピアの処理キャパシティに関連する様々な状況を示している。行 622 上において、10に等しい比率により示されるように、 P_1 の処理キャパシティはその名目のレベルである。トラフィックは P_1 に向けてルーティングされてよく、ルーティングのコストは低い。行 624 上において、 P_2 から第1の信号は少なくとも1回受信されたが、第2の信号はまだ受信されていない。 P_2 について第2の信号のレートは算出されなくともよく、従って比率はゼロに等しい。トラフィックは P_2 に向けてルーティングされ得ず、ルーティングのコストは高い。行 626 上において、 P_3 から第2の信号しか受信されていない。第1の信号のレート R_{1_3} は設定されていないため、第1の信号のレートについての空値でレート R_{2_3} を割った比率は無限大という結果を生じさせる。これもまたルーティングの問題を示しているため、ルーティングのコストは高い。行 628 上において、 P_4 についての比率は7に等しく、これは名目の値である10よりも小さい。 P_4 の処理キャパシティはいくらか低下しており、そのため中程度のルーティングのコストが割り当てられる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

プロセッサ 520 は、ノード 500 において実装される特徴に係るタスクを実行する。負荷インジケータ 530 は、プロセッサ 520 上の負荷レベルを継続的に反映する。クロック 540 は、制御ロジック 550 におけるシーケンスを周期的に開始する。各シーケンスの始めに、制御ロジック 550 は負荷インジケータ 530 からプロセッサの負荷を読み取る。制御ロジック 550 は、メモリ 510 における定数 512 からプリセット値を読み取る。制御ロジック 550 は、第1の信号、例えば HELLO メッセージをシーケンス毎に1回送信するよう1つ以上のインタフェース 560 に要求する。制御ロジック 550 は、第1の信号に含めるためのシーケンス番号を任意に生成してもよく、1回のシーケンスの間に送信される第1の信号の1つのインスタンスのシーケンス番号は、先行するシーケンスにおける第1の信号のシーケンス番号に基づいて好適に生成される。それから制御ロジック 550 は、プロセッサの負荷及びプリセット値からシーケンスの間に送信されるべき第2の信号、例えば ALIVE メッセージの数 N を決定する。プロセッサの負荷が低い場合、数 N はプリセット値に等しく設定される。プロセッサの負荷が高いとみなされるべき

か低いとみなされるべきかの判定は、メモリ 510 に記憶されているいくつかの定数 512 に依存し得る。制御ロジック 550 は、A L I V E メッセージに含まれるべきシーケンス番号を算出してもよく、連続するシーケンス番号の各々は、前回送信された信号のシーケンス番号に基づいて好適に算出される。制御ロジック 550 は、決定された数 N の第 2 の信号を、第 1 の信号のレートの N 倍に相当するレートで送信するよう 1 つ以上のインターフェース 560 に要求する。