(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G09G 3/36

(45) 공고일자 2002년11월13일
(11) 등록번호 10-0337146
(24) 등록일자 2002년05월06일

(21) 출원번호 10-1995-0009913
(22) 출원일자 1995년04월26일

(65) 공개번호 특1995-0034036
(43) 공개일자 1995년12월26일

(30) 우선권주장 1994-89926 1994년04월27일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 하야시마사다께
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

(74) 대리인 박종길

심사관 : 정연우

(54) 전기광학표시장치

요약

본 발명은 전기광학표시장치에 관한 것으로서, 플라즈마어드레스표시장치의 1화소분의 등가회로에 있어서, RLC 및 CLC는 각각 액정층의 저항 및 용량 RG 및 CG는 각각 유전시트의 저항 및 용량이라고 할 때,

RLC / (RLC+RG) < CG / (CLC+CG)

를 만족하도록 액정층 및 유전시트로 구성함으로써, 필터회로에 하이패스특성을 부여한다. 이로써, 회로는 직류성분의 이득을 낮게 할 수 있고, 기입데이터전압에 직류오프셋이 있어도, 액정층에 인가되는 직류성분을 작게 할 수 있어서, 액정의 이미지스티킹의 발생 등을 억제할 수 있다.

대표도
도 1

명세서

도면의 간단한 설명

제1도는 플라즈마어드레스표시장치의 구성예를 나타낸 사시도.

제2도는 플라즈마어드레스표시장치의 구성예를 나타낸 단면도.

제3도는 데이터전극, 플라즈마전극, 방전채널의 배열을 나타낸 도면.

제4도는 플라즈마어드레스표시장치의 1화소분의 등가회로를 나타낸 도면.

제5도는 본 발명에 관한 전기광학표시장치의 일실시예를 설명하기 위한 플라즈마어드레스표시장치의 1화소분의 등가회로를 나타낸 도면.

제6도는 필터회로의 액정층에 대한 주파수특성을 나타낸 도면.

제7도는 액정층의 저항을 변화시킨 경우의 주파수특성의 변화를 나타낸 도면.

제8도는 유전시트의 저항을 변화시킨 경우의 주파수특성의 변화를 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

(1): 전기광학표시셀, (2): 플라즈마셀, (3): 유전시트, (4): 상측의 유리기판(상측기판), (5): 데이터전극, (6): 스페이서, (7): 액정층, (8): 하측의 유리기판(하측기판), (9A): 애노드전극, (9K): 캐소드전극, (10): 격벽, (11): 프릿시일재, (12): 방전채널, (13): 화소, (100): 플라즈마어드레스표시장치, SW1 : 방전채널로 구성되는 가상적 스위치.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기광학표시셀과 유전(誘電)시트가 적층되고, 유전시트를 통하여 전기광학표시셀의 전기광학재료층에 데이터전압의 기입이 행해지는 전기광학표시장치에 관한 것이다.

종래, 플라즈마셀과 전기광학표시셀이 유전시트를 개재하여 적층되어 이루어지는 플라즈마어드레스표시장치가 제안되어 있다. 제1도 및 제2도는 플라즈마어드레스표시장치(100)의 구성예를 나타내고 있다.

제1도 및 제2도에 있어서, 플라즈마어드레스표시장치(100)는 전기광학표시셀(1)과, 플라즈마셀(2)과, 이들 양자의 사이에 개재하는 유전시트(3)를 적층한 플랫패널구조로 된다. 유전시트(3)는 박판유리 등으로 구성된다. 이 유전시트(3)는 표시셀(1)을 구동하기 위하여 될 수 있는 한 얇게 할 필요가 있고, 예를 들면 50㎛ 정도의 판두께를 가지도록 형성된다.

표시셀(1)은 상측의 유리기판(상측기판)(4)을 사용하여 구성된다. 상측기판(4)의 내측주면(主面)에는, 투명도전재료로 이루어지는 동시에 행방향으로 뻗는 복수개의 데이터전극(5)이 소정의 간격을 유지하여 열방향으로 병렬적으로 형성된다. 상측기판(4)은 스페이서(6)에 의하여 소정의 간격을 유지한 상태로 유전시트(3)에 접합된다. 상측기판(4) 및 유전시트(3)의 간극에는, 전기광학재료로서의 액정이 충전되어 액정층(7)이 형성된다. 여기서, 상측기판(4) 및 유전시트(3)의 간극의 치수는 예를 들면 4 10㎛로 되고, 표시면 전체에 걸쳐서 균일하게 유지된다. 그리고, 전기광학재료로서는 액정 이외의 것을 사용할 수도 있다.

한편, 플라즈마셀(2)은 하측의 유리기판(하측기판)(8)을 사용하여 구성된다. 하측기판(8)의 내측주면에는, 플라즈마전극을 구성하는 열방향으로 뻗는 복수의 애노드전극(9A) 및 캐소드전극(9K)이 교호로 소정의 간격을 유지하여 행방

향으로 병렬적으로 형성된다. 또, 애노드전극(9A) 및 캐소드전극(9K)의 각 상면의 대략 중앙부에는, 각각 전극에 따라서 연재하도록 소정 폭의 격벽(10)이 형성된다. 그리고, 각 격벽(10)의 정상부는 유전시트(3)의 하면에 맞닿고, 하측기판(8) 및 유전시트(3)의 간극의 치수가 일정하게 유지 된다.

또, 하측기판(8)의 주변부에는 그 주면부에 따라서 저융점유리 등을 사용한 프릿시일재(11)가 배설되고, 하측기판(8)과 유전시트(3)가 기밀적으로 접합된다. 하측기판(8) 및 유전시트(3)의 간극에는. 이온화가능한 가스가 봉입된다. 봉입되는 가스로서는, 예를 들면 헬륨, 네온, 아르곤 또는 이들의 혼합기체 등이 사용된다.

하측기판(8) 및 유전시트(3)의 간극에는, 각 격벽(10)으로 분리된 열방향으로 뻗는 복수의 방전채널(공간)(12)이 행방향으로 병렬적으로 형성된다. 즉, 방전채널(12)은 데이터전극(5)과 직교하도록 형성된다. 그리고, 각 데이터전극(5)은 열구동단위로 되는 동시에 각 방전채널(12)은 행구동단위로 되고, 양자의 교차부에는 각각 제3도에 나타낸 바와 같이 화소(13)가 규정된다.

이상의 구성에 있어서, 소정의 방전채널(12)에 대응하는 애노드전극(9A)과 캐소드전극(9K)과의 사이에 소정 전압이 인가되면, 그 방전채널(12)의 부분의 가스가 선택적으로 이온화되어 플라즈마방전이 발생하고, 그 내부는 대략 애노드전위로 유지된다. 이 상태에서, 데이터전극(5)에 데이터전압이 인가되면, 그 방전채널(12)에 대응하여 열방향으로 배열되는 복수의 화소(13)의 액정층(7)에 유전시트(3)를 통하여 데이터전압이 기입된다. 플라즈마방전이 종료하면, 방전채널(12)은 부유(浮遊)전위로 되고, 각 화소(13)의 액정층(7)에 기입된 데이터전압은 다음의 기입기간 (예를 들면 1필드 후 또는 1프레임 후)까지 유지된다. 이 경우, 방전채널(12)은 샘플링스위치로서 기능하는 동시에, 각 화소(13)의 액정층(7)은 샘플링커패시터로서 기능한다.

각 화소(13)의 액정층(7)에 기입된 데이터전압에 의하여 액정이 동작하므로 화소단위로 표시가 행해진다. 따라서, 전술한 바와 같이 플라즈마방전을 발생시켜서 열방향으로 배열되는 복수의 화소(13)의 액정층(7)에 데이터전압을 기입하는 방전채널(12)을 행방향으로 순차 주사하여 감으로써, 2차원 화상의 표시를 행할 수 있다.

그런데, 액정표시장치를 구동하는 경우에는, 액정에 직류성분이 인가되는 것을 방지하기 위하여, 직류성분을 배제할 필요가 있다. 액정에 직류성분이 인가되면, 이미지 스티킹(image sticking)이 발생하는 등의 문제가 있기 때문이다.

전술한 플라즈마어드레스표시장치에 있어서도, 동일한 이유로부터 액정층(7)에 직류성분이 인가되지 않도록 하는 것이 필요하게 된다. 그러나, 액정층(7)에 직류성분이 인가되지 않도록 하는 것은 그 구성상 용이하지는 않다. 그 이유를 제4도를 사용하여 설명한다. 제4도는 플라즈마어드레스표시장치(100)의 1화소분의 등가회로를 나타내고 있다.

제4도에 있어서, DS는 데이터전압, RLC 및 CLC는 각각 액정층(7)의 저항 및 용량, RG 및 CG는 각각 유전시트(3)의 저항 및 용량, SW1는 방전채널(12)로 구성되는 가상적 스위치, VB는 직류전원, R은 전류제한용의 저항, SW2는 애노드전극(9A)과 캐소드전극(9K)과의 사이에 소정 전압을 인가하기 위한 스위치이다. 스위치 SW2를 온으로 함으로써, 애노드전극(9A)과 캐소드전극(9K)과의 사이에 소정 전압이 인가되고, 방전채널(12)에 플라즈마방전이 발생하여 가상적 스위치 SW1가 온으로 되고, 유전시트(3)를 통하여 액정층(7)에 데이터전압 DS에 비례한 전압이 기입된다.

이 경우, 가상적 스위치 SW1은 방전상태에 따라서는 단순한 스위치가 아니고, 직류오프셋을 가지는 수가 있다. 즉, 유전시트(3)의 하면전위가 애노드전위보다 낮은 전위, 즉 애노드전위와 캐소드전위와의 중간전위에 있는 상태에서 데이터전압 DS이 기입되는 경우가 있다. 이것은 유전시트(3)의 하면전위의 변화와, 방전에 기인하는 하전입자 (준안정입자)의 감쇠의 동작 등에 의존한다.

예를 들면, 애노드전극(9A)과 캐소드전극(9K)과의 사이에 전위차가 남은 채로 하전입자가 소멸한 경우에는, 유전시트(3)의 하면전위가 애노드전위보다 낮은 전위로 데이터전압 DS의 기입이 행해지고, 가상적 스위치 SW1은 직류오프셋을 갖게 된다.

이상 설명한 바와 같이, 플라즈마어드레스표시장치에서는, 가상적 스위치 SW1이 직류오프셋을 가지는 경우가 있고, 액정에 직류성분이 인가되는 것을 방지하기 위하여 직류성분을 배제하는 것이 용이하지 않고, 액정의 이미지스티킹이 생기는 등의 문제가 있었다.

그래서, 본 발명에서는, 예를 들면 플라즈마어드레스표시장치에서 가상적 스위치가 직류오프셋을 가지는 경우 등에 기입데이터전압에 직류오프셋이 있어도, 전기광학재료의 이미지스티킹의 발생 등을 억제하여 장기적인 신뢰성을 향상시킬 수 있는 전기광학표시장치를 제공하는 것이다.

본 발명의 하나의 양태에 있어서, 전기광학표시장치는 전기광학재료층을 가지는 전기광학표시셀과, 상기 전기광학표시셀측에 적층된 유전시트로 이루어지고, 1화소분의 상기 전기광학표시셀의 전기광학재료층의 저항 및 용량을 각각 RLC 및 CLC라고 하고, 1화소분의 상기 유전시트의 저항 및 용량을 각각 RG 및 CG라고 할 때,

$RLC / (RLC+RG) < CG / (CLC+CG)$

를 만족하도록 상기 전기광학표시셀 및 상기 유전시트를 형성한다.

이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로는 하이패스특성을 나타내게 되어, 직류성분의 이득을 낮게 할 수 있고, 기입데이터전압에 직류오프셋이 있어도, 전기광학재료층에 인가되는 직류성분은 작아서, 전기광학재료의 이미지스티킹의 발생 등을 억제하여 장기적인 신뢰성을 향상시킬 수 있다.

바람직하게는, 전기광학표시장치는 또한 상기 전기광학재료층에 인가되는 데이터 전압으로서의 재기입주파수를 fD라고 할 때,

$fD > 1 / (CLC \cdot RLC / 2\pi)$

를 만족하도록 상기 전기광학재료층에 인가되는 상기 데이터전압을 재기입하는 재기입 수단으로 이루어진다.

이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로에, 기입데이터전압의 이득이 충분히 높아지는 하이패스특성을 갖게 함으로써, 전기광학재료층에 대한 데이터전압의 기입을 양호하게 행할 수 있다.

바람직하게는, 전기광학표시장치는 상기 유전시트의 비저항을 ρG, 그 두께를 dG라고 하고, 상기 전기광학재료층의 두께를 dLC, 그 비저항을 ρLC라고 할 때,

$\rho G > 10^3 \times (dLC / dG) \times \rho LC$

를 만족하도록 상기 전기광학표시셀 및 상기 유전시트를 형성한다.

이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로의 하이패스특성에 있어서의 직류성분의 이득은 10^{-3} 이하로 되어, 기입데이터전압의 직류오프셋이 100V 정도라도 전기광학재료층에 인가되는 직류성분은 0.1V 보다 작아지므로, 전기광학재료의 이미지스티킹의 발생 등을 효과적으로 억제할 수 있다.

전기광학표시장치는 또한 유전시트측에 적층된 플라즈마셀로 이루어진다.

이 발명에 의하면, 플라즈마방전의 상태에 따라서 샘플링스위치가 직류오프셋을 가지고, 결과적으로 기입데이터전압에 직류오프셋을 가지는 수가 있지만, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로의 하이패스특성에 의하여 전기광학재료층에 인가되는 직류성분을 작게 할 수 있어서, 전기광학재료의 이미지스티킹의 발생 등을 억제하여 장기적인 신뢰성을 향상시킬 수 있다.

전기광학표시장치는 전기광학표시셀이 그 내면에 데이터전극을 가지는 제1의 기판과, 유전시트와 제1의 기판과의 사이에 배설된 액정층으로 이루어진다.

이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로의 하이패스특성에 의하여 전기광학재료층으로서 액정층에 인가되는 직류성분을 작게 할 수 있어서, 액정의 이미지스티킹의 발생 등을 억제하여 장기적인 신뢰성을 향상시킬 수 있다.

본 발명의 다른 목적 및 이점은 첨부도면을 참조한 다음의 실시예의 상세한 설명으로부터 명백해질 것이다.

다음에, 도면을 참조하면서, 본 발명의 일실시예에 대하여 설명한다. 본 예는 플라즈마어드레스표시장치에 적용한 예이다.

제5도는 플라즈마어드레스표시장치(100) (제1도 및 제2도 참조)의 1화소분의 등가회로를 나타내고 있으며, 방전채널(12)로 구성되는 가상적 스위치 SW1이 직류오프셋 VOFF을 가지고 있는 경우를 나타내고 있다. 이 제5도에 있어서, 제4도와 대응하는 부분에는 동일부호를 붙이고, 그 상세설명은 생략한다.

가상적 스위치 SW1이 직류오프셋 VOFF을 가지는 경우는, 결과로서 액정층(7)에 기입되는 기입데이터전압에 직류오프셋 VOFF을 갖게 된다. 이 직류오프셋 VOFF은 애노드전극(9A) 및 캐소드전극(9K)의 사이에 인가되는 구동전압 VB (제4도 참조)이 300V 정도일 때는 100V 정도에 달하는 경우도 있다.

제5도에 나타낸 바와 같이, 액정층(7) 및 유전(誘電)시트(3)는 직렬로 접속되고, 각각은 저항과 용량의 각 성분을 가지고 있으므로, 이들은 액정층(7)에 있어서는 이득 G (| VLC | / | Vi |)을 가진 일종의 필터회로로 볼 수 있다. 여기서, VLC는 액정층(7)에 인가되는 전압, Vi는 액정층(7) 및 유전시트(3)의 직렬회로에 인가되는 전압이다.

그런데, 액정층(7)에 인가될 정규의 신호, 즉 데이터전압 DS은 사각형파신호로서, 그 주파수 fD는 예를 들면 30Hz이다. 그러므로, 액정층(7)에 인가되는 직류성분을 작게 하기 위해서는, 전술한 액정층(7) 및 유전시트(3)로 구성되는 필터회로의 이득 G이 직류에 대해서는 충분히 낮고, 또 fD 이상의 신호에 대해서는 충분히 높은 것이 바람직한 조건으로 된다.

본 예에 있어서는, 기본적으로는 제1도 및 제2도에 나타낸 바와 같이 구성되지만, 제6도에 주파수특성을 나타낸 바와 같이, 또한 액정층(7) 및 유전시트(3)로 구성되는 액정층(7)에 대한 필터회로가 하이패스특성을 가지도록 구성된다. 즉, 1화소분의 액정층(7)의 저항 및 용량을 각각 RLC 및 CLC로 하는 동시에, 1화소분의 유전시트(3)의 저항 및 용량을 각각 RG 및 CG라고 할 때,

RLC / (RLC+RG) < CG / (CLC+CG)

를 만족하도록 액정층(7) 및 유전시트(3)가 형성된다. 이로써, 직류성분의 이득을 낮게 할 수 있고, 기입데이터전압에 직류오프셋 VOFF이 있어도, 액정층(7)에 인가되는 직류성분은 작아서, 액정의 이미지스티킹의 발생 등을 억제하여 신뢰성을 향상시킬 수 있다. 그리고, 제6도에 있어서, fL은 대략 1 / (CG · RG / 2π)이고, fH는 대략 1 / (CLC · RLC /2π)이다.

또, 제6도에 나타낸 바와 같이, 데이터전압이 재기입될 때의 주파수를 fD라고 할때,

fD > fH = 1 / (CLC · RLC / 2π)

를 만족하도록 액정층(7)이 형성된다. 이로써, 데이터전압 DS의 이득을 충분히 높게 할 수 있고, 액정층(7)에 대한 데이터전압 DS의 기입을 양호하게 행할 수 있다.

여기서, 액정층(7) 및 유전시트(3)로 구성되는 액정층(7)에 대한 필터회로의 직류성분의 이득 G은 RLC / (RLC+RG)로 되므로, 저항 RLC을 작게 하거나 저항 RC을 크게 함으로써, 필터회로의 직류성분의 이득 G을 내리는 것이 가능하게 된다. 이 경우, 액정층(7)의 저항 RLC을 작게 하여 가면, 제7도에 나타낸 바와 같이 직류분의 이득 G = RLC / (RLC+RG)은 작게 되어 가지만, 주파수 fH도 높게 되어 가서, 주파수 fD의 데이터전압 DS의 이득을 확보하는 것이 곤란

하게 된다. 또, 고품질의 액정재료는 비교적 저항 RLC을 크게, 저항 RLC을 작게 하여 직류성분의 이득 G을 내리는 것은 현실적은 아니다.

한편, 유전시트(3)의 저항 RG을 크게 하여 가는 경우에도, 제8도에 나타낸 바와 같이 직류분의 이득 G = RLC / (RLC+RG)은 작게 되어 가지만, 액정층(7)의 저항 RLC을 작게 하여 가는 경우와는 상이하여 주파수 fH는 변화하지 않는다. 따라서, 직류성분의 이득 G을 내리기 위해서는, 유전시트(3)의 저항 RG을 크게 하는 것이 바람직하다.

그런데, 액정층(7) 및 유전시트(3)로 구성되는 액정층(7)에 대한 필터회로의 직류성분에 관한 이득 G은 다음과 같이 개산(槪算)할 수 있다. 애노드전극(9A) 및 캐소드전극(9K)의 사이에 인가되는 전압이 300V 정도인 것으로 한다. 가상적 스위치 SW1에 발생할 수 있는 최대의 직류오프셋 VOFF은 실험적으로는 100V 정도이다. 또, 액정층(7) 자체에 대한 직류전압의 허용량은 0.1V 정도인 것으로 한다. 이 경우, 직류성분에 관한 이득 G은

$G \leq 0.1 / 100 = 10^{-3}$

로 구해진다.

직류성분에 관한 이득 G = RLC / (RLC+RG)을 10^{-3} 이하로 하기 위해서는, 액정층(7)의 두께를 dLC, 그 비저항을 ρLC라고 하는 동시에, 유전시트(3)의 두께를 dG, 그 비저항을 ρG라고 할 때,

$$\rho G \geq 10^3 \times (dLC / dG) \times \rho LC$$

를 만족하도록 액정층(7) 및 유전시트(3)를 형성하게 된다. 이와 같이 하여, 직류성분에 관한 이득 G을 10^{-3} 이하로 할 경우에는, 기입데이터전압의 직류오프셋 VOFF이 100V 정도라도 액정층(7)에 인가되는 직류성분은 0.1V 정도로 되므로, 액정의 이미지스티킹의 발생 등을 효과적으로 억제할 수 있다.

예를 들면, 고신뢰성의 액정으로서 동상 사용되는 불소계의 액정재료는 10^{14} Ωcm 정도의 비저항 ρLC을 가지고 있다. 또, 액정층(7)의 두께 dLC가 예를 들면 5㎛, 유전시트(3)의 두께 dG가 예를 들면 50㎛로 설정되는 경우, 직류성분에 관한 이득 G을 10^{-3} 이하로 하기 위해서는, 유전시트(3)의 비저항 ρG을 다음 식에서 구해지도록 10^{16} Ωcm 이상으로 할 필요가 있다. 예를 들면, 쇼트(Schott)제의 " AF45" 라고 하는 유리는 20℃에서 10^{20} Ωcm 이상의 비저항을 가지므로 사용할 수 있다.

$G = RLC / (RLC+RG)$

$= (10^{14} \times 5) / (10^{14} \times 5 + \rho G \times 50) \leq 10^{-3}$

$\therefore \rho G \geq 10^{16}$ Ωcm ··· (1)

그리고, 전술한 실시예에 있어서는, 전기광학표시셀(1)은 액정층(7)을 가지고 구성되는 예를 나타냈지만, 직류성분이 인가됨으로써 이미지스티킹 등이 생기는 기타의 전기광학재료층을 가지고 구성되는 것에도, 본 발명을 마찬가지로 적용할 수 있다.

또, 전술한 실시예는 플라즈마어드레스표시장치(100)에 적용한 것이지만, 유전시트를 동하여 전기광학재료층에 데이터전압이 기입되는 구성의 그 밖의 전기광학표시장치에도 마찬가지로 적용할 수 있다. 그 경우, 구동희로의 드리프트 등의 이유로 기입데이터전압에 직류오프셋이 발생해도, 전기광학재료층에 인가되는 직류성분을 작게 할 수 있으므로, 이미지스티킹의 발생 등을 억제하여 신뢰성을 향상시킬 수 있다.

이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로는 하이패스특성을 나타내게 되어, 직류성분의 이득을 낮게 할 수 있고, 기입데이터전압에 직류오프셋이 있어도, 전기광학재료층에 인가되는 직류성분은 작아서, 전기광학재료의 이미지스티킹의 발생 등을 억제하여 장기적인 신뢰성을 향상시킬 수 있다.

또한, 이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로에, 기입데이터전압의 이득이 충분히 높아지는 하이패스특성을 갖게함으로써, 전기광학재료층에 대한 데이터전압의 기입을 양호하게 행할 수 있다.

또한, 이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로의 하이패스특성에 있어서의 직류성분의 이득은 10^{-3} 이하로 되어, 기입데이터전압의 직류오프셋이 100V 정도라도 전기광학재료층에 인가되는 직류성분은 0.1V보다 작아지므로, 전기광학재료의 이미지스티킹의 발생 등을 효과적으로 억제할 수 있다.

또한, 이 발명에 의하면, 플라즈마방전의 상태에 의하여 샘플링스위치가 직류오프셋을 가지고, 결과적으로 기입데이터전압에 직류오프셋을 가지는 수가 있지만, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로의 하이패스특성에 의하여 전기광학재료층에 인가되는 직류성분을 작게 할 수 있어서, 전기광학재료의 이미지스티킹의 발생 등을 억제하여 장기적인 신뢰성을 향상시킬 수 있다.

또한, 이 발명에 의하면, 전기광학표시셀 및 유전시트로 구성되는 전기광학재료층에 대한 필터회로의 하이패스특성에 의하여 전기광학재료층으로서 액정층에 인가되는 직류성분을 작게 할 수 있어서, 액정의 이미지스티킹의 발생 등을 억제하여 장기적인 신뢰성을 향상시킬 수 있다.

전술한 바와 같이 본 발명의 바람직한 실시예에 대하여 설명하였으나, 이 기술분야에서 숙련된 사람에게는 다양한 변경을 가할 수 있다는 것을 알 수 있을 것이다. 그러므로, 본 발명의 범위는 다음의 특허정구의 범위에 의해 정해져야 한다.

(57) 청구의 범위

청구항 1.

전기광학재료층을 가지는 전기광학표시셀과,

상기 전기광학표시셀측에 적층된 유전(誘電)시트로 이루어지고,

1화소분의 상기 광학표시셀의 전기광학재료층의 저항 및 용량을 각각 RLC 및

CLC라고 하고, 1화소분의 상기 유전시트의 저항 및 용량을 각각 RG 및 CG라고 할 때,

$RLC / (RLC+RG) < CG / (CLC+CG)$

를 만족하도록 상기 전기광학표시셀 및 상기 유전시트를 형성하는 것을 특징으로 하는 전기광학표시장치.

청구항 2.

제1항에 있어서, 또한 상기 전기광학재료층에 인가되는 데이터전압으로서의 재기 입주파수를 fD라고 할 때,

$fD > 1 / (CLC \cdot RLC / 2\pi)$

를 만족하도록 상기 전기광학재료층에 인가되는 상기 데이터전압을 재기입하는 재기입수단으로 이루어지는 것을 특징으로 하는 전기광학표시장치.

청구항 3.

제1항에 있어서, 상기 유전시트의 비저항율 ρG, 그 두께를 dG라고 하고, 상기 전기광학재료층의 두께를 dLC, 그 비저항을 ρLC라고 할 때,

$\rho G \geq 10^3 \times (dLC / dG) \times \rho LC$

를 만족하도록 상기 전기광학표시셀 및 상기 유전시트를 형성하는 것을 특징으로 하는 전기광학표시장치.

청구항 4.

제1항에 있어서, 상기 유전시트는 비저항이 10^{16} Ωcm 이상인 것을 특징으로 하는 전기광학표시장치.

청구항 5.

제1항에 있어서, 또한 상기 유전시트측에 적층된 플라즈마셀로 이루어지는 것을 특징으로 하는 전기광학표시장치.

청구항 6.

제5항에 있어서, 상기 플라즈마셀은 상기 전기광학표시셀을 어드레스하는 복수의 방전채널을 가지는 것을 특징으로 하는 전기광학표시장치.

청구항 7.

제6항에 있어서, 각 방전채널은 한쌍의 방전전극을 가지는 것을 특징으로 하는 전기광학표시장치.

청구항 8.

제1항에 있어서, 상기 전기광학표시셀은,

그 내면에 데이터전극을 가지는 제1의 기판과,

상기 유전시트와 상기 제1의 기판과의 사이에 배설된 액정층으로 이루어지는 것을 특징으로 하는 전기광학표시장치.

청구항 9.

제8항에 있어서, 상기 플라즈마셀은 또한,

상기 제1의 기판과 대면하는 제2의 기판과,

상기 제2의 기판상에 형성된 복수의 방전전극과,

상기 유전시트와,

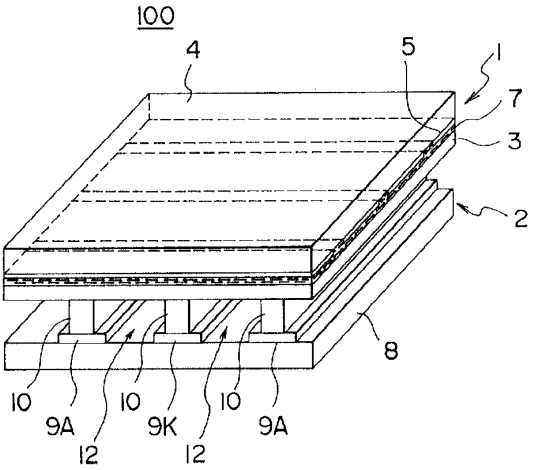
상기 제2의 기판과 상기 유전시트와의 사이에 보유된 이온화가능한 가스로 이루어지는 것을 특징으로 하는 전기광학표시장치.

청구항 10.

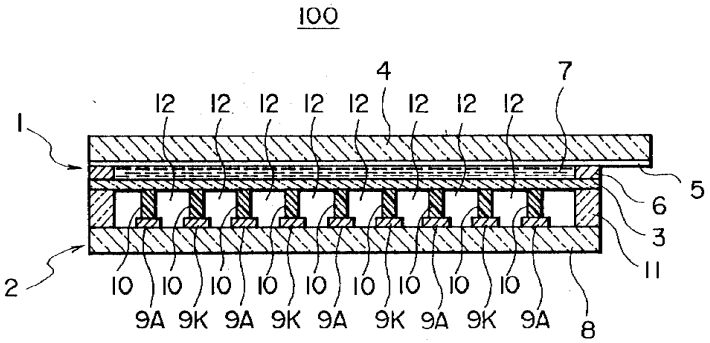
제9항에 있어서, 상기 플라즈마셀은 또한 상기 유전시트의 하면과 접촉하여 상기 방전전극상에 형성된 격벽으로 이루어지는 것을 특징으로 하는 전기광학표시장치.

도면

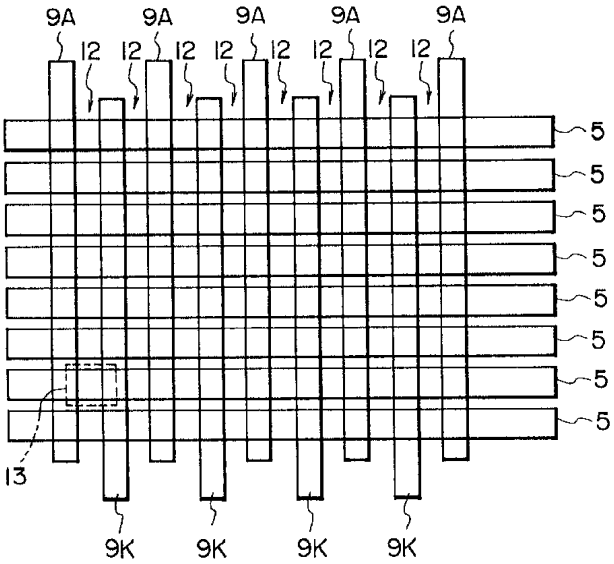
도면 1


100
4
5
1
7
3
2
8
10
9A
12
10
9K
12
10
9A

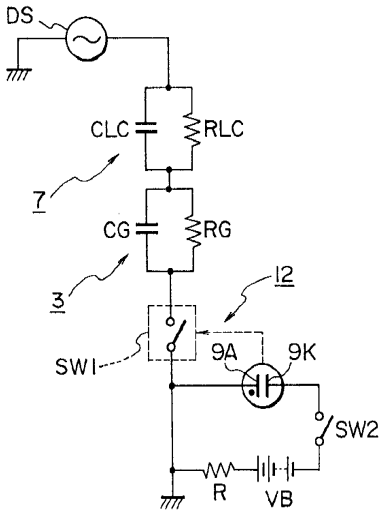
도면 2


100
4
7
12
12
12
12
12
12
12
12
1
5
6
3
11
2
10
10
10
10
10
10
10
10
10
9A
9K
9A
9K
9A
9K
9A
9K
9A
8

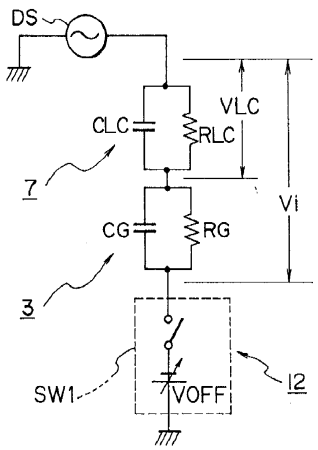
도면 3



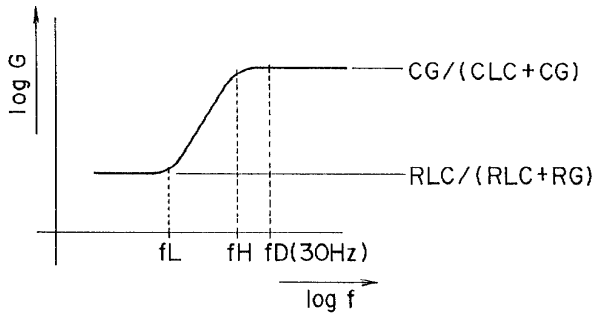
도면 4



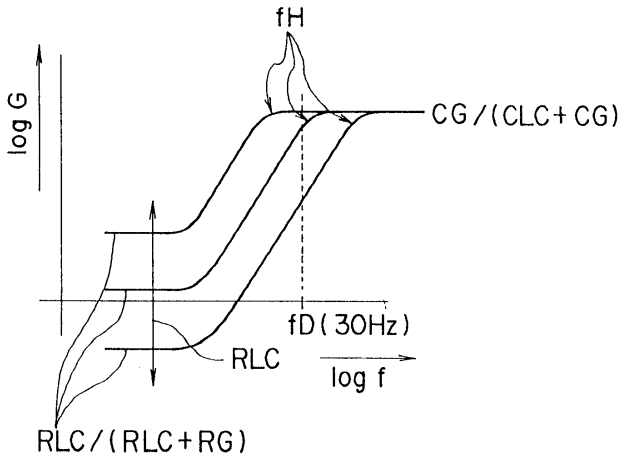
도면 5


DS
VLC
CLC
RLC
7
Vi
CG
RG
3
SW1
VOFF
12

도면 6


log G
CG/(CLC+CG)
RLC/(RLC+RG)
fL
fH
fD(30Hz)
log f

도면 7


fH
log G
CG/(CLC+CG)
fD(30Hz)
RLC
log f
RLC/(RLC+RG)

도면 8

