(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月10日(10.06.2021)

WIPO | PCT

(10) 国際公開番号
**WO 2021/111573 A1**

(51) 国際特許分類:
*G06N 3/063* (2006.01)

(21) 国際出願番号： PCT/JP2019/047549

(22) 国際出願日： 2019年12月5日(05.12.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人：ＴＤＫ株式会社(**TDK CORPORATION**) [JP/JP]；〒1036128 東京都中央区日本橋二丁目５番１号 Tokyo (JP).

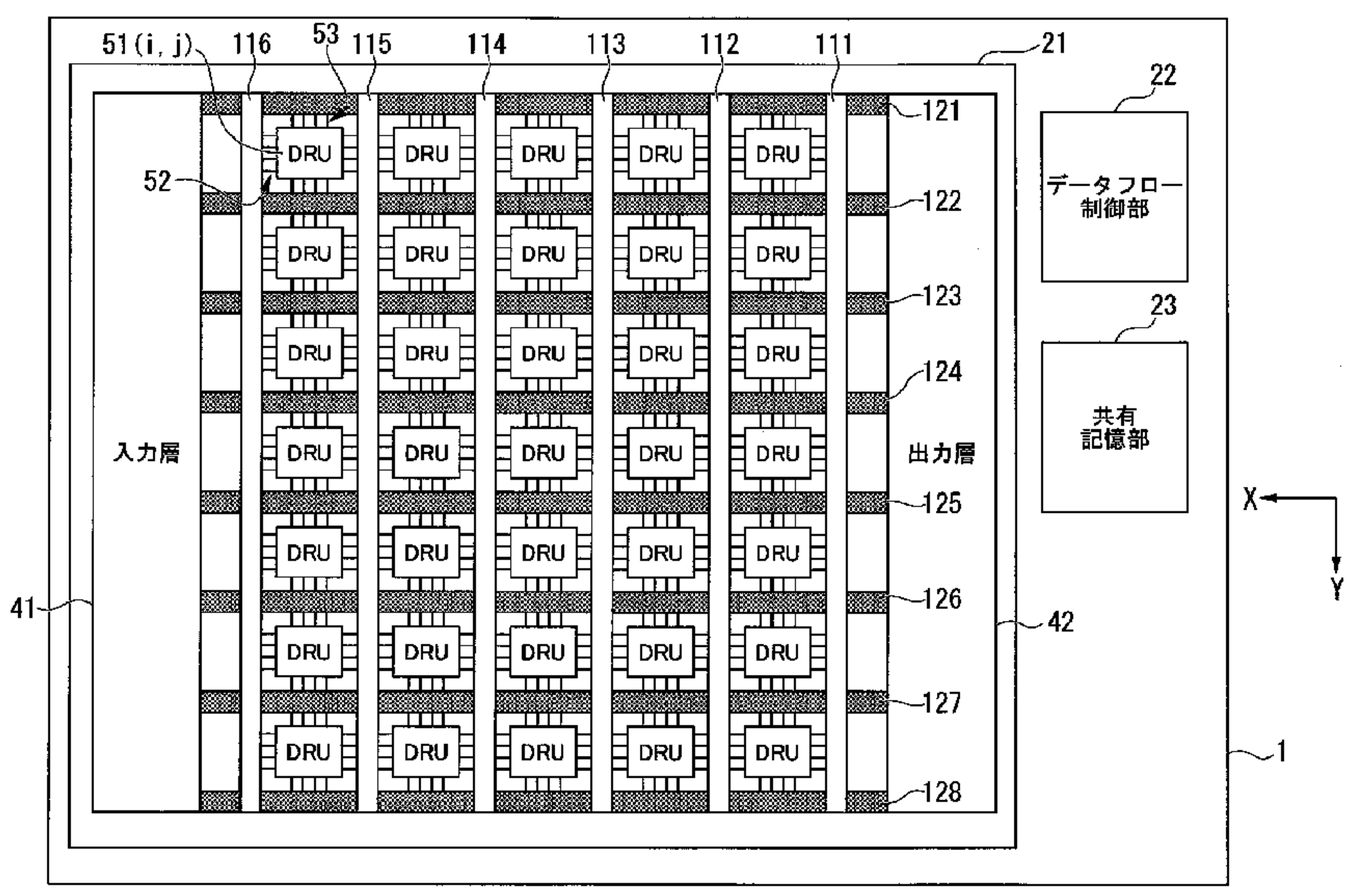
(72) 発明者： 中 田 一 紀 (**NAKADA Kazuki**)；〒1036128 東京都中央区日本橋二丁目５番１号 ＴＤＫ株式会社内 Tokyo (JP).

(74) 代理人：棚 井 澄 雄，外 (**TANAI Sumio** et al.)；〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

**(54) Title:** RESERVOIR CALCULATION DATA FLOW PROCESSOR

**(54) 発明の名称：** リザーバ計算データフロープロセッサ




22 Data flow control unit
23 Shared storage unit
41 Input layer
42 Output layer

**(57) Abstract:** This reservoir calculation data flow processor comprises a plurality of reservoir units, which are units constituting a reservoir, wherein: the reservoir can be reconfigured by changing the connection relationship between the reservoir units; each of the reservoir units includes a computation unit block that executes a prescribed computation; and each of the computation unit blocks includes a first addition unit that adds at least two inputs, a non-linear computation unit that performs a non-linear function on the output from the first addition unit or on a result obtained by multiplying

［続葉有］

WO 2021/111573 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the output by a prescribed coefficient, and a second addition unit that adds at least two inputs including the output from the non-linear computation unit or a result obtained by multiplying the output by a prescribed coefficient.

(57) 要約:リザーバを構成する単位となる複数のリザーバユニットを備え、前記リザーバユニット同士の接続関係を変更することにより前記リザーバを再構成可能であり、前記リザーバユニットは、所定の演算を実行する演算単位ブロックを含み、前記演算単位ブロックは、少なくとも２入力の加算を行う第１加算部と、前記第１加算部からの出力または当該出力に所定係数が乗算された結果に非線形関数を施す非線形演算部と、前記非線形演算部からの出力または当該出力に所定係数が乗算された結果を含む少なくとも２入力の加算を行う第２加算部を含む、リザーバ計算データフロープロセッサ。

# 明　細　書

## 発明の名称 ： リザーバ計算データフロープロセッサ

## 技術分野

[0001] 本発明は、リザーバ計算データフロープロセッサに関する。

## 背景技術

[0002] 時系列信号を扱う機械学習として様々なアルゴリズムとアーキテクチャが提案されている。このような時系列向けの機械学習では、例えば、ＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）あるいはＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ　Ｓｐｅｃｉｆｉｃ　Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）を用いた集積化実装が進みつつある。

[0003] 時系列信号は、時々刻々と変化するストリームデータである。時系列信号としては、例えば、工場で稼働する設備およびプロセスの状況を示すセンサデータに相当する信号、あるいは、ウェアラブルデバイスから得られた生体信号などがある。このような時系列信号を計測して分析することにより、機械の故障あるいは生体の疾患の予兆を得ることができる。

[0004] 時系列信号を扱う機械学習として、過去の出力を現在の入力として再帰的に用いることで時系列信号を扱うことが可能なリカレントニューラルネットワーク（Ｒｅｃｃｕｒｅｎｔ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ）があり、その派生であるＬＳＴＭ（Ｌｏｎｇ　Ｓｈｏｒｔ　Ｔｅｒｍ　Ｍｅｍｏｒｙ）、あるいは、ＧＲＵ（Ｇａｔｅｄ　Ｒｅｃｃｕｒｒｅｎｔ　Ｕｎｉｔ）といったアーキテクチャが提案されている。

[0005] このようなアーキテクチャでは、時系列信号のサンプリング区間に対応したデータ長のストリームデータに基づいて、ニューラルネットワークの重みパラメータの学習を行うことが必要となる。このため、このようなアーキテクチャでは、エッジデバイスなどに実装してリアルタイムに学習を実行することは難しい場合がある。

[0006] 機械学習をソフトウェアで、あるいはハードウェアで実装する場合には、

いずれの場合においても、学習対象となるニューラルネットワークのアーキテクチャをデータフローグラフにより表現したうえで演算を効率化し、例えば、自動微分によって重みパラメータを効率的に更新することが提案されている。しかし、ＬＳＴＭやＧＲＵのような再帰型のアーキテクチャにおいては、学習時に実行される順方向伝播と逆方向伝播の計算に資するデータフローグラフを効率的に表現することは難しく、学習の効率化を図るうえでの課題のひとつとなっている。実際に、これまでに提案されている機械学習のためのデータフロープロセッサは、階層型構成のアーキテクチャの深層学習（当該深層学習の畳み込み演算）を対象としたものが中心であり、時系列学習向けのものは殆ど提案されていない。

[0007] そこで、リザーバ計算（Ｒｅｓｅｒｖｏｕｒ　Ｃｏｍｐｕｔｉｎｇ）が提案されており、その有効性も示されつつある。

リザーバ計算では、中間層（リザーバ：Ｒｅｓｅｒｖｏｕｒ）の重みを固定して、出力層（リードアウト：Ｒｅａｄｏｕｔ）の部分のみ学習を行うことで学習を軽量化している。つまり、学習時の逆方向伝播に対応する計算を省略化することで、大幅に効率化している。

したがって、このようなリザーバ計算は、例えば、計算資源に制約のあるエッジ学習への応用が期待されている。

しかし、順方向伝播に対応するリザーバの演算（中間層の内部状態値の更新）については、例えば、ハードウェアによる物理実装や、ソフトウェアによる並列計算によって、高速化／効率化を図ることが応用上必要となっている。

[0008] そこで、これまでにリザーバ計算を高速化／効率化するための様々な技術が提案されている。

例えば、非特許文献１では、理論的な立場から、１次元リングトポロジーのリザーバと特定の重みパラメータ分布を持つ相互結合のリザーバとは数学的に等価であることが示されている（非特許文献１参照。）。

例えば、非特許文献２および非特許文献３では、非特許文献１における理

論的解析を拡張した技術が提案されている（非特許文献２－３参照。）。非特許文献２および非特許文献３では、物理実装としては１次元リングトポロジー構成のＤｅｌａｙ－ｔｉｍｅ　Ｒｅｓｅｒｖｏｉｒによって実装することが想定されている。

このような1次元リングトポロジーのリザーバは、高速に動作する光レーザーでの実装に適したアーキテクチャとなっている。

## 先行技術文献

## 非特許文献

[0009] 非特許文献1：Ｌ．Ａｐｐｅｌｔａｎｔ　ｅｔ　ａｌ．、“Ｉｎｆｏｒｍａｔｉｏｎ　ｐｒｏｃｅｓｓｉｎｇ　ｕｓｉｎｇ　ａ　ｓｉｎｇｌｅ　ｄｙｎａｍｉｃａｌ　ｎｏｄｅ　ａｓ　ｃｏｍｐｌｅｘ　ｓｙｓｔｅｍ”、ＮＡＴＵＲＥ　ＣＯＭＭＵＮＩＣＡＴＩＯＮＳ、ｖｏｌ．２、Ａｒｔｉｃｌｅ　Ｎｏ．４６８、１３　Ｓｅｐ．　２０１１

非特許文献2：Ｌ．Ａｐｐｅｌｔａｎｔ、“Ｒｅｓｅｒｖｏｉｒ　ｃｏｍｐｕｔｉｎｇ　ｂａｓｅｄ　ｏｎ　Ｄｅｌａｙ－ｄｙｎａｍｉｃａｌ　Ｓｙｓｔｅｍｓ”、Ｖｒｉｊｅ　Ｕｎｉｖｅｒｓｉｔｅｉｔ　Ｂｒｕｓｓｅｌ　Ｍａｙ，　２０１２

非特許文献3：Ｊ．Ｄ．Ｈａｒｔ　ｅｔ　ａｌ．，“Ｄｅｌａｙｅｄ　Ｄｙｎａｍｉｃａｌ　Ｓｙｓｔｅｍｓ：Ｎｅｔｗｏｒｋｓ，Ｃｈｉｍｅｒａｓ　ａｎｄ　Ｒｅｓｅｒｖｏｉｒ　Ｃｏｍｐｕｔｉｎｇ”、［ｏｎｌｉｎｅ］，、１４　Ａｕｇ，２０１８，［令和１年１０月１０日検索］、インターネット＜ＵＲＬ：ｈｔｔｐｓ：／／ａｒｘｉｖ．ｏｒｇ／ａｂｓ／１８０８．０４５９６＞

## 発明の概要

## 発明が解決しようとする課題

[0010] 　リザーバ計算に資するリザーバ（中間層）を物理的に実装したハードウェアとして様々なものが提案されているが、これらはいずれもＦＰＧＡあるい

はＡＳＩＣによるＣＭＯＳ集積化実装には適しておらず、その設計原理も未だに体系化されていない。

[0011] 例えば、非特許文献１では、リザーバ（中間層）を物理実装する際に、相互結合構成のアーキテクチャにすることは想定されていない。その代替として、仮想ノードを導入し、時分割による逐次的な非線形演算を施すことで、特定の相互結合構成のリザーバと数学的に等価なリザーバ計算を実現している。

また、非特許文献２－３では、リザーバにおける仮想ノードの動作方程式は導出されているものの、その動作方程式を２次元アレイのＦＰＧＡあるいはＡＳＩＣとして集積化実装することについては考えられていない。

[0012] 一般に、数学的に記述された任意のリザーバのモデルをそのまま集積回路上にマッピングすることができるとは限らない。リザーバ計算に資するリザーバ本体の構成（結合構造）は１次元リングトポロジーや２次元アレイのように隣接結合に限定されたものではない。したがって、リザーバの数学的モデルを物理的に実装するためには、リザーバを構成するノード（ニューロン）を空間的に並列に配置したうえで、複雑なノード間の結線（配線）を実現することが必要になる。

[0013] しかしながら、リザーバを集積回路として物理的に実装する際に配線層として利用できる資源には制約がある。例えば、標準的な半導体プロセスでは最大5層のメタル層を配線として利用することができるとしても、ノード間の配線の交差できる数には上限が存在するため、リザーバの規模が大きくなり、ノード数（ｎ）が増加し配線の複雑性（Ｏ（ｎ$^2$））が高くなると、現実的に実装することは困難になる。

また、リザーバをハードウェアとして実装した際に、順方向伝播に対応した演算を効率化するようなデータフローが実現されるとは限らない。例えば、リザーバの数学モデルを表現したデータフローグラフが複雑になると、リザーバを構成するノード間の配線長が異なってくるため、それぞれの配線遅延がばらついてしまい、数学モデルとの対応づけが保証されなくなる。この

ことは設計者によるデバイス設計を困難にする。

[0014] このように、従来では、リザーバ計算について、その物理実装としての専用デバイスの検討が不十分であった。特に、配線の複雑性に起因するスケーラビリティの限界を解決する手段については十分に考慮されていない。また、データフロー制御を効率化する手段についても具体的に実装されていない。

[0015] 本発明は、このような課題を解決するためになされたものであり、リザーバを構成するために適したリザーバ計算専用デバイスであるリザーバ計算データフロープロセッサを提供することを目的とする。

## 課題を解決するための手段

[0016] 本発明の一態様は、リザーバを構成する単位となる複数のリザーバユニットを備え、前記リザーバユニット同士の接続関係を変更することにより前記リザーバを再構成可能であり、前記リザーバユニットは、所定の演算を実行する演算単位ブロックを含み、前記演算単位ブロックは、少なくとも２入力の加算を行う第１加算部と、前記第１加算部からの出力または当該出力に所定係数が乗算された結果に非線形関数を施す非線形演算部と、前記非線形演算部からの出力または当該出力に所定係数が乗算された結果を含む少なくとも２入力の加算を行う第２加算部を含む、リザーバ計算データフロープロセッサである。

[0017] 本発明の一態様は、リザーバ計算データフロープロセッサにおいて、前記演算単位ブロックは、さらに、前記リザーバユニット同士を接続するためのブロックと、入出力を行うためのブロックを含み、当該リザーバ計算データフロープロセッサは、さらに、前記リザーバユニット同士の接続関係を切り替えるデータフロー制御部を備える。

[0018] 本発明の一態様は、リザーバ計算データフロープロセッサにおいて、ユーザによって設定される前記リザーバを再構成可能である。

[0019] 本発明の一態様は、リザーバ計算データフロープロセッサにおいて、あらかじめ定められた情報に基づいて、前記リザーバを再構成可能である。

[0020] 本発明の一態様は、リザーバ計算データフロープロセッサにおいて、前記複数の前記演算単位ブロックが、空間的に並列に配置された。

[0021] 本発明の一態様は、リザーバ計算データフロープロセッサにおいて、前記複数の前記演算単位ブロックが、時間的に並列に配置された。

[0022] 本発明の一態様は、リザーバ計算データフロープロセッサにおいて、前記第１加算部は、少なくとも、時間的に前の前記第２加算部からの出力信号に相当する信号または当該信号に所定係数が乗算された結果と、前記リザーバへの入力信号または当該入力信号に所定係数が乗算された結果との加算を行う。

[0023] 本発明の一態様は、リザーバ計算データフロープロセッサにおいて、前記第２加算部は、少なくとも、前記非線形演算部からの出力または当該出力に所定係数が乗算された結果と、空間的に並列に配置された複数段のうちの他段の前記第２加算部からの出力信号に相当する信号または当該信号に所定係数が乗算された結果の加算を行う。

## 発明の効果

[0024] 本発明の一態様によれば、リザーバを構成するために適したリザーバ計算データフロープロセッサを提供することができる。

## 図面の簡単な説明

[0025] [図1]本発明の実施形態に係るリザーバ計算データフロープロセッサの概略的な構成を示す図である。

[図2]本発明の実施形態に係る演算単位ブロックの一例を示す図である。

[図3]本発明の実施形態に係る演算単位ブロックの一例を示す図である。

[図4]本発明の実施形態に係る演算単位ブロックの一例を示す図である。

[図5]本発明の実施形態に係る演算単位ブロックの一例を示す図である。

[図6]本発明の実施形態に係るアレイ部の構成例を示す図である。

[図7]本発明の実施形態に係るアレイ部の構成例を示す図である。

[図8]本発明の実施形態に係るアレイ部の構成例を示す図である。

[図9]本発明の実施形態に係るアレイ部の構成例を示す図である。

[図10]本発明の実施形態に係るアレイ部の構成例を示す図である。

[図11]本発明の実施形態に係るアレイ部の構成例を示す図である。

## 発明を実施するための形態

[0026] 以下、図面を参照し、本発明の実施形態について説明する。

[0027] ［リザーバ計算データフロープロセッサ］

図１は、本発明の実施形態に係るリザーバ計算データフロープロセッサ１の概略的な構成を示す図である。

なお、図１には、説明の便宜上、直交座標系であるＸＹ座標系を示してある。

[0028] 本実施形態では、リザーバ計算データフロープロセッサ１は、デジタル処理を行うＡＳＩＣである。

リザーバ計算データフロープロセッサ１は、アレイ部２１と、制御部の一例であるデータフロー制御部２２と、記憶部の一例である共有記憶部２３を備える。

なお、リザーバ計算データフロープロセッサ１は、共有記憶部２３を備えない構成とされてもよい。

本実施形態では、リザーバ計算データフロープロセッサ１は、リザーバ計算の入力層４１と出力層４２にそれぞれ接続されている。

なお、リザーバ計算データフロープロセッサ１そのものが入力層４１と出力層４２を備えている必要はない。

[0029] ＜アレイ部＞

アレイ部２１について説明する。

アレイ部２１は、ビルディングブロック（機能ブロック）として、複数のデジタルリザーバユニット（ＤＲＵ：Ｄｉｇｉｔａｌ Ｒｅｓｅｒｖｏｕｒ Ｕｎｉｔ）がアレイ状に配置されて構成されており、各リザーバユニットは、コネクションブロック（ＣＢ：Ｃｏｎｎｅｃｔｉｎｇ Ｂｌｏｃｋ）、および入出力インタフェースブロック（ＩＢ：Ｉ／Ｏ Ｉｎｔｅｒｆａｃｅ Ｂｌｏｃｋ）といった機能ブロックに接続されている。

本実施形態では、説明の便宜上、デジタルリザーバユニットをＤＲＵと呼ぶことがあり、コネクションブロックをＣＢと呼ぶことがあり、入出力インタフェースブロックをＩＢと呼ぶことがある。

[0030] ＤＲＵは、リザーバの仮想ノードに対応した演算を物理ノードとして実行するための複数の演算器から構成されている。これら複数の演算器は、非線形演算を行う演算器を含む。

ＣＢは、ＤＲＵの状態値を中間信号として受けてそれを周囲の異なるＤＲＵへの入力として橋渡しする機能を持つ。また、ＣＢは、ある時刻の各ＤＲＵの状態値を保持するメモリ機能を持つ。

ＩＢは、入力層からの入力信号を各ＤＲＵに与えるとともに、所望のＤＲＵの状態値を出力信号として出力層に受け渡す機能を持つ。また、ＩＢはある時刻のあるＤＲＵの状態値を次の時刻の同じＤＲＵへの入力としてフィードバックする機能を持つ。なお、ＩＢはある時刻のあるＤＲＵの状態値を次の時刻に限らず、一定時間の後に、任意のＤＲＵへの入力としてフィードバックしてもよい。

[0031] 本実施形態では、アレイ部２１は、複数のＤＲＵが平面上に配置されている。

本実施形態では、説明の便宜上、当該平面において、互いに直交する２つの方向を縦方向と横方向と呼んで説明する。図１の例では、Ｘ軸に平行な方向を横方向と呼び、Ｙ軸に平行な方向を縦方向と呼ぶ。また、図１の例では、Ｘ軸の正の方向に向かって横方向のＤＲＵの段数が増加し、Ｙ軸の正の方向に向かって縦方向のＤＲＵの段数が増加するとして、説明する。

また、本実施形態では、複数の機能ブロックは、所定のパターンにしたがって配置されている。

[0032] 図１の例では、１個のＤＲＵに符号「５１（ｉ，ｊ）」を付してある。本実施形態では、ＤＲＵ５１（ｉ，ｊ）と表記することで、各ＤＲＵを区別する。

ここで、ｉ（ｉは１以上の整数）は、縦方向の段数を表しており、本実施

形態では、最大値がＬであるとする。本実施形態では、Ｌは２以上の整数である。図１の例では、Ｌは７である。

また、ｊ（ｊは１以上の整数）は、横方向の段数を表しており、本実施形態では、最大値がｋであるとする。本実施形態では、ｋは２以上の整数である。図１の例では、ｋは５である。

[0033] また、図１の例では、ＣＢ１１１～ＣＢ１１６と表記することで、各ＣＢを区別する。

また、図１の例では、ＩＢ１２１～ＩＢ１２８と表記することで、各ＩＢを区別する。

[0034] ＣＢ１１１～１１６およびＩＢ１２１～１２８といった機能ブロックの配置について説明する。

図１の例に限られず、ＣＢ１１１～１１６およびＩＢ１２１～１２８の配置として、様々な配置が用いられてもよい。

なお、図１の例に限られず、アレイ部２１において、他の機能ブロックが用いられてもよい。

[0035] 図１の例における各機能ブロックの配置について説明する。

例えば、ＣＢ１１１、ＣＢ１１２、ＣＢ１１３、ＣＢ１１４、ＣＢ１１５、ＣＢ１１６は横方向に６個の機能ブロックの配置となるように並べられている。このときＣＢ１１１～１１６の個数は横方向のＤＲＵ５１（ｉ，ｊ）の段数（ｋ）に対して（ｋ＋１）となるように配置される。

また、ＩＢ１２１、ＩＢ１２２、ＩＢ１２３、ＩＢ１２４、ＩＢ１２５、ＩＢ１２６、ＩＢ１２７、ＩＢ１２８は縦方向に８個の機能ブロックの配置となるように並べられている。このときＩＢ１２１～１２８の個数は縦方向のＤＲＵ５１（ｉ，ｊ）の段数（Ｌ）に対して（Ｌ＋１）となるように配置される。

[0036] 縦方向の複数の段数にわたる各ＣＢ１１１～１１６は横方向の複数の段数にわたる各ＩＢ１２１～１２８と交差するように配置される。

[0037] 配線について説明する。

なお、図１に示されている配線の接続関係は、図示のための概略的な一例である。

図１の例に限られず、ＤＲＵ５１（ｉ，ｊ）、ＣＢ１１１～１１６およびＩＢ１２１～１２８に関して、様々な接続関係が用いられてもよい。

図１の例に限られず、ＤＲＵ５１（ｉ，ｊ）、ＣＢ１１１～１１６およびＩＢ１２１～１２８のそれぞれの機能ブロックにおいて、他の機能ブロックと接続する端子の数は、任意の数であってもよい。

それぞれのＣＢ１１１～１１６およびＩＢ１２１～１２８に含まれる配線の数は、任意の数であってもよい。

[0038] 図１の例における配線について説明する。

ＤＲＵ５１（ｉ，ｊ）は、隣接するそれぞれのＣＢ１１１～１１６とＩＢ１２１～１２８に対して、端子を介して接続されている。ＣＢ１１１～１１６およびＩＢ１２１～１２８の内部にはバス方式の配線が備わっており、ＩＢ１２１～１２８とＣＢ１１１～１１６の交点はビアを介して接続することができるようになっている。ＤＲＵ５１（ｉ，ｊ）、ＣＢ１１１～１１６、ＩＢ１２１～１２８の各機能ブロックはそれぞれスイッチを持っており、データフロー制御部２２からの制御信号によってスイッチングすることで、ＤＲＵ５１（ｉ，ｊ）間の結合と併せて入出力信号の経路を変更することができる。すなわち、本実施形態に係るリザーバ計算データフロープロセッサ１は、再構成可能なデータフロープロセッサとなっている。

[0039] ＤＲＵ５１（ｉ，ｊ）は、当該ＤＲＵ５１（ｉ，ｊ）に隣接する各ＣＢ１１１～１１６に対する結線部と、当該ＤＲＵ５１（ｉ，ｊ）に隣接する各ＩＢ１２１～１２８に対する結線部を有している。

ＤＲＵ５１（ｉ，ｊ）は、当該ＤＲＵ５１（ｉ，ｊ）に隣接する各ＣＢ１１１～１１６に対する結線部を介して、当該各ＣＢ１１１～１１６と接続され得る。

ＤＲＵ５１（ｉ，ｊ）は、当該ＤＲＵ５１（ｉ，ｊ）に隣接する各ＩＢ１２１～１２８に対する結線部を介して、当該各ＩＢ１２１～１２８と接続さ

れ得る。

なお、図１の例では、１個のＤＲＵ５１（ｉ，ｊ）において、１個のＣＢ１１６と接続され得る結線部５２と、１個のＩＢ１２１と接続され得る結線部５３のみに符号を付してある。

[0040] ＜データフロー制御部および共有記憶部＞

データフロー制御部２２は、各種の処理およびデータフローの制御を行う。

データフロー制御部２２は、アレイ部２１に含まれる複数の機能ブロックについて、配線の接続関係を変更する。このような変更が可能なことは、例えば、構成可能、あるいは、再構成可能などと呼ばれてもよい。つまり、データフロー制御部２２は、アレイ部２１に含まれる複数の機能ブロックの接続関係を変更することで、例えば、アレイ部２１によって実現されるリザーバを初期的に構成すること、あるいは、既に構成されていたリザーバを変更して他のリザーバを構成する（つまり、再構成する）ことを可能とする。

[0041] また、データフロー制御部２２は、このような構成（あるいは、再構成）を、例えば、あらかじめ定められた規則などに基づいて自動的に行ってもよく、あるいは、ユーザによって行われる操作の内容に基づいて行ってもよい。このような構成あるいは再構成がユーザによって行われる操作の内容に基づいて行われ得ることは、例えば、プログラマブルと呼ばれてもよい。そのために、データフロー制御部２２は、ユーザによってプログラミングされた構成内容を記憶して保持する機能を持つ。

[0042] 共有記憶部２３は、各種の情報、例えばＤＲＵ５１（ｉ，ｊ）の各時刻の状態値を記憶する。

共有記憶部２３は、データフロー制御部２２により、必要に応じて、情報を記憶するために使用される。

データフロー制御部２２は、例えば、共有記憶部２３に情報を書き込む処理、および、共有記憶部２３に記憶された情報を読み出す処理を行う。

[0043] なお、アレイ部２１では、例えば、リザーバ本体（中間層）のみが構成さ

れてもよく、あるいは、リザーバと、当該リザーバに関する他の論理回路が構成されてもよい。当該他の論理回路としては、例えば、当該リザーバに対する入力層４１、あるいは、当該リザーバに対する出力層４２のうちの一方または両方であってもよい。アレイ部２１は、リザーバ（中間層）から出力層４２への結合の重みパラメータを学習するための論理回路を備えてもよい。

[0044] また、アレイ部２１は、任意の数の機能ブロックを任意の配置で備えてもよい。

また、アレイ部２１は、任意の数の配線を任意の配置で備えてもよい。

そして、アレイ部２１は、様々な数の機能ブロックを様々な配線の接続関係で接続したリザーバを構成（あるいは、再構成）することが可能であってもよい。

[0045] ＜演算単位ブロック＞

図２～図５を参照して、演算単位ブロックについて説明する。

本実施形態では、説明の便宜上、アレイ部２１のＤＲＵ５１（ｉ，ｊ）として用いられ得る機能ブロックを演算単位ブロックと呼ぶ。本実施形態では、演算単位ブロックは、リザーバ計算の演算回路において、所定の演算を行うブロックとして、再構成可能な最小単位のデバイスとなる。

[0046] なお、本実施形態では、アレイ部２１のＣＢは、説明の便宜上、例えば、接続単位ブロックなどと呼ばれてもよい。

また、本実施形態では、アレイ部２１のＩＢは、説明の便宜上、例えば、入出力単位ブロックなどと呼ばれてもよい。

[0047] 図２は、本発明の実施形態に係る演算単位ブロック２１１の一例を示す図である。

演算単位ブロック２１１は、加算部２３１と、非線形演算部２３２と、加算部２３３を備える。

また、図２には、演算単位ブロック２１１への５個の入力端２５１、２５３～２５６と、演算単位ブロック２１１からの１個の出力端２５２を示して

ある。

本実施形態では、これらの入力端２５１、２５３～２５６および出力端２５２は、説明の便宜上における仮想的な端子である。なお、これらの入力端２５１、２５３～２５６および出力端２５２は、例えば、演算単位ブロック２１１に実際に備えられていてもよい。

[0048] 本実施形態では、リザーバにおいて空間的に並列に演算を行う段数をＬとする。Ｌは、２以上の整数を表す。

ｉは、変数として、１以上Ｌ以下の整数を表す。

ｋは、時間に相当する値を表す。本実施形態では、ｋは、離散的なタイミングを表し、整数を表す。本実施形態では、ｋが大きくなるほど時間が進み、ｋが１ずつ増加するごとに同じ時間が進むとする。

ただし、ｋは実際の時間を表さない場合があり、つまり、リザーバにおいて時間的に並列に演算が行われる場合には、必ずしも、実際の時間を表さない。すなわち時間の単位は任意単位であってもよい。

[0049] 入力端２５１には、信号$x_i$（ｋ－１）が入力される。ここで、図２に示される演算単位ブロック２１１はｉ段目のブロックであるとする。信号$x_i$（ｋ－１）は、時間（ｋ－１）の信号として、演算単位ブロック２１１から出力された信号を表す。つまり、図２の例では、演算単位ブロック２１１から出力された信号が再び演算単位ブロック２１１に入力される構成となっている。

[0050] 出力端２５２からは、信号$x_i$（ｋ）が出力される。信号$x_i$（ｋ－１）は、時間（ｋ－１）の信号として、演算単位ブロック２１１から出力された信号を表す。信号$x_i$（ｋ）は、時間（ｋ）の信号として、演算単位ブロック２１１から出力された信号を表す。

[0051] 入力端２５３には、信号ｕ（ｋ）が入力される。信号ｕ（ｋ）は、時間（ｋ）の信号として、リザーバに入力された信号を表す。

入力端２５４には、信号$\Sigma x_i$（ｋ－ｄ）が入力される。ここで、Σは、所定の２以上のｄについての総和を表す。ｄは、整数を表す。つまり、信号Σ

$x_i$（ｋ－ｄ）は、演算単位ブロック２１１から出力された２以上の異なるタイミングの信号の総和を表す。

[0052] 入力端２５５には、信号$x_{i-m}$（ｋ－１）が入力される。信号$x_{i-m}$（ｋ－１）は、時間（ｋ－１）の信号として、（ｉ－ｍ）段目の演算単位ブロックから出力された信号を表す。ｍは、整数を表し、本実施形態では、１以上で（ｉ－１）以下の整数を表す。

ここで、図２の例では、１個の入力端２５５を示したが、例えば、ｍが１以上で（ｉ－１）以下のうちで、２以上の数の入力端が並列に備えられてもよい。

図２の例では、図示を簡易化するために、１個の入力端２５５のみを示してある。

[0053] 入力端２５６には、信号$x_{i+n}$（ｋ－１）が入力される。信号$x_{i+n}$（ｋ－１）は、時間（ｋ－１）の信号として、（ｉ＋ｎ）段目の演算単位ブロックから出力された信号を表す。ｎは、整数を表し、本実施形態では、１以上で（Ｌ－ｉ）以下の整数を表す。

ここで、図２の例では、１個の入力端２５６を示したが、例えば、ｎが１以上で（Ｌ－ｉ）以下のうちで、２以上の数の入力端が並列に備えられてもよい。

図２の例では、図示を簡易化するために、１個の入力端２５６のみを示してある。

[0054] ここで、５個の入力端２５１、２５３～２５６に入力される信号と、１個の出力端２５２から出力される信号との関係は、式（１）により表される。

[0055] [数1]

$$x_i(k)=\sum_m \beta_m x_{i-m}(k-1)$$
$$+\sum_n \beta_n x_{i+n}(k-1)+(1-\alpha)F_{NL}\left(x_i(k-1)+s_{i,d}\sum_d x_i(k-d)+J_i(k)\right)$$

・・・（１）

[0056] 演算単位ブロック２１１において、入力端２５１から入力される信号$x_i$（

ｋ－１）は、加算部２３１に入力される。

演算単位ブロック２１１において、入力端２５３から入力される信号ｕ（ｋ）は、信号$Ｊ_{ｉ}$（ｋ）に変換されて加算部２３１に入力される。ここで、信号$Ｊ_{ｉ}$（ｋ）は、式（２）により表される。すなわち、信号$Ｊ_{ｉ}$（ｋ）は、信号ｕ（ｋ）に、所定係数$ｗ_{ｉｎ,ｉ}$が乗算された結果である。当該所定係数$ｗ_{ｉｎ,ｉ}$は任意の値であってもよく、０である場合があってもよい。

なお、図２の例では、図示を簡易化して、所定係数$ｗ_{ｉｎ,ｉ}$を乗算する乗算部については図示を省略してある。

[0057] [数2]

$$J_i(k)=w_{in,i}\,u(k) \qquad \cdots (2)$$

[0058] 演算単位ブロック２１１において、入力端２５４から入力される信号$Σｘ_{ｉ}$（ｋ－ｄ）は、所定係数$ｓ_{ｉ,ｄ}$が乗算された後に、その乗算結果が加算部２３１に入力される。当該所定係数$ｓ_{ｉ,ｄ}$は任意の値であってもよく、０である場合があってもよい。

なお、図２の例では、図示を簡易化して、所定係数$ｓ_{ｉ,ｄ}$を乗算する乗算部については図示を省略してある。

[0059] 演算単位ブロック２１１において、入力端２５５から入力される信号$ｘ_{ｉ－ｍ}$（ｋ－１）には、所定係数$β_{ｍ}$が乗算され、その乗算結果が加算部２３３に入力される。本実施形態では、１種類以上のｍについて、当該乗算結果が加算部２３３に入力される。

なお、図２の例では、図示を簡易化して、所定係数$β_{ｍ}$を乗算する乗算部については図示を省略してある。

[0060] 演算単位ブロック２１１において、入力端２５６から入力される信号$ｘ_{ｉ＋ｎ}$（ｋ－１）には、所定係数$β_{ｎ}$が乗算され、その乗算結果が加算部２３３に入力される。本実施形態では、１種類以上のｎについて、当該乗算結果が加算部２３３に入力される。

なお、図２の例では、図示を簡易化して、所定係数$β_{ｎ}$を乗算する乗算部については図示を省略してある。

[0061] 加算部２３１は、入力される信号である信号$x_i$（ｋ－１）、信号$J_i$（ｋ）、信号$s_{i,d}\Sigma x_i$（ｋ－ｄ）を加算し、その加算結果を非線形演算部２３２に出力する。

非線形演算部２３２は、加算部２３１から入力される信号を所定の非線形関数$F_{NL}$（ｚ）のｚに代入する。ここで、$F_{NL}$（ｚ）は、ｚを変数とする非線形関数を表す。当該非線形関数としては、特に限定はなく、例えば、シグモイド関数または双曲線正接関数などが用いられてもよい。

[0062] 非線形演算部２３２は、非線形関数$F_{NL}$（ｚ）の演算結果を出力する。出力された当該演算結果は、所定係数（１－$\alpha$）が乗算されて、加算部２３３に入力される。ここで、$\alpha$は、任意の値であってもよい。

なお、図２の例では、図示を簡易化して、所定係数（１－$\alpha$）を乗算する乗算部については図示を省略してある。

[0063] 加算部２３３は、入力される信号である信号（１－$\alpha$）$F_{NL}$（ｚ）、信号$\beta_m x_{i-m}$（ｋ－１）のｍに関する総和、信号$\beta_n x_{i+n}$（ｋ－１）のｎに関する総和を加算し、その加算結果を出力端２５２に出力する。すなわち、当該加算結果は、式（１）により表される。

[0064] ここで、図２の例では、ｍとｎは、それぞれ、任意の整数であってもよく、例えば、正の値であってもよく、負の値であってもよく、あるいは、ゼロであってもよい。この場合、入力端２５５の側と入力端２５６の側とは実質的に同じ構成となり得る。

一方、入力端２５５からの入力信号$x_{i-m}$（ｋ－１）と入力端２５６からの入力信号$x_{i+n}$（ｋ－１）とが異なる構成とされてもよい。例えば、ｍとｎとが同じ値であるとし、ｍおよびｎを正の値とすると、空間的に対称な２個の入力信号として、入力信号$x_{i-m}$（ｋ－１）および入力信号$x_{i+n}$（ｋ－１）が加算部２３３に入力される。

また、例えば、加算部２３３への入力端が、２個の入力端２５５、２５６のみである構成が用いられてもよい。

[0065] なお、加算部２３１、非線形演算部２３２、および加算部２３３は、それ

ぞれ、任意の回路を用いて構成されてもよい。

また、信号に対する重みとなる係数$s_{i,d}$、係数$w_{in,i}$、係数（$1-\alpha$）、係数$\beta_m$、および$\beta_n$は、それぞれ、任意の値であってもよく、例えば、１であってもよく、あるいは、０であってもよい。信号に対する重みとなる係数が１である場合には、当該信号を変化させない。信号に対する重みとなる係数が０である場合には、当該重みの箇所において当該信号が使用されない構成に相当する。

また、図２の例において、信号に対する重みとなる係数が存在しない箇所においても、他の構成例として、重みとなる係数が乗算される構成が用いられてもよい。

[0066] 図３は、本発明の実施形態に係る演算単位ブロック３１１の一例を示す図である。

図３では、説明の便宜上、図２に示される構成部と同様な構成部については、同じ符号を付してあり、詳しい説明を省略する。

[0067] 演算単位ブロック３１１は、加算部２３１と、非線形演算部２３２と、加算部２３３を備える。

また、図３には、演算単位ブロック３１１への４個の入力端２５１、２５３～２５５と、演算単位ブロック３１１からの１個の出力端２５２を示してある。

[0068] ここで、演算単位ブロック３１１は、図２に示される演算単位ブロック２１１と比べて、入力端２５６から加算部２３３への系統が備えられていない点で異なり、他の点で同様である。

演算単位ブロック３１１から出力端２５２に出力される信号は、式（３）により表される。すなわち、当該信号では、当該系統に対応する項が存在しない。

[0069]

[数3]

$$x_i(k)=\sum_m \beta_m x_{i-m}(k-1)+(1-\alpha)F_{NL}\left(x_i(k-1)+s_{i,d}\sum_d x_i(k-d)+J_i(k)\right)$$

・・・（３）

[0070] ここで、図３の例では、ｍは、任意の整数であってもよく、例えば、正の値であってもよく、負の値であってもよく、あるいは、ゼロであってもよい。この場合、図３に示される演算単位ブロック３１１は、図２に示される演算単位ブロック２１１と実質的に同じ構成となり得る。

一方、例えば、加算部２３３への入力端が、１個の入力端２５５のみである構成が用いられてもよい。

[0071] 図４は、本発明の実施形態に係る演算単位ブロック４１１の一例を示す図である。

図４では、説明の便宜上、図２に示される構成部と同様な構成部については、同じ符号を付してあり、詳しい説明を省略する。

[0072] 演算単位ブロック４１１は、加算部２３１と、非線形演算部２３２と、加算部２３３を備える。

また、図４には、演算単位ブロック４１１への４個の入力端２５１、２５３、２５５～２５６と、演算単位ブロック４１１からの１個の出力端２５２を示してある。

[0073] ここで、演算単位ブロック４１１は、図２に示される演算単位ブロック２１１と比べて、入力端２５４から加算部２３１への系統が備えられていない点で異なり、他の点で同様である。

演算単位ブロック４１１から出力端２５２に出力される信号は、式（４）により表される。すなわち、当該信号では、当該系統に対応する項が存在しない。

[0074] [数4]

$$x_i(k)=\sum_m \beta_m x_{i-m}(k-1)+\sum_n \beta_n x_{i+n}(k-1)+(1-\alpha)F_{NL}\left(x_i(k-1)+J_i(k)\right)$$

・・・（４）

[0075] 図５は、本発明の実施形態に係る演算単位ブロック５１１の一例を示す図である。

図５では、説明の便宜上、図２に示される構成部と同様な構成部については、同じ符号を付してあり、詳しい説明を省略する。

[0076] 演算単位ブロック５１１は、加算部２３１と、非線形演算部２３２と、加算部２３３を備える。

また、図５には、演算単位ブロック５１１への４個の入力端２５１、２５３、２５５と、演算単位ブロック５１１からの１個の出力端２５２を示してある。

[0077] ここで、演算単位ブロック５１１は、図２に示される演算単位ブロック２１１と比べて、入力端２５４から加算部２３１への系統と、入力端２５６から加算部２３３への系統が備えられていない点で異なり、他の点で同様である。

演算単位ブロック５１１から出力端２５２に出力される信号は、式（５）により表される。すなわち、当該信号では、これらの系統に対応する項が存在しない。

[0078] [数5]

$$x_i(k)=\sum_m \beta_m x_{i-m}(k-1)+(1-\alpha)F_{NL}\left(x_i(k-1)+J_i(k)\right) \quad \cdots (5)$$

[0079] ここで、図３に示される演算単位ブロック３１１と図２に示される演算単位ブロック２１１との関係について説明したのと同様に、図５に示される演算単位ブロック５１１では、加算部２３３への入力に関して、図４に示される演算単位ブロック４１１と実質的に同様な構成となり得る。

[0080] なお、リザーバ計算データフロープロセッサ１のアレイ部２１では、例えば、図２～図５に示される演算単位ブロック２１１、３１１、４１１、５１１のうちの任意の演算単位ブロックを構成（または、再構成）することが可能な複数の演算単位ブロックを有してもよい。このような演算単位ブロック

としては、例えば、図２に示される演算単位ブロック２１１として構成され得る演算単位ブロックが用いられてもよい。つまり、図２に示される演算単位ブロック２１１として構成され得る演算単位ブロックは、一部の配線の接続を省くことにより、図３～図５に示される演算単位ブロック３１１、４１１、５１１として構成され得る。

また、他の例として、アレイ部２１は、複数の演算単位ブロックのそれぞれとして、任意の演算単位ブロックを有してもよい。

[0081] ［アレイ部の構成例］

図６～図１１を参照して、アレイ部２１の構成例を示す。

なお、図６～図１１に示される構成は、それぞれ、例えば、アレイ部２１の全体の構成として用いられてもよく、あるいは、アレイ部２１の一部の構成として用いられてもよい。

[0082] また、複数の演算単位ブロックが空間的あるいは時間的に並列に展開されて配置される場合に、空間的あるいは時間的に最初の段のように最も端に配置される演算単位ブロックでは、他の段の演算単位ブロックに対して、入力の源などが異なってもよい。例えば、ある演算単位ブロックにおいて、空間的あるいは時間的に他の段の演算単位ブロックからの出力が入力される構成では、最初の段のように最も端に配置される演算単位ブロックについては該当する他の段が存在しない場合があり、このような場合、代わりの信号を入力する入力端などが備えられてもよい。また、当該入力端には、入力層４１からの入力信号が重み付きで与えられてもよい。

[0083] 図６は、本発明の実施形態に係るアレイ部２１の構成例を示す図である。

図６の例では、空間的に並列に３段の演算単位ブロック６１１～６１３が備えられている。図６の例では、説明の便宜上、（ｉ－１）段目の演算単位ブロック６１１と、ｉ段目の演算単位ブロック６１２と、（ｉ＋１）段目の演算単位ブロック６１３を示してある。

３段の演算単位ブロック６１１～６１３のそれぞれは、図５に示される演算単位ブロック５１１と同様な演算を行う演算単位ブロックである。

[0084] それぞれの演算単位ブロック６１１～６１３において、入力端６３１、６５１、６７１は図５に示される入力端２５１に相当し、入力端６３３、６５３、６７３は図５に示される入力端２５３に相当し、出力端６３２、６５２、６７２は図５に示される出力端２５２に相当する。これらすべての入力端６３１、６５１、６７１および入力端６３３、６５３、６７３と出力端６３２、６５２、６７２は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0085] また、ｉ段目の演算単位ブロック６１２において、図５に示される入力端２５５として、次の段である（ｉ＋１）段目の演算単位ブロック６１３の入力端６７１が用いられている。つまり、（ｉ＋１）段目の演算単位ブロック６１３の入力端６７１は、当該演算単位ブロック６１３への入力と、前の段の演算単位ブロック６１２への入力とで、共用されている。これにより、空間的な構成の効率化（本実施形態では、段数の方向での構成の効率化）が図られる。

また、他の段についても、同様である。

[0086] ここで、図６の例では、空間的に並列に３段分の構成（演算単位ブロック６１１～６１３）を示したが、例えば、空間的に並列に２段分の構成が用いられてもよく、あるいは、空間的に並列に４段分以上の構成が用いられてもよい。

また、図６の例では、ある段の演算単位ブロックの入力端を、前段の演算単位ブロックへの入力に用いる構成を示したが、他の例として、ある段の演算単位ブロックの入力端を、後段の演算単位ブロックへの入力に用いる構成が用いられてもよい。

[0087] 図７は、本発明の実施形態に係るアレイ部２１の構成例を示す図である。

なお、図７の例では、説明の便宜上、図６に示される構成部と同様な構成部については同じ符号を付してある。

図７の例では、３個の演算単位ブロック６１１～６１３、入力端６３１、６５１、６７１、入力端６３３、６５３、６７３、および出力端６３２、６

５２、６７２については、図６に示されるものと同様である。これらすべての入力端６３１、６５１、６７１および入力端６３３、６５３、６７３と出力端６３２、６５２、６７２は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0088] 図７の例では、図６の例に対して、さらに時間的に拡張された構成部である３個の演算単位ブロック７１１～７１３が備えられている。

３段の演算単位ブロック７１１～７１３のそれぞれは、図５に示される演算単位ブロック５１１と同様な演算を行う演算単位ブロックである。

[0089] それぞれの演算単位ブロック７１１～７１３において、入力端７３２、７５２、７７２は図５に示される入力端２５３に相当し、出力端７３１、７５１、７７１は図５に示される出力端２５２に相当する。これらすべての入力端７３２、７５２、７７２と出力端７３１、７５１、７７１は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0090] また、それぞれの演算単位ブロック７１１～７１３において、図５に示される入力端２５１に相当する入力端として、時間的に前段にあるそれぞれの演算単位ブロック６１１～６１３の出力端６３２、６５２、６７２が共用されている。これにより、時間的な構成の効率化（本実施形態では、時間の方向での構成の効率化）が図られる。

[0091] 図８は、本発明の実施形態に係るアレイ部２１の構成例を示す図である。

なお、図８の例では、説明の便宜上、図７に示される構成部と同様な構成部については同じ符号を付してある。

図８の例では、３個の演算単位ブロック６１１～６１３、入力端６３１、６５１、６７１、入力端６３３、６５３、６７３、および出力端６３２、６５２、６７２については、図７に示されるものと同様である。

また、図８の例では、３個の演算単位ブロック７１１～７１３、入力端７３２、７５２、７７２、および出力端７３１、７５１、７７１については、図７に示されるものと同様である。

[0092] 図８の例では、図７の例に対して、さらに時間的に拡張された構成部である３個の演算単位ブロック８１１～８１３が備えられている。

３段の演算単位ブロック８１１～８１３のそれぞれは、図５に示される演算単位ブロック５１１と同様な演算を行う演算単位ブロックである。

[0093] それぞれの演算単位ブロック８１１～８１３において、入力端８３２、８５２、８７２は図５に示される入力端２５３に相当し、出力端８３１、８５１、８７１は図５に示される出力端２５２に相当する。これらすべての入力端８３２、８５２、８７２と出力端８３１、８５１、８７１は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0094] また、それぞれの演算単位ブロック８１１～８１３において、図５に示される入力端２５１に相当する入力端として、時間的に前段にあるそれぞれの演算単位ブロック７１１～７１３の出力端７３１、７５１、７７１が共用されている。これにより、時間的な構成の効率化（本実施形態では、時間の方向でのデータフロー制御の効率化）が図られる。

[0095] ここで、図６～図８の例では、時間的に１段～３段に並列に演算単位ブロックが備えられる構成を示したが、他の例として、時間的に４段以上に並列に演算単位ブロックが備えられる構成が用いられてもよい。

[0096] 図９は、本発明の実施形態に係るアレイ部２１の構成例を示す図である。

図９の例では、時間的な１段目について、空間的に並列に３段の演算単位ブロック９１１～９１３が備えられている。図９の例では、説明の便宜上、（ｉ－１）段目の演算単位ブロック９１１と、ｉ段目の演算単位ブロック９１２と、（ｉ＋１）段目の演算単位ブロック９１３を示してある。

３段の演算単位ブロック９１１～９１３のそれぞれは、図４に示される演算単位ブロック４１１と同様な演算を行う演算単位ブロックである。

[0097] それぞれの演算単位ブロック９１１～９１３において、入力端９３１、９５１、９７１は図４に示される入力端２５１に相当し、入力端９３３、９５３、９７３は図４に示される入力端２５３に相当し、出力端９３２、９５２

、９７２は図４に示される出力端２５２に相当する。これらすべての入力端９３１、９５１、９７１および入力端９３３、９５３、９７３と出力端９３２、９５２、９７２は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0098] また、ｉ段目の演算単位ブロック９１２において、図４に示される入力端２５５として、次の段である（ｉ＋１）段目の演算単位ブロック９１３の入力端９７１が用いられている。つまり、（ｉ＋１）段目の演算単位ブロック９１３の入力端９７１は、当該演算単位ブロック９１３への入力と、前の段の演算単位ブロック９１２への入力とで、共用されている。これにより、空間的な構成の効率化（本実施形態では、段数の方向でのデータフロー制御の効率化）が図られる。

また、他の段についても、同様である。

[0099] また、ｉ段目の演算単位ブロック９１２において、図４に示される入力端２５６として、前の段である（ｉ－１）段目の演算単位ブロック９１１の入力端９３１が用いられている。つまり、（ｉ－１）段目の演算単位ブロック９１１の入力端９３１は、当該演算単位ブロック９１１への入力と、次の段の演算単位ブロック９１２への入力とで、共用されている。これにより、空間的な構成の効率化（本実施形態では、段数の方向でのデータフロー制御の効率化）が図られる。

また、他の段についても、同様である。

[0100] 例えば、ｉ段目の演算単位ブロック９１２の入力端９５１は、当該演算単位ブロック９１２への入力と、前の段である（ｉ－１）段目の演算単位ブロック９１１への入力と、次の段である（ｉ＋１）段目の演算単位ブロック９１３への入力に用いられている。

[0101] ここで、図９の例では、空間的に並列に３段分の構成（演算単位ブロック９１１～９１３）を示したが、例えば、空間的に並列に２段分の構成が用いられてもよく、あるいは、空間的に並列に４段分以上の構成が用いられてもよい。

[0102] 図９の例では、さらに時間的に拡張された構成部である３個の演算単位ブロック１０１１～１０１３が備えられている。

３段の演算単位ブロック１０１１～１０１３のそれぞれは、図４に示される演算単位ブロック４１１と同様な演算を行う演算単位ブロックである。

[0103] それぞれの演算単位ブロック１０１１～１０１３において、入力端１０２、１０５２、１０７２は図４に示される入力端２５３に相当し、出力端１０３１、１０５１、１０７１は図４に示される出力端２５２に相当する。これらすべての入力端１０３２、１０５２、１０７２と出力端１０３１、１０５１、１０７１は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0104] また、それぞれの演算単位ブロック１０１１～１０１３において、図４に示される入力端２５１に相当する入力端として、時間的に前段にあるそれぞれの演算単位ブロック９１１～９１３の出力端９３２、９５２、９７２が共用されている。これにより、時間的な構成の効率化（本実施形態では、時間の方向でのデータフロー制御の効率化）が図られる。

[0105] 図１０は、本発明の実施形態に係るアレイ部２１の構成例を示す図である。

なお、図１０の例では、説明の便宜上、図９に示される構成部と同様な構成部については同じ符号を付してある。

図１０の例では、３個の演算単位ブロック９１１～９１３、入力端９３１、９５１、９７１、入力端９３３、９５３、９７３、および出力端９３２、９５２、９７２については、図９に示されるものと同様である。

また、図１０の例では、３個の演算単位ブロック１０１１～１０１３、入力端１０３２、１０５２、１０７２、および出力端１０３１、１０５１、１０７１については、図９に示されるものと同様である。これらすべての入力端１０３２、１０５２、１０７２と出力端１０３１、１０５１、１０７１は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0106] 図１０の例では、図９の例に対して、さらに時間的に拡張された構成部である３個の演算単位ブロック１１１１～１１１３が備えられている。

３段の演算単位ブロック１１１１～１１１３のそれぞれは、図４に示される演算単位ブロック４１１と同様な演算を行う演算単位ブロックである。

[0107] それぞれの演算単位ブロック１１１１～１１１３において、入力端１１２、１１５２、１１７２は図４に示される入力端２５３に相当し、出力端１１３１、１１５１、１１７１は図４に示される出力端２５２に相当する。これらすべての入力端１１３２、１１５２、１１７２と出力端１１３１、１１５１、１１７１は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0108] また、それぞれの演算単位ブロック１１１１～１１１３において、図４に示される入力端２５１に相当する入力端として、時間的に前段にあるそれぞれの演算単位ブロック１０１１～１０１３の出力端１０３１、１０５１、１０７１が共用されている。これにより、時間的な構成の効率化（本実施形態では、時間の方向でのデータフロー制御の効率化）が図られる。

[0109] ここで、図９～図１０の例では、時間的に２段～３段に並列に演算単位ブロックが備えられる構成を示したが、他の例として、時間的に１段に演算単位ブロックが備えられる構成、あるいは、時間的に４段以上に並列に演算単位ブロックが備えられる構成が用いられてもよい。

[0110] 図１１は、本発明の実施形態に係るアレイ部２１の構成例を示す図である。

図１１の例では、時間的な１段目について、空間的に並列に３段の演算単位ブロック１２１１～１２１３が備えられている。図１１の例では、説明の便宜上、（ｉ－１）段目の演算単位ブロック１２１１と、ｉ段目の演算単位ブロック１２１２と、（ｉ＋１）段目の演算単位ブロック１２１３を示してある。

３段の演算単位ブロック１２１１～１２１３のそれぞれは、図２に示される演算単位ブロック２１１と同様な演算を行う演算単位ブロックである。

[0111] それぞれの演算単位ブロック１２１１～１２１３において、入力端１２３１、１２５１、１２７１は図２に示される入力端２５１に相当し、入力端１２３３、１２５３、１２７３は図２に示される入力端２５３に相当し、出力端１２３２、１２５２、１２７２は図２に示される出力端２５２に相当する。これらすべての入力端１２３１、１２５１、１２７１および入力端１２３３、１２５３、１２７３と出力端１２３２、１２５２、１２７２は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0112] また、ｉ段目の演算単位ブロック１２１２において、図２に示される入力端２５５として、次の段である（ｉ＋１）段目の演算単位ブロック１２１３の入力端１２７１が用いられている。つまり、（ｉ＋１）段目の演算単位ブロック１２１３の入力端１２７１は、当該演算単位ブロック１２１３への入力と、前の段の演算単位ブロック１２１２への入力とで、共用されている。これにより、空間的な構成の効率化（本実施形態では、段数の方向でのデータフロー制御の効率化）が図られる。

また、他の段についても、同様である。

[0113] また、ｉ段目の演算単位ブロック１２１２において、図２に示される入力端２５６として、前の段である（ｉ－１）段目の演算単位ブロック１２１１の入力端１２３１が用いられている。つまり、（ｉ－１）段目の演算単位ブロック１２１１の入力端１２３１は、当該演算単位ブロック１２１１への入力と、次の段の演算単位ブロック１２１２への入力とで、共用されている。これにより、空間的な構成の効率化（本実施形態では、段数の方向でのデータフロー制御の効率化）が図られる。

また、他の段についても、同様である。

[0114] 例えば、ｉ段目の演算単位ブロック１２１２の入力端１２５１は、当該演算単位ブロック１２１２への入力と、前の段である（ｉ－１）段目の演算単位ブロック１２１１への入力と、次の段である（ｉ＋１）段目の演算単位ブロック１２１３への入力に用いられている。

[0115] ここで、図１１の例では、空間的に並列に３段分の構成（演算単位ブロック１２１１～１２１３）を示したが、例えば、空間的に並列に２段分の構成が用いられてもよく、あるいは、空間的に並列に４段分以上の構成が用いられてもよい。

[0116] 図１１の例では、さらに時間的に拡張された構成部である３個の演算単位ブロック１３１１～１３１３が備えられている。

３段の演算単位ブロック１３１１～１３１３のそれぞれは、図２に示される演算単位ブロック２１１と同様な演算を行う演算単位ブロックである。

[0117] それぞれの演算単位ブロック１３１１～１３１３において、入力端１３３２、１３５２、１３７２は図２に示される入力端２５３に相当し、出力端１３３１、１３５１、１３７１は図２に示される出力端２５２に相当する。これらすべての入力端１３３２、１３５２、１３７２と出力端１３３１、１３５１、１３７１は、図１に示されるＣＢ１１１～１１６とＩＢ１２１～１２８の配線に接続されているものとする。

[0118] また、それぞれの演算単位ブロック１３１１～１３１３において、図２に示される入力端２５１に相当する入力端として、時間的に前段にあるそれぞれの演算単位ブロック１２１１～１２１３の出力端１２３２、１２５２、１２７２が共用されている。これにより、時間的な構成の効率化（本実施形態では、時間の方向でのデータフロー制御の効率化）が図られる。

[0119] また、それぞれの演算単位ブロック１３１１～１３１３において、図２に示される入力端２５４に相当する入力端として、時間的に前段にあるそれぞれの演算単位ブロック１２１１～１２１３の入力端１２３１、１２５１、１２７１が共用されている。これにより、時間的な構成の効率化（本実施形態では、時間の方向でのデータフロー制御の効率化）が図られる。

[0120] 例えば、ｉ段目の演算単位ブロック１２１２の入力端１２５１は、当該演算単位ブロック１２１２への入力と、時間的に次の段の演算単位ブロック１３１２への入力に用いられている。

[0121] ここで、図１１の例では、時間的に２段に並列に演算単位ブロックが備え

られる構成を示したが、他の例として、時間的に１段に演算単位ブロックが備えられる構成、あるいは、時間的に３段以上に並列に演算単位ブロックが備えられる構成が用いられてもよい。

[0122] ［以上の実施形態について］

本実施形態に係るリザーバ計算データフロープロセッサ１は、時系列信号の生成、予測、識別、あるいは、検知の機能を持つリザーバ計算機能を物理的に実装するために、再構成可能な機械学習装置を有する。本実施形態に係るリザーバ計算データフロープロセッサ１は、当該機械学習装置として、所定の演算を行い時系列情報を生成および保持（バッファリング）するリザーバの最小構成単位である演算単位ブロックを含む。本実施形態では、当該演算単位ブロックは、リザーバを構成する最小単位のリザーバユニットとなる。

したがって、本実施形態に係るリザーバ計算データフロープロセッサ１では、例えば、時系列信号向けのリザーバ計算を実時間で実行するハードウェアを提供することができる。

[0123] 本実施形態に係るリザーバ計算データフロープロセッサ１では、空間的あるいは時間的に、演算単位ブロックの段数が少ない場合には、消費電力が小さく、全体的な処理時間が長い。一方、本実施形態に係るリザーバ計算データフロープロセッサ１では、空間的あるいは時間的に、演算単位ブロックの段数が多い場合には、消費電力が大きく、全体的な処理時間が短い。例えば、これらのトレードオフを調整することで、デバイスの性能を向上させることなどが可能である。

[0124] 本実施形態に係るリザーバ計算データフロープロセッサ１は、例えば、リザーバ計算機能を実装するうえでのデータフローを効率化しスループットを最適化した専用デバイスを提供することができる。

本実施形態に係るリザーバ計算データフロープロセッサ１では、例えば、設計時に数学的に等価なデータフローグラフを導出することにより、任意の規模、かつ、多様なネットワーク構成のリザーバを実現することができる。

[0125] また、本実施形態に係るリザーバ計算データフロープロセッサ１では、例えば、実装対象となる数学モデルの動作方程式の拡張に対しても、柔軟に対応することができる。例えば、図７～８の実施形態では、非特許文献１で提案されている数学モデルに対応しており、図９～１０の実施形態では、非特許文献２で提案されている数学モデルの１つに対応しており、図１１の実施形態は非特許文献３で提案されている数学モデルの１つに対応している。

[0126] また、本実施形態に係るリザーバ計算データフロープロセッサ１では、例えば、不揮発性メモリ（ＮＶＭ：Ｎｏｎ－Ｖｏｌａｔｉｌｅ　Ｍｅｍｏｒｙ）を効果的に搭載したインメモリコンピューティングアーキテクチャ（Ｉｎ－Ｍｅｍｏｒｙ　Ｃｏｍｐｕｔｉｎｇ　Ａｒｃｈｉｔｅｃｔｕｒｅ）を実現することもできる。また、例えば、光変調器による非線形演算機能を実装し、光導波路上によるデータフローグラフを実装することで、光導波路デバイスとして実現することもできる。

[0127] 本実施形態に係るリザーバ計算データフロープロセッサ１では、プログラマブルに、パラメータおよびネットワーク構成を変更することが可能である。

したがって、本実施形態に係るリザーバ計算データフロープロセッサ１では、モジュール構成として、プログラマブルにパラメータおよびネットワーク構成を変更することを可能とすることで、例えば、設計者（ユーザの一例）が容易に特定用途に向けて、リザーバの構成を変更して、カスタマイズした物理実装を実現することができる。

例えば、本実施形態に係るリザーバ計算データフロープロセッサ１では、リザーバを実装する際に、１次元リングトポロジー構成のリザーバと数学的に対応させることによって、理論的かつ体系的に、具体的なアーキテクチャおよびパラメータを決定することができる。

[0128] 本実施形態に係るリザーバ計算データフロープロセッサ１では、入力信号（本実施形態では、信号ｕ（ｋ））に重みを乗算した結果の信号を取り込み、当該信号と内部に保持している１時刻前またはそれよりも前の状態値を加

算することで、第１中間信号（本実施形態では、非線形演算部２３２に入力される信号）を生成する。また、本実施形態に係るリザーバ計算データフロープロセッサ１では、第１中間信号に非線形変換を施すことで第２中間信号（本実施形態では、非線形演算部２３２から出力される信号）を生成する。また、本実施形態に係るリザーバ計算データフロープロセッサ１では、例えば、隣接したモジュールからの信号を受けて、当該信号に重みを乗算した相互作用項を算出し、当該相互作用項と第２中間信号とを加算することで、次の時刻の状態値として出力信号（本実施形態では、信号$x_i(k)$）を生成する。

したがって、本実施形態に係るリザーバ計算データフロープロセッサ１では、リザーバ計算において、時系列情報を生成および保持するリザーバの最小構成単位を具体的に実現することができる。

[0129] 本実施形態に係るリザーバ計算データフロープロセッサ１では、最小構成単位を用いたデータフローグラフによって表現される。

したがって、本実施形態に係るリザーバ計算データフロープロセッサ１では、例えば、ＦＰＧＡあるいはＡＳＩＣなどといった多岐にわたるデバイス（例えば、デジタルハードウェアデバイス）を用いてリザーバレイヤを実装するための構成単位の設計を容易にすることができる。

例えば、本実施形態に係るリザーバ計算データフロープロセッサ１では、ＦＰＧＡあるいはＡＳＩＣなどに実装される場合に、効率的な演算リソースを実現し、効率的なデータフロー制御を行うハードウェアを実現することが可能となる。

[0130] 本実施形態に係るリザーバ計算データフロープロセッサ１では、複数の機械学習装置を組み合わせることで、任意の規模、多様な２次元トポロジーを有するネットワーク構成を実現することができる。また、本実施形態に係るリザーバ計算データフロープロセッサ１では、このようなネットワーク構成のリザーバをデータフロー表現によってグラフィカルに表現することができる。したがって、本実施形態では、そのデータフロー表現に基づいて系統的

にデバイス動作を解析し設計に反映することができる。

[0131] 本実施形態に係るリザーバ計算データフロープロセッサ１では、機械学習装置を集積化して実装することができ、例えば、リザーバ計算の拡張モデルに対応したネットワーク構成を実現することができる。

したがって、本実施形態に係るリザーバ計算データフロープロセッサ１では、例えば、異なる拡張モデルに基づいて、リザーバレイヤをＦＰＧＡあるいはＡＳＩＣなどに実装することが可能となる。

[0132] 本実施形態では、仮想ノードによって時分割で実行される逐次的な演算を空間的に配置された物理ノードによって並列分散的な演算に変換するデータフローグラフを理論的に導出し、その物理実装としてのリザーバ計算データフロープロセッサ１を提供することができる。本実施形態では、導出されたデータフローグラフによってリザーバの構成（結合構造）は隣接接合のみとすることができるため、データフロー制御を効率化するとともに、配線の複雑性に起因する課題（スケーラビリティや配線遅延のばらつき等の課題）を解決することができる。

[0133] ＜構成例＞

一構成例として、リザーバ計算データフロープロセッサ（図１の例では、リザーバ計算データフロープロセッサ１）において、リザーバを構成する単位となる複数のリザーバユニット（図１の例では、ＤＲＵ）を備える。

リザーバユニット同士の接続関係を変更することにより、複数のリザーバユニットによりリザーバを再構成可能である。

リザーバユニットは、所定の演算を実行する演算単位ブロック（図１の例では、ＤＲＵの演算回路）を含む。

演算単位ブロックは、少なくとも２入力の加算を行う第１加算部（図２～図５の例では、加算部２３１）と、第１加算部からの出力または当該出力に所定係数が乗算された結果（図２～図５の例は、当該所定係数が無い例）に非線形関数を施す非線形演算部（図２～図５の例では、非線形演算部２３２）と、非線形演算部からの出力または当該出力に所定係数が乗算された結果

（図２～図５の例では、当該所定係数が乗算された結果）を含む少なくとも２入力の加算を行う第２加算部（図２～図５では、加算部２３３）を含む。

[0134] 一構成例として、リザーバ計算データフロープロセッサにおいて、演算単位ブロックは、さらに、リザーバユニット同士を接続するためのブロック（図１の例では、ＣＢ１１１～１１６）と、入出力を行うためのブロック（図１の例では、ＩＢ１２１～１２８）を含む。リザーバ計算データフロープロセッサは、さらに、リザーバユニット同士の接続関係を切り替えるデータフロー制御部（図１の例では、データフロー制御部２２）を備える。

[0135] 一構成例として、リザーバ計算データフロープロセッサにおいて、ユーザによって設定されるリザーバを再構成可能である（つまり、プログラマブルである）。

一構成例として、リザーバ計算データフロープロセッサにおいて、あらかじめ定められた情報に基づいて、リザーバを再構成可能である（図１の例では、データフロー制御部２２により再構成が行われる。）。

一構成例として、リザーバ計算データフロープロセッサにおいて、複数の演算単位ブロックが、空間的に並列に配置されている。これにより、例えば、同一の時刻における複数の信号を並列に処理することが可能である。

一構成例として、リザーバ計算データフロープロセッサにおいて、複数の演算単位ブロックが、時間的に並列に配置されている。これにより、例えば、空間的に同一の段における複数の異なる時刻の信号を並列に処理することが可能である。

[0136] 一構成例として、リザーバ計算データフロープロセッサにおいて、第１加算部は、少なくとも、時間的に前（つまり、過去に相当する時刻）の第２加算部からの出力信号に相当する信号または当該信号に所定係数が乗算された結果と、リザーバへの入力信号または当該入力信号に所定係数が乗算された結果との加算を行う（例えば、図２～図５の例）。

一構成例として、リザーバ計算データフロープロセッサにおいて、第２加算部は、少なくとも、非線形演算部からの出力または当該出力に所定係数が

乗算された結果と、空間的に並列に配置された複数段のうちの他段（つまり、他の段）の第２加算部からの出力信号に相当する信号または当該信号に所定係数が乗算された結果の加算を行う。

[0137] なお、以上に説明したリザーバ計算データフロープロセッサなどの任意の装置における任意の構成部の機能を実現するためのプログラムを、コンピューター読み取り可能な記録媒体に記録し、そのプログラムをコンピューターシステムに読み込ませて実行するようにしてもよい。なお、ここでいう「コンピューターシステム」とは、オペレーティングシステム（ＯＳ：Ｏｐｅｒａｔｉｎｇ　Ｓｙｓｔｅｍ）あるいは周辺機器等のハードウェアを含むものとする。また、「コンピューター読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ＲＯＭ、ＣＤ（Ｃｏｍｐａｃｔ　Ｄｉｓｃ）－ＲＯＭ等の可搬媒体、コンピューターシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピューター読み取り可能な記録媒体」とは、インターネット等のネットワークあるいは電話回線等の通信回線を介してプログラムが送信された場合のサーバーやクライアントとなるコンピューターシステム内部の揮発性メモリのように、一定時間プログラムを保持しているものも含むものとする。当該揮発性メモリは、例えば、ＲＡＭであってもよい。記録媒体は、例えば、非一時的記録媒体であってもよい。

[0138] また、上記のプログラムは、このプログラムを記憶装置等に格納したコンピューターシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピューターシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワークあるいは電話回線等の通信回線のように情報を伝送する機能を有する媒体のことをいう。

また、上記のプログラムは、前述した機能の一部を実現するためのものであってもよい。さらに、上記のプログラムは、前述した機能をコンピューターシステムにすでに記録されているプログラムとの組み合わせで実現できる

もの、いわゆる差分ファイルであってもよい。差分ファイルは、差分プログラムと呼ばれてもよい。

[0139] また、以上に説明したリザーバ計算データフロープロセッサなどの任意の装置における任意の構成部の機能は、マイクロプロセッサにより実現されてもよい。例えば、本実施形態における各処理は、プログラム等の情報に基づき動作するマイクロプロセッサと、プログラム等の情報を記憶するコンピューター読み取り可能な記録媒体により実現されてもよい。ここで、マイクロプロセッサは、例えば、各部の機能が個別のハードウェアで実現されてもよく、あるいは、各部の機能が一体のハードウェアで実現されてもよい。例えば、マイクロプロセッサはハードウェアを含み、当該ハードウェアは、デジタル信号を処理する回路およびアナログ信号を処理する回路のうちの少なくとも一方を含んでもよい。例えば、マイクロプロセッサは、回路基板に実装された１または複数の回路装置、あるいは、１または複数の回路素子のうちの一方または両方を用いて、構成されてもよい。回路装置としてはＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）などが用いられてもよく、回路素子としては抵抗あるいはキャパシターなどが用いられてもよい。

[0140] ここで、リザーバ計算データフロープロセッサは、本発明に係る実施形態で示したリザーバの数学モデルのデータフロー表現に基づいて、例えば、ＣＰＵ、あるいは、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、あるいは、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）等のような、各種のデジタルプロセッサ上に実装されてもよい。また、リザーバ計算データフロープロセッサは、例えば、ＦＰＧＡによるハードウェア回路であってもよい。また、リザーバ計算データフロープロセッサは、例えば、複数のＣＰＵにより構成されていてもよく、あるいは、複数のＦＰＧＡにより構成されていてもよく、あるいは、複数のＡＳＩＣによるハードウェア回路により構成されていてもよい。また、リザーバ計算データフロープロセッサは、例えば、複数のＣＰＵと、複数のＡＳＩＣによるハードウェア回路と、の組み合わせにより構成されていてもよい。また、リザーバ

計算データフロープロセッサは、例えば、アナログ信号を処理するアンプ回路あるいはフィルター回路等のうちの１以上を含んでもよい。

[0141] 以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

## 産業上の利用可能性

[0142] 本発明のリザーバ計算データフロープロセッサによれば、リザーバを構成するために適したリザーバ計算専用デバイスを提供することができる。

## 符号の説明

[0143] １…リザーバ計算データフロープロセッサ、２１…アレイ部、２２…データフロー制御部、２３…共有記憶部、４１…入力層、４２…出力層、５１（ｉ，ｊ）…ＤＲＵ、５２、５３…結線部、１１１～１１６…ＣＢ、１２１～１２８……ＩＢ、２１１、３１１、４１１、５１１、６１１～６１３、７１１～７１３、８１１～８１３、９１１～９１３、１０１１～１０１３、１１１１～１１１３、１２１１～１２１３、１３１１～１３１３…演算単位ブロック、２３１、２３３…加算部、２３２…非線形演算部、２５１、２５３～２５６、６３１、６３３、６５１、６５３、６７１、６７３、７３２、７５２、７７２、８３２、８５２、８７２、９３１、９３３、９５１、９５３、９７１、９７３、１０３２、１０５２、１０７２、１１３２、１１５２、１１７２、１２３１、１２３３、１２５１、１２５３、１２７１、１２７３、１３３２、１３５２、１３７２…入力端、２５２、６３２、６５２、６７２、７３１、７５１、７７１、８３１、８５１、８７１、９３２、９５２、９７２、１０３１、１０５１、１０７１、１１３１、１１５１、１１７１、１２３２、１２５２、１２７２、１３３１、１３５１、１３７１…出力端

# 請求の範囲

[請求項1] リザーバを構成する単位となる複数のリザーバユニットを備え、

前記リザーバユニット同士の接続関係を変更することにより前記リザーバを再構成可能であり、

前記リザーバユニットは、所定の演算を実行する演算単位ブロックを含み、

前記演算単位ブロックは、少なくとも２入力の加算を行う第１加算部と、前記第１加算部からの出力または当該出力に所定係数が乗算された結果に非線形関数を施す非線形演算部と、前記非線形演算部からの出力または当該出力に所定係数が乗算された結果を含む少なくとも２入力の加算を行う第２加算部を含む、

リザーバ計算データフロープロセッサ。

[請求項2] 前記演算単位ブロックは、さらに、前記リザーバユニット同士を接続するためのブロックと、入出力を行うためのブロックを含み、

当該リザーバ計算データフロープロセッサは、さらに、前記リザーバユニット同士の接続関係を切り替えるデータフロー制御部を備える、

請求項１に記載のリザーバ計算データフロープロセッサ。

[請求項3] ユーザによって設定される前記リザーバを再構成可能である、

請求項１または請求項２に記載のリザーバ計算データフロープロセッサ。

[請求項4] あらかじめ定められた情報に基づいて、前記リザーバを再構成可能である、

請求項１から請求項３のうちのいずれか１項に記載のリザーバ計算データフロープロセッサ。

[請求項5] 前記複数の前記演算単位ブロックが、空間的に並列に配置された、

請求項１から請求項４のいずれか１項に記載のリザーバ計算データフロープロセッサ。

[請求項6] 前記複数の前記演算単位ブロックが、時間的に並列に配置された、請求項１から請求項５のいずれか１項に記載のリザーバ計算データフロープロセッサ。

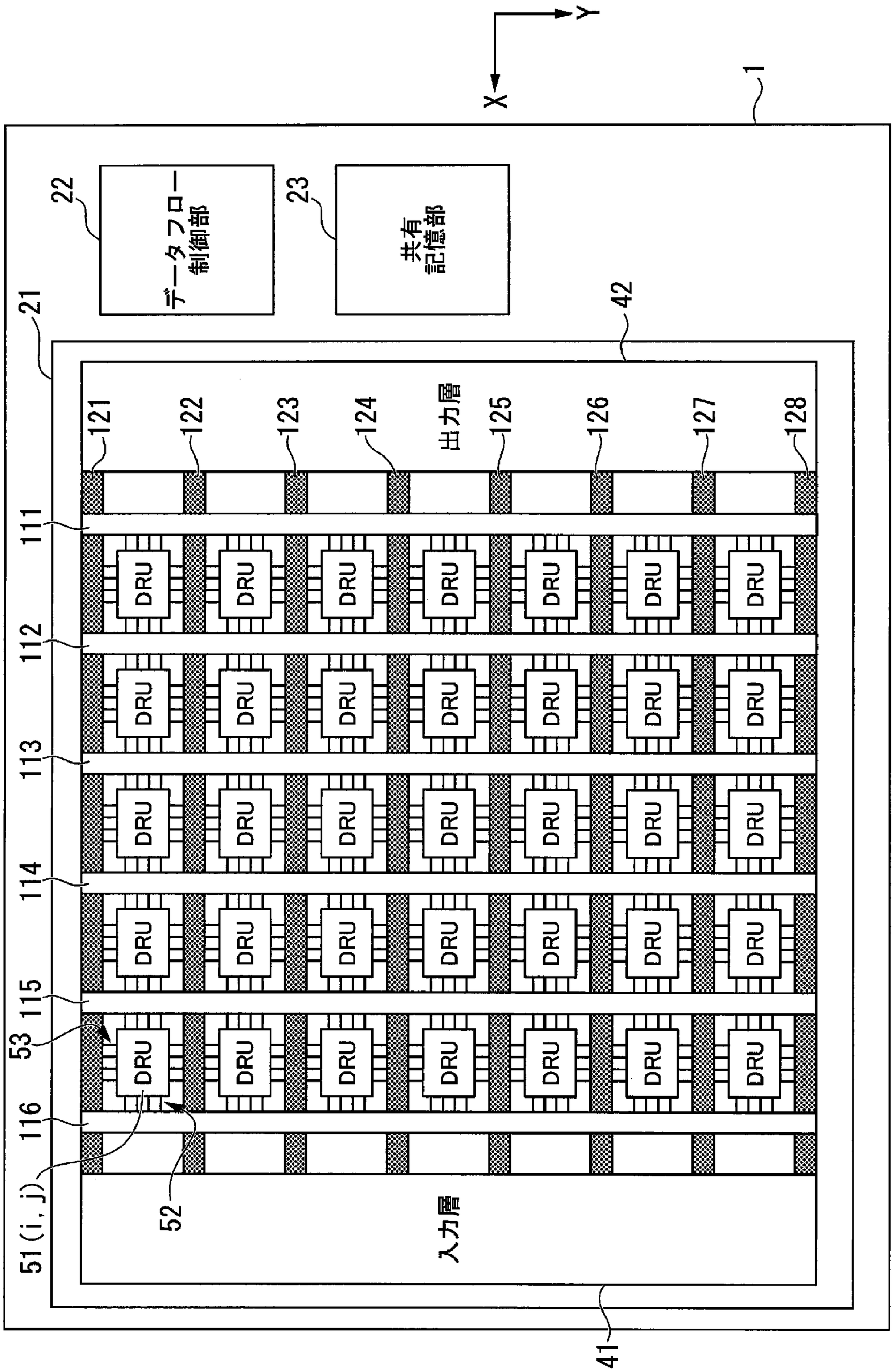
[請求項7] 前記第１加算部は、少なくとも、時間的に前の前記第２加算部からの出力信号に相当する信号または当該信号に所定係数が乗算された結果と、前記リザーバへの入力信号または当該入力信号に所定係数が乗算された結果との加算を行う、

請求項１から請求項６のいずれか１項に記載のリザーバ計算データフロープロセッサ。

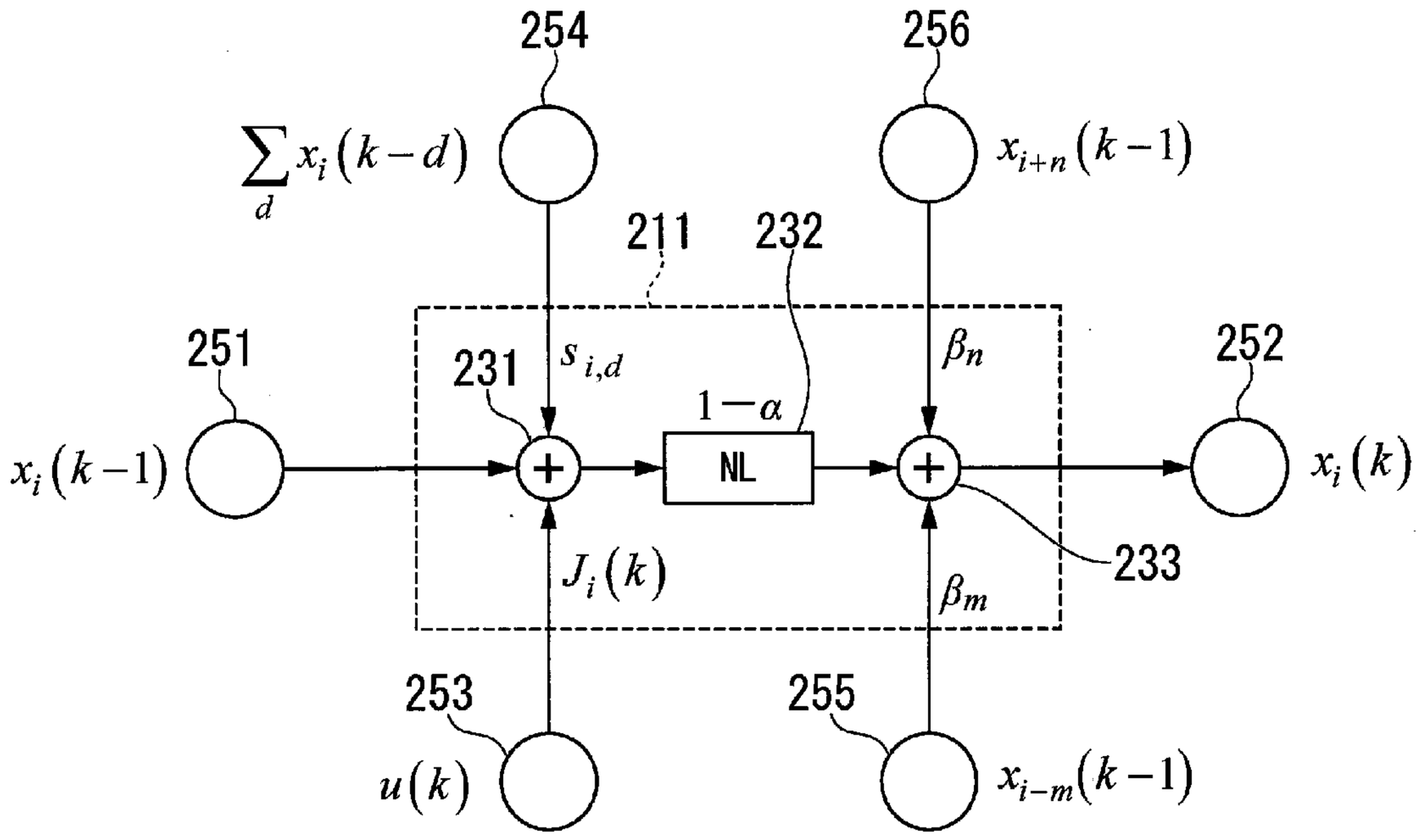
[請求項8] 前記第２加算部は、少なくとも、前記非線形演算部からの出力または当該出力に所定係数が乗算された結果と、空間的に並列に配置された複数段のうちの他段の前記第２加算部からの出力信号に相当する信号または当該信号に所定係数が乗算された結果の加算を行う、

請求項１から請求項７のいずれか１項に記載のリザーバ計算データフロープロセッサ。

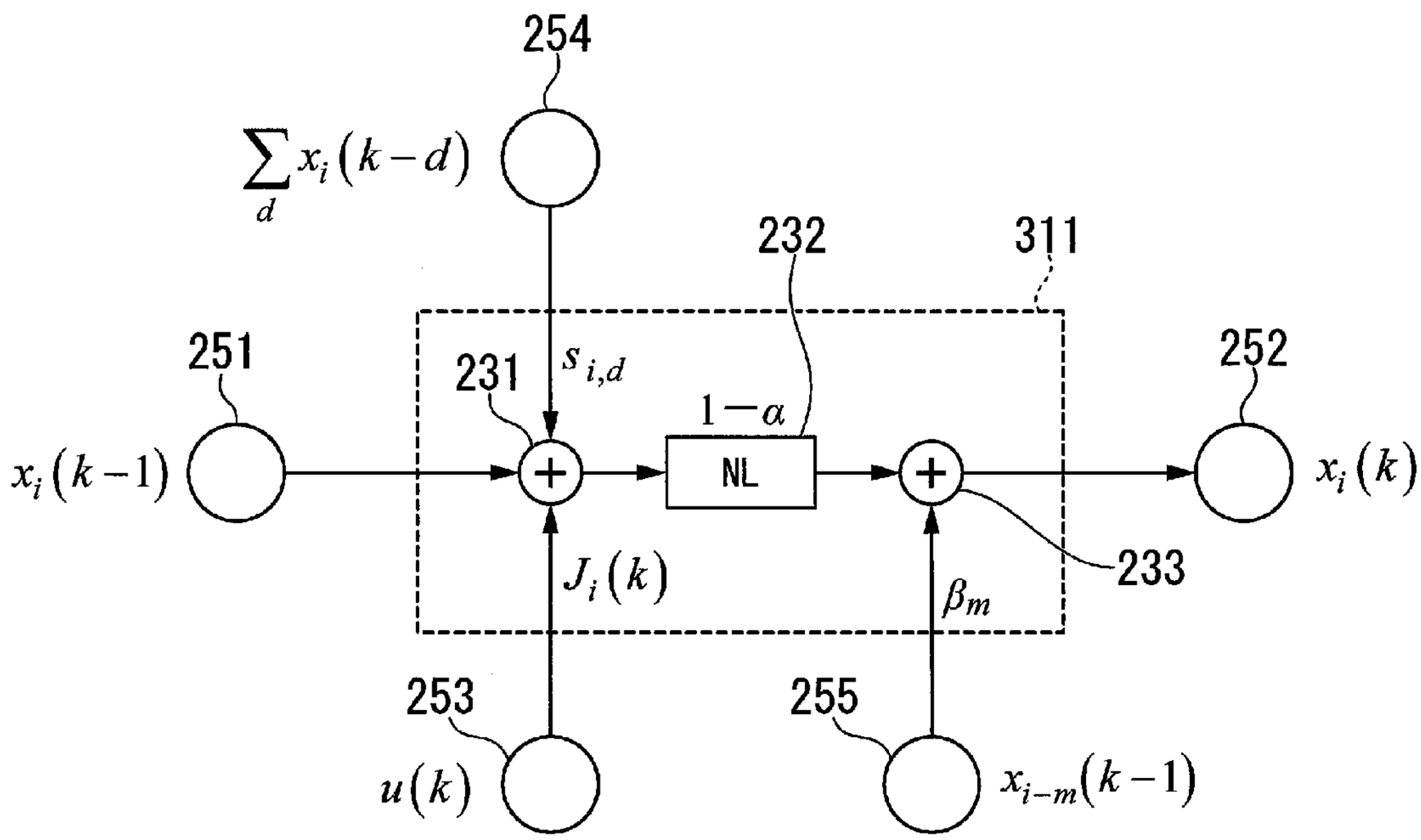
[図1]


Y
X
1
22
データフロー制御部
23
共有記憶部
21
42
2
121
122
123
124
出力層
125
126
127
128
111
112
113
114
115
116
DRU
13
53
52
51(i, j)
入力層
41

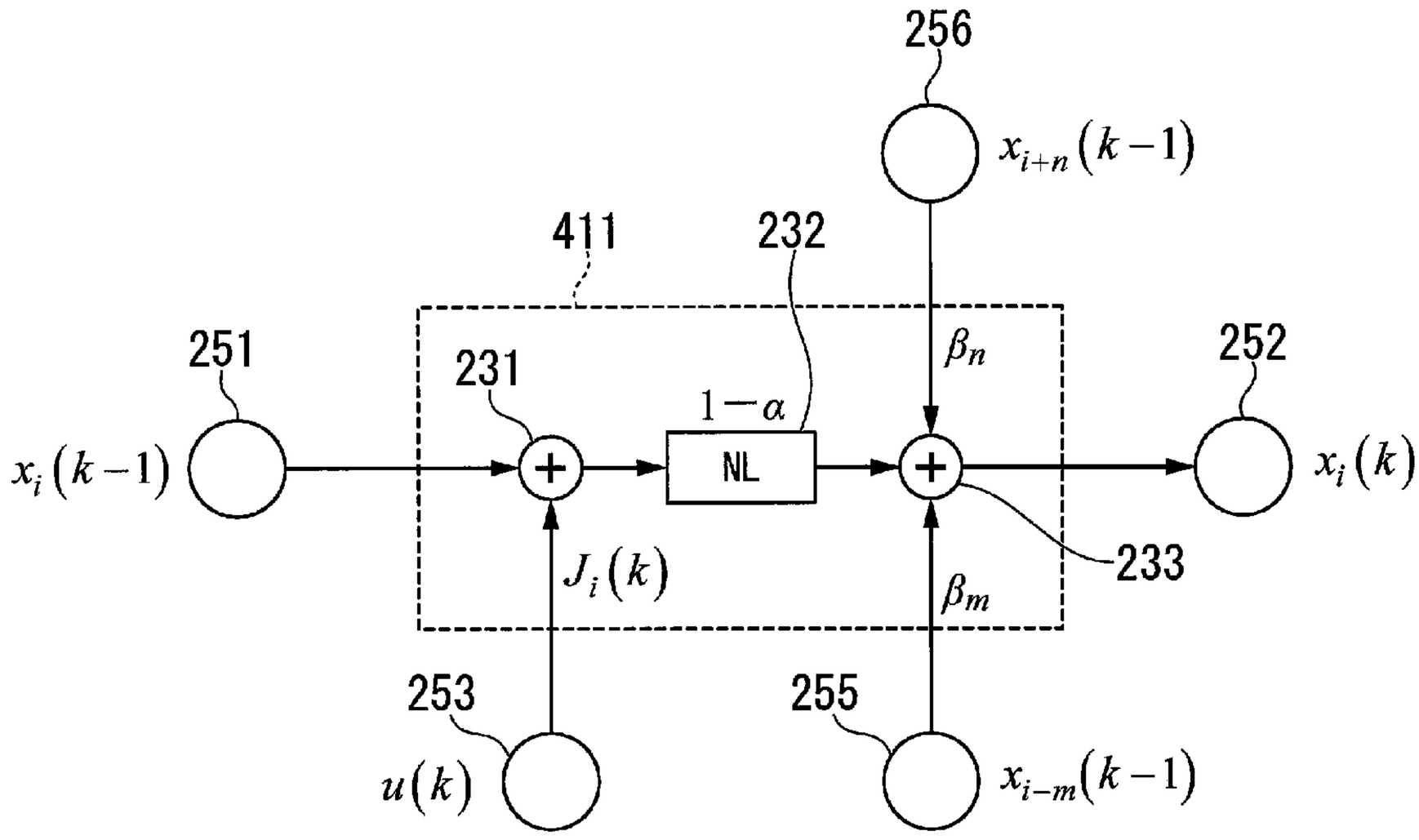
[図2]


254
256
$\sum_d x_i(k-d)$
$x_{i+n}(k-1)$
211
232
251
231
$s_{i,d}$
$\beta_n$
252
$1-\alpha$
$x_i(k-1)$
NL
$x_i(k)$
$J_i(k)$
233
$\beta_m$
253
255
$u(k)$
$x_{i-m}(k-1)$

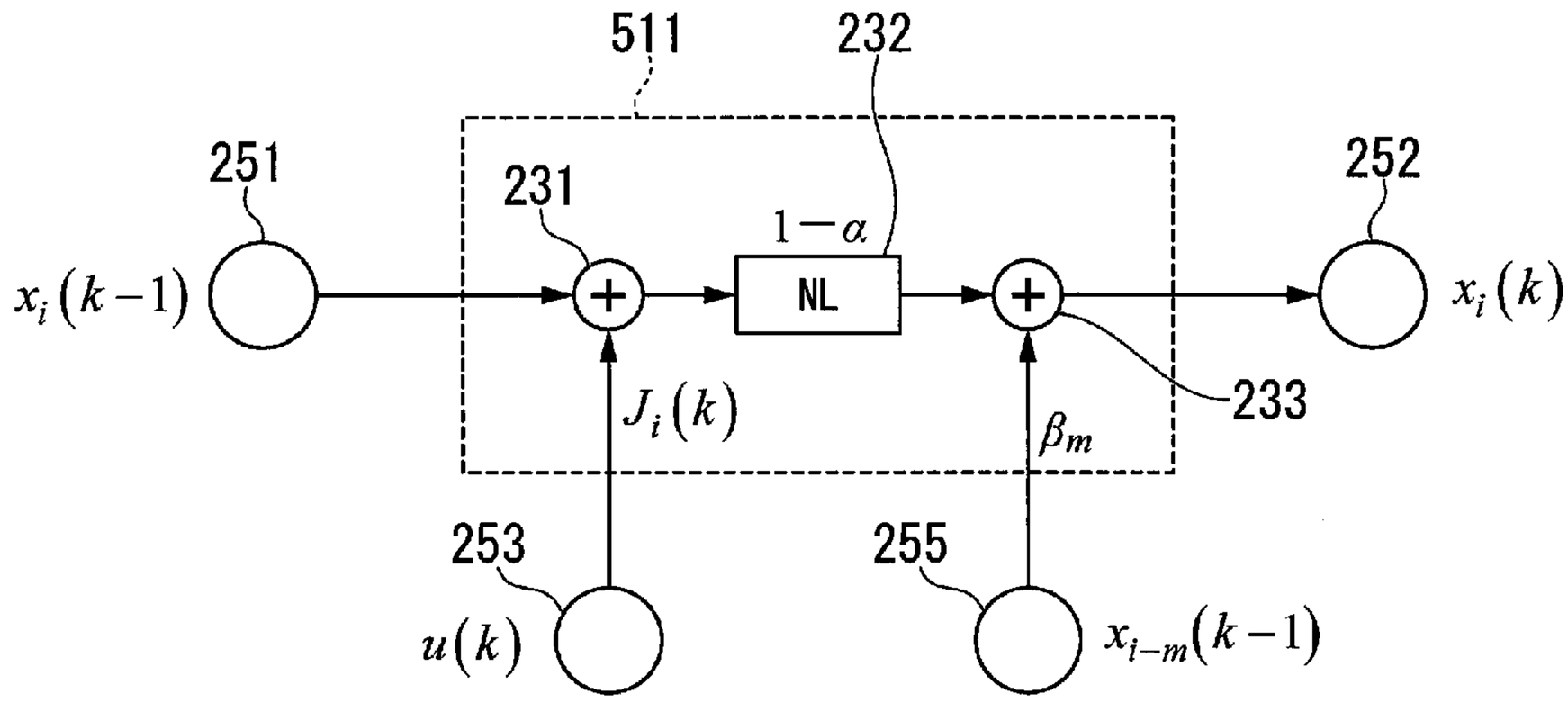
[図3]


254
$\sum_d x_i(k-d)$
232
311
251
231
$s_{i,d}$
252
$1-\alpha$
$x_i(k-1)$
NL
$x_i(k)$
$J_i(k)$
233
$\beta_m$
253
255
$u(k)$
$x_{i-m}(k-1)$

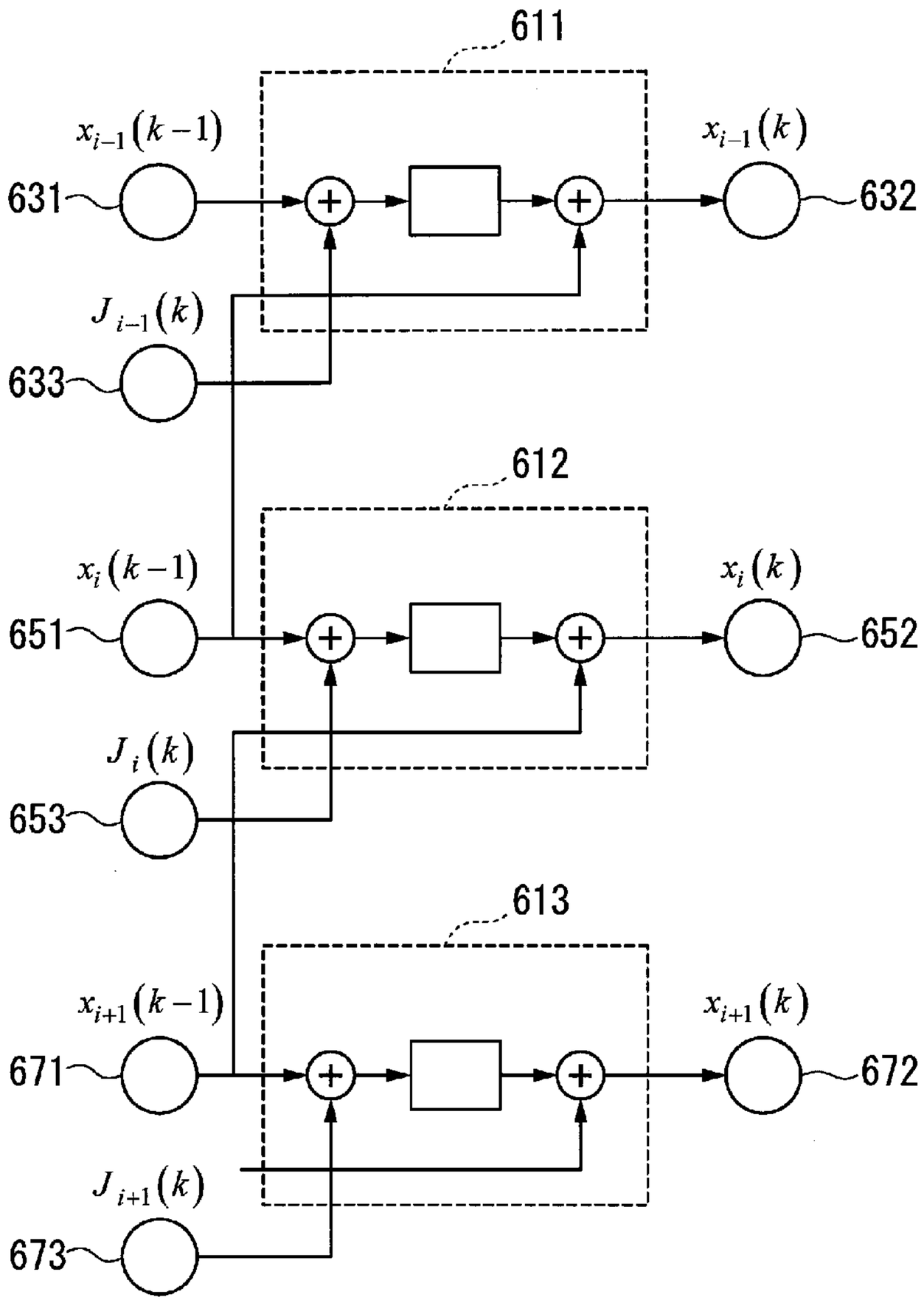
[図4]


256
$x_{i+n}(k-1)$
411
232
251
231
$1-\alpha$
$\beta_n$
252
$x_i(k-1)$
NL
$x_i(k)$
233
$J_i(k)$
$\beta_m$
253
255
$u(k)$
$x_{i-m}(k-1)$

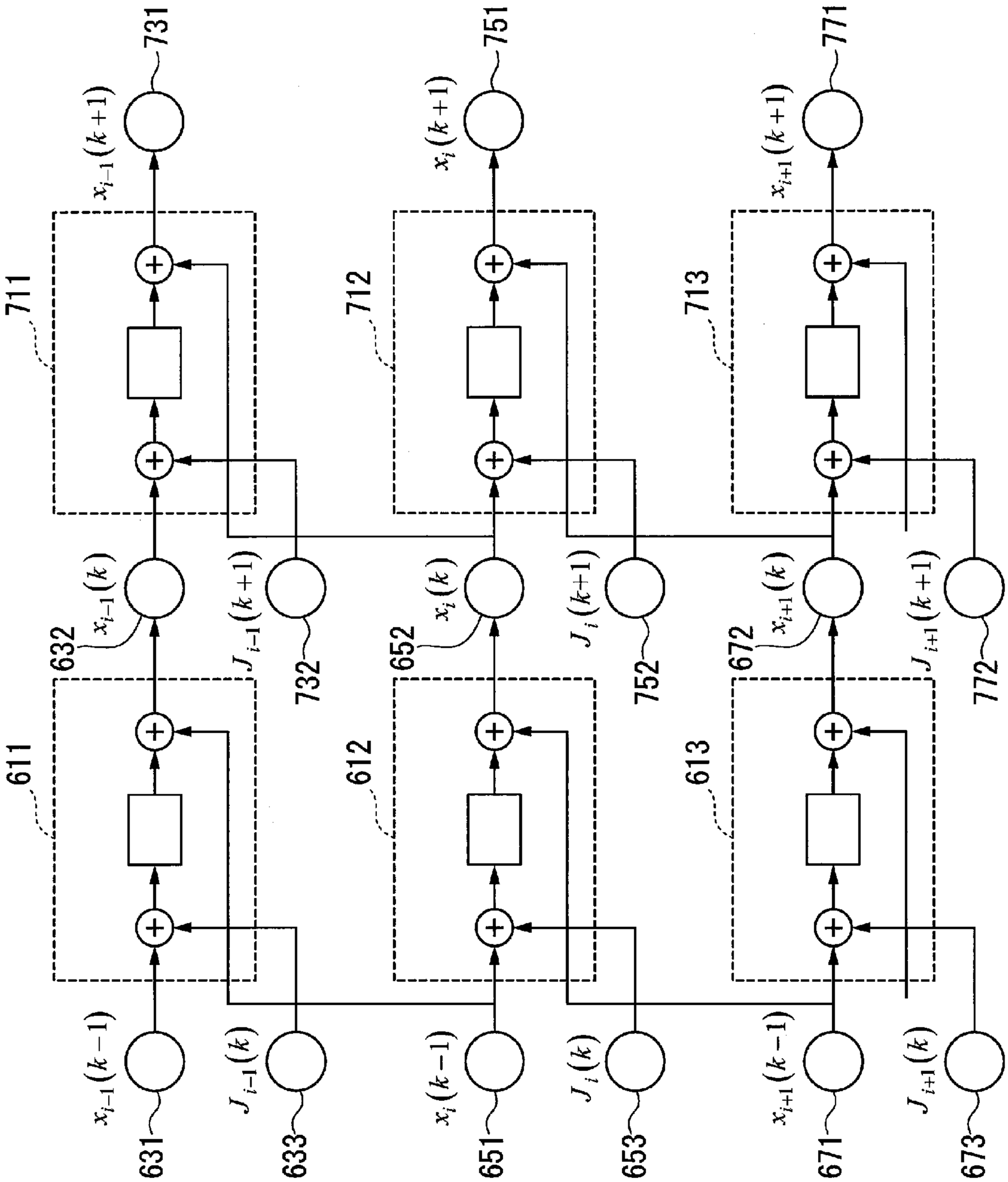
[図5]


511
232
251
231
$1-\alpha$
252
$x_i(k-1)$
NL
$x_i(k)$
233
$J_i(k)$
$\beta_m$
253
255
$u(k)$
$x_{i-m}(k-1)$

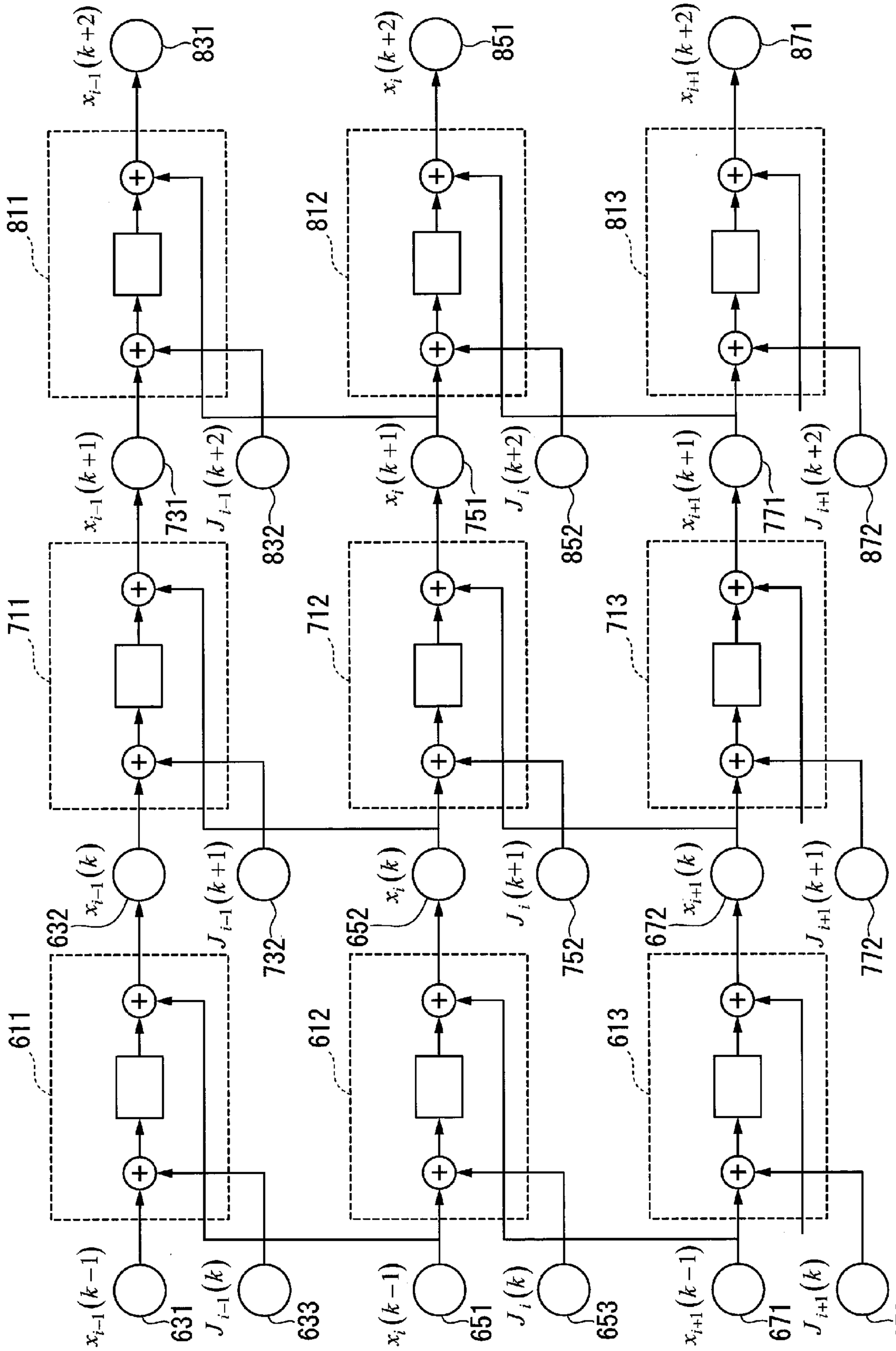
[図6]


611
$x_{i-1}(k-1)$
631
$x_{i-1}(k)$
632
$J_{i-1}(k)$
633
612
$x_i(k-1)$
651
$x_i(k)$
652
$J_i(k)$
653
613
$x_{i+1}(k-1)$
671
$x_{i+1}(k)$
672
$J_{i+1}(k)$
673

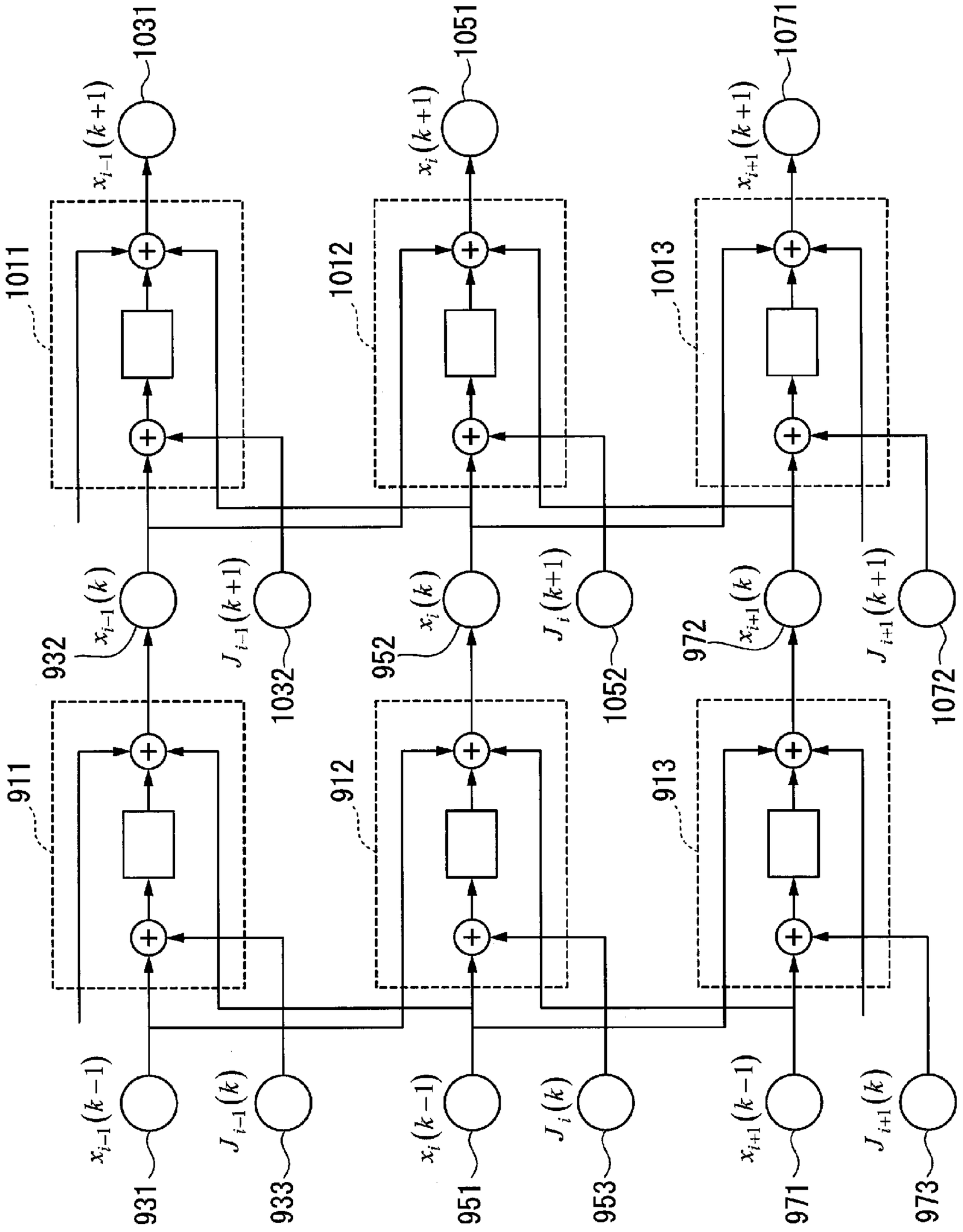
[図7]


711
712
713
611
612
613
731
751
771
631
651
671
633
653
673
632
652
672
732
752
772
$x_{i-1}(k+1)$
$x_i(k+1)$
$x_{i+1}(k+1)$
$x_{i-1}(k)$
$x_i(k)$
$x_{i+1}(k)$
$x_{i-1}(k-1)$
$x_i(k-1)$
$x_{i+1}(k-1)$
$J_{i-1}(k+1)$
$J_i(k+1)$
$J_{i+1}(k+1)$
$J_{i-1}(k)$
$J_i(k)$
$J_{i+1}(k)$

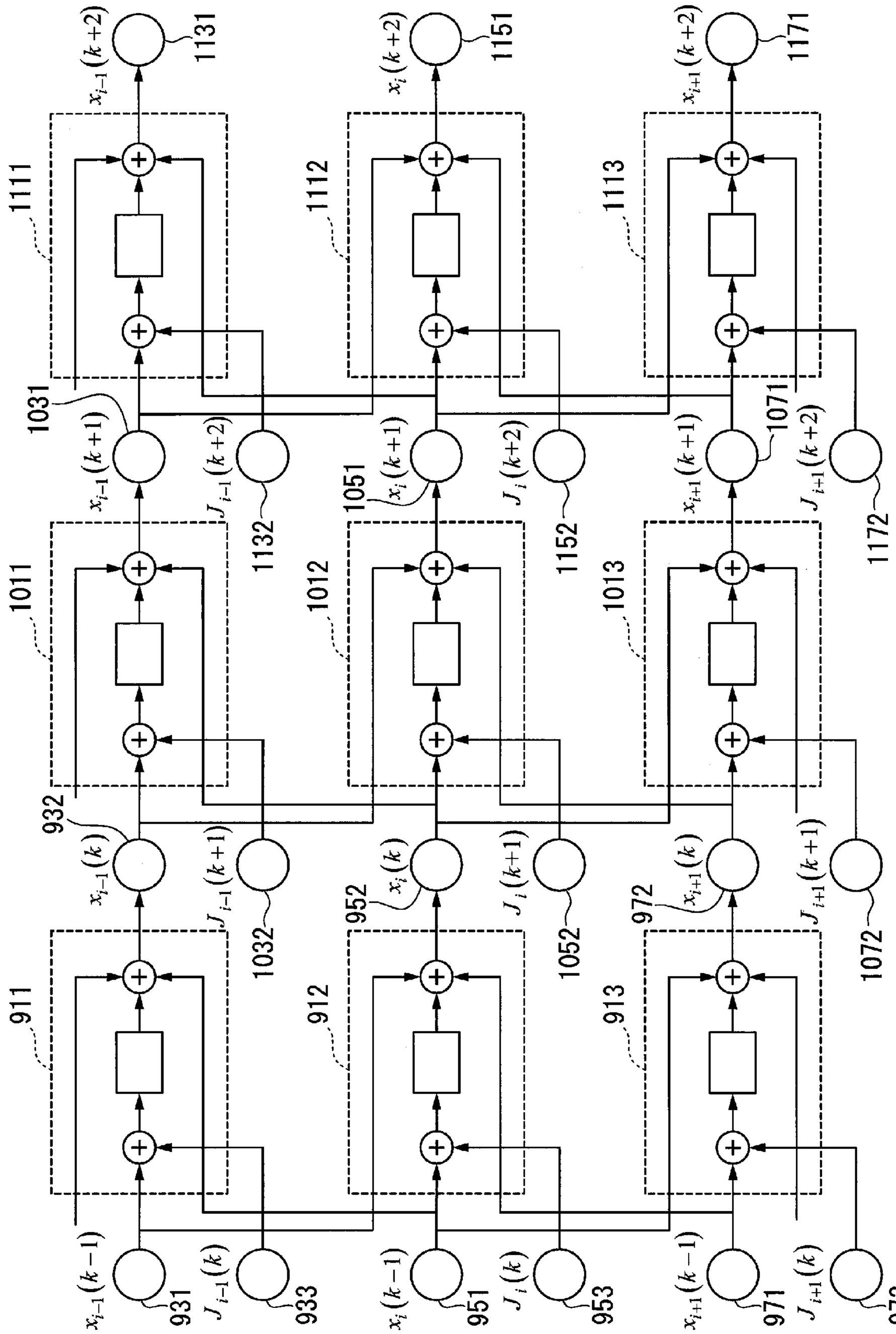
[図8]


811
812
813
711
712
713
611
612
613
831
851
871
731
751
771
632
652
672
732
752
772
631
633
651
653
671
673
832
852
872
$x_{i-1}(k+2)$
$x_i(k+2)$
$x_{i+1}(k+2)$
$x_{i-1}(k+1)$
$x_i(k+1)$
$x_{i+1}(k+1)$
$J_{i-1}(k+2)$
$J_i(k+2)$
$J_{i+1}(k+2)$
$x_{i-1}(k)$
$x_i(k)$
$x_{i+1}(k)$
$J_{i-1}(k+1)$
$J_i(k+1)$
$J_{i+1}(k+1)$
$x_{i-1}(k-1)$
$x_i(k-1)$
$x_{i+1}(k-1)$
$J_{i-1}(k)$
$J_i(k)$
$J_{i+1}(k)$

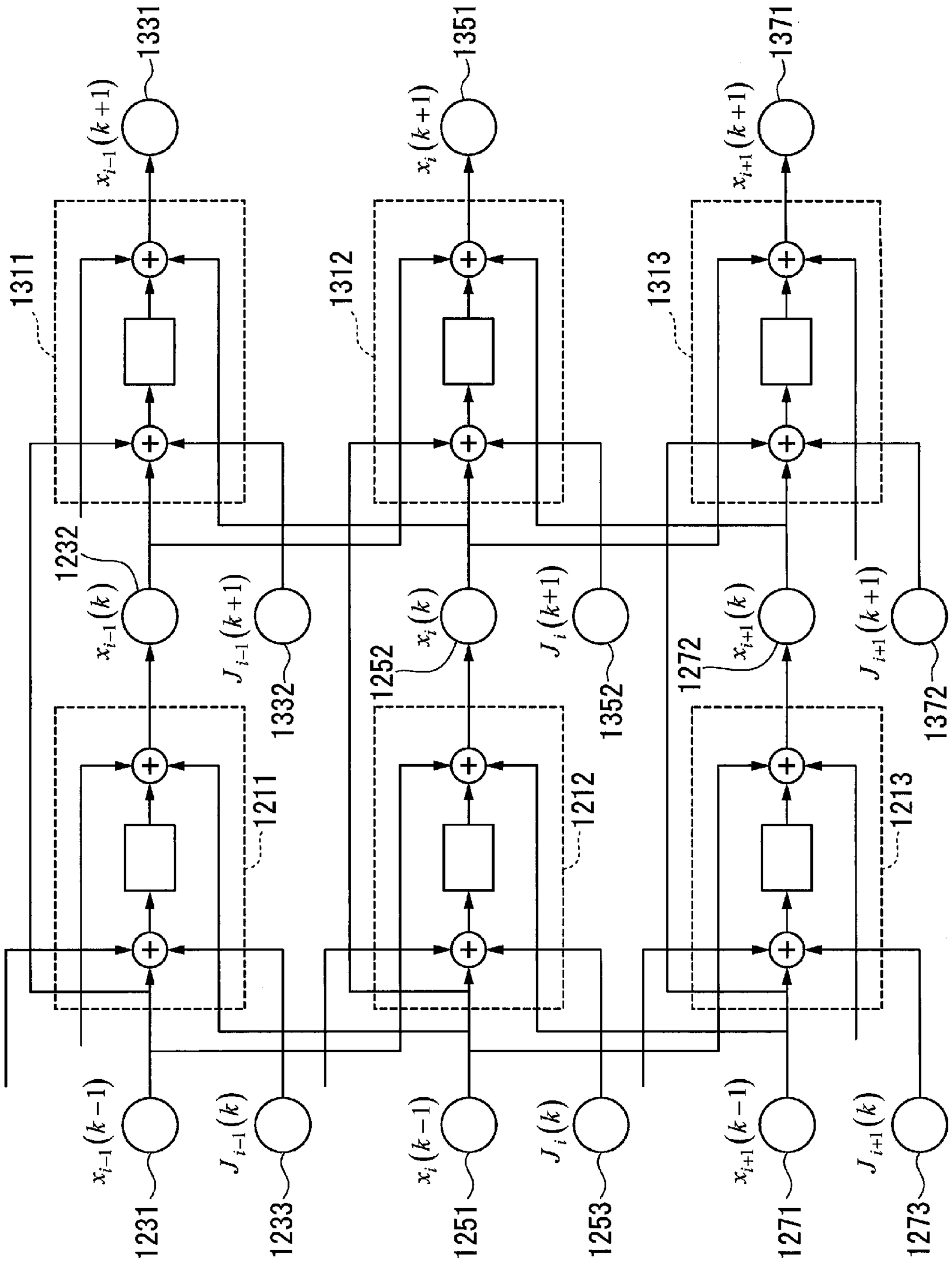
[図9]


1031
1051
1071
$x_{i-1}(k+1)$
$x_i(k+1)$
$x_{i+1}(k+1)$
1011
1012
1013
932
952
972
$x_{i-1}(k)$
$x_i(k)$
$x_{i+1}(k)$
$J_{i-1}(k+1)$
$J_i(k+1)$
$J_{i+1}(k+1)$
1032
1052
1072
911
912
913
$x_{i-1}(k-1)$
$x_i(k-1)$
$x_{i+1}(k-1)$
$J_{i-1}(k)$
$J_i(k)$
$J_{i+1}(k)$
931
933
951
953
971
973

[図10]


1111
1112
1113
1011
1012
1013
911
912
913
1131
1151
1171
1031
1051
1071
1132
1152
1172
1032
1052
1072
932
952
972
931
951
971
933
953
973
$x_{i-1}(k+2)$
$x_i(k+2)$
$x_{i+1}(k+2)$
$x_{i-1}(k+1)$
$J_{i-1}(k+2)$
$x_i(k+1)$
$J_i(k+2)$
$x_{i+1}(k+1)$
$J_{i+1}(k+2)$
$x_{i-1}(k)$
$J_{i-1}(k+1)$
$x_i(k)$
$J_i(k+1)$
$x_{i+1}(k)$
$J_{i+1}(k+1)$
$x_{i-1}(k-1)$
$J_{i-1}(k)$
$x_i(k-1)$
$J_i(k)$
$x_{i+1}(k-1)$
$J_{i+1}(k)$

[図11]


1331
1351
1371
$x_{i-1}(k+1)$
$x_i(k+1)$
$x_{i+1}(k+1)$
1311
1312
1313
1232
1252
1272
$x_{i-1}(k)$
$x_i(k)$
$x_{i+1}(k)$
$J_{i-1}(k+1)$
$J_i(k+1)$
$J_{i+1}(k+1)$
1332
1352
1372
1211
1212
1213
$x_{i-1}(k-1)$
$x_i(k-1)$
$x_{i+1}(k-1)$
$J_{i-1}(k)$
$J_i(k)$
$J_{i+1}(k)$
1231
1233
1251
1253
1271
1273

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/047549

A. CLASSIFICATION OF SUBJECT MATTER
G06N 3/063(2006.01)i
FI: G06N3/063

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06N3/063

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | |
|---|---|
| Published examined utility model applications of Japan | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2020 |
| Registered utility model specifications of Japan | 1996-2020 |
| Published registered utility model applications of Japan | 1994-2020 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X<br>Y<br>A | KUDITHIPUDI, Dhireesha, et al., "Design and Analysis of a Neuromemristive Reservoir Computing Architecture for Biosignal Processing", [online], frontiers in Neuroscience, vol. 9, article 502, 01 February 2016, pp. 1-17, <DOI: 10.3389/fnins.2015.00502>, [retrieved on 06 February 2020], Retrieved from the Internet: <URl: https://www.frontiersin.org/articles/10.3389/fnins.2015.00502/full>, abstract; sections 2-4; fig. 1A, 1B, 2C, 3A, 3B, 4 | 1-5<br>6,7<br>8 |
| Y | US 6292791 B1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 18.09.2001 (2001-09-18) column 8, line 43 to column 9, line 15; fig. 11A, 11B, 12 | 6,7 |

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 07 February 2020 (07.02.2020) | 18 February 2020 (18.02.2020) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan | Telephone No. |

Form PCT/ISA/210 (second sheet) (January 2015)

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2019/047549

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | 河村嘉顕, リカレントニューラルネットの学習, 日本ファジィ学会誌, vol. 7, no. 1, 15 February 1995, pp. 52-56, ISSN: 0915-647X, [in Japanese] (KAWAMURA, Yoshiaki, "Learning for Recurrent Neural Networks", Journal of Japan Society for Fuzzy Theory and Systems) page 52, right-hand column, lines 18-23; fig. 1 | 6,7 |
| Y | 社団法人電子情報通信学会親, エンサイクロペディア電子情報通信ハンドブック, 第１版, 東京：株式会社オーム社, 30 November 1998, ISBN: 4-274-03514-X, pp. 76-84, [in Japanese]. (The Institute of Electronics, Information and Communication Engineers (Editors), Encyclopedia Electronics, Information and Communication Handbook, First edition, Tokyo: OHMSHA, LTD.) "recurrent neural network" in the right-hand column of page 79. | 6,7 |
| A | SOURES, Nicholas, et al., "Reservoir Computing in Embedded Systems", IEEE Consumer Electronics Magazine, vol. 6, no. 3, 14 June 2017, pp. 67-73, ISSN: 2162-2248, <DOI: 10.1109/MCE.2017.2685159>, fig. 1, 2(b), 3. | 1-8 |
| A | JP 5-242065 A (HITACHI, LTD.) 21.09.1993 (1993-09-21) fig. 1-3, 9-12. | 1-8 |

**INTERNATIONAL SEARCH REPORT**
Information on patent family members

International application No.
PCT/JP2019/047549

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| US 6292791 B1 | 18 Sep. 2001 | (Family: none) | |
| JP 5-242065 A | 21 Sep. 1993 | EP 557997 A2<br>fig. 1-3, 9-12<br>KR 10-1993-0018384 A | |

国際調査報告

国際出願番号
PCT/JP2019/047549

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

G06N 3/063(2006.01)i
FI: G06N3/063

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G06N3/063

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０２０年
日本国実用新案登録公報　１９９６－２０２０年
日本国登録実用新案公報　１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

C.　関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X | KUDITHIPUDI, Dhireesha, et al., Design and Analysis of a Neuromemristive Reservoir Computing Architecture for Biosignal Processing, [online], Frontiers in Neuroscience, Volume 9, Article 502, 2016.02.01, Pages 1-17, <DOI: 10.3389/fnins.2015.00502>, [retrieved on 2020.02.06], Retrieved from the Internet: <URL: https://www.frontiersin.org/articles/10.3389/fnins.2015.00502/full>.<br>Abstract; Sections 2-4; Figures 1A,1B,2C,3A,3B and 4. | 1-5 |
| Y | | 6,7 |
| A | | 8 |
| Y | US 6292791 B1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 18.09.2001 (2001-09-18)<br>Column 8, line 43 - column 9, line 15; Figures 11A, 11B and 12. | 6,7 |
| Y | 河村嘉顯，リカレントニューラルネットの学習，日本ファジィ学会誌，Vol.7, No.1, 1995.02.15, Pages 52-56, ISSN: 0915-647X, [in Japanese]. (KAWAMURA, Yoshiaki, Learning for Recurrent Neural Networks, Journal of Japan Society for Fuzzy Theory and Systems.)<br>Page 52, right-hand column, lines 18-23; Figure 1. | 6,7 |

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 07.02.2020 | 18.02.2020 |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目４番３号 | 権限のある職員（特許庁審査官）<br>久保　光宏 5C 9189<br>電話番号 03-3581-1101 内線 3539 |

国際調査報告

国際出願番号
PCT/JP2019/047549

C.　関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | 社団法人電子情報通信学会編，エンサイクロペディア電子情報通信ハンドブック，第１版，東京：株式会社オーム社，1998.11.30，ISBN: 4-274-03514-X，Pages 76-84，[in Japanese]. (The Institute of Electronics, Information and Communication Engineers (Editors), Encyclopedia Electronics, Information and Communication Handbook, First edition, Tokyo: Ohmsha, Ltd.)<br>”recurrent neural network” in the right-hand column of page 79. | 6,7 |
| A | SOURES, Nicholas, et al., Reservoir Computing in Embedded Systems, IEEE Consumer Electronics Magazine, Vol.6, No.3, 2017.06.14, Pages 67-73, ISSN: 2162-2248, <DOI: 10.1109/MCE.2017.2685159>.<br>Figures 1, 2(b) and 3. | 1-8 |
| A | JP 5-242065 A (株式会社日立製作所) 21.09.1993 (1993-09-21)<br>Figures 1-3 and 9-12. | 1-8 |

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2019/047549

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|---|---|---|---|
| US 6292791 B1 | 18.09.2001 | （ファミリーなし） | |
| JP 5-242065 A | 21.09.1993 | EP 557997 A2<br>Figures 1-3 and 9-12.<br>KR 10-1993-0018384 A | |