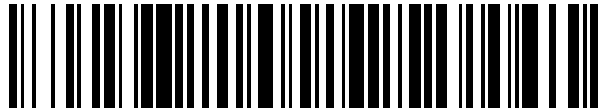


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 887 244**

51 Int. Cl.:

H03F 3/217 (2006.01)
H03F 3/21 (2006.01)
H03F 1/02 (2006.01)
H03F 1/32 (2006.01)
B41J 2/045 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **25.01.2019 PCT/IB2019/050622**
- 87 Fecha y número de publicación internacional: **01.08.2019 WO19145903**
- 96 Fecha de presentación y número de la solicitud europea: **25.01.2019 E 19706755 (6)**
- 97 Fecha y número de publicación de la concesión europea: **09.06.2021 EP 3744000**

54 Título: **Amplificador para accionar una carga capacitiva**

30 Prioridad:

26.01.2018 IT 201800001967

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
22.12.2021

73 Titular/es:

SYSTEM CERAMICS S.P.A. (100.0%)
Via Ghiarola Vecchia 73
41042 Fiorano Modenese MO, IT

72 Inventor/es:

MIGLIAZZA, GIOVANNI;
LARCHER, LUCA y
LORENZANI, EMILIO

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 887 244 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Amplificador para accionar una carga capacitiva

5 Campo técnico de la invención

La presente invención se relaciona en general con el campo de la electrónica.

10 Más en particular, la presente invención se refiere a un amplificador de un tipo híbrido en paralelo para accionar una carga capacitiva, tal como, por ejemplo, cabezales de impresión piezoeléctricos.

Técnica anterior

15 Se conocen diferentes circuitos amplificadores electrónicos para accionar una carga capacitiva, tales como, por ejemplo, cabezales de impresión de un tipo piezoeléctrico.

20 Un primer ejemplo de un circuito amplificador electrónico para accionar una carga capacitiva es un amplificador lineal (por ejemplo en clase AB), que permite obtener una alta fidelidad de reproducción de la forma de onda deseada a través de la carga capacitiva (es decir distorsión de señal reducida), pero tiene la desventaja de disipar una alta cantidad de potencia (es decir tiene baja eficiencia) y de no recuperar la energía almacenada en la carga capacitiva cuando esta última se descarga.

25 Un segundo ejemplo de un circuito amplificador electrónico para accionar una carga capacitiva es el amplificador de conmutación (comúnmente indicado como clase D), que permite minimizar la potencia disipada (es decir tiene alta eficiencia), pero tiene la desventaja de que la fidelidad de reproducción de la forma de onda deseada a través de la carga capacitiva se reduce (es decir alta distorsión) cuando se requieren un gran ancho de banda y una alta tasa de rotación de la señal de voltaje deseada a través de la carga capacitiva.

30 Se conocen amplificadores híbridos para accionar cargas resistivas.

Los amplificadores híbridos son una combinación de un amplificador lineal (por ejemplo, en clase AB) y un amplificador de conmutación y de este modo buscan explotar las ventajas que proporcionan los dos amplificadores.

35 Más en particular, los amplificadores híbridos pueden tener una arquitectura de un tipo en serie o en paralelo.

40 En los amplificadores híbridos de un tipo en serie, una etapa de amplificación lineal se conecta en cascada con una etapa de amplificación de conmutación: en este caso la etapa de amplificación de conmutación cambia continuamente la fuente de alimentación de la etapa de amplificación lineal de tal manera que se disminuya la potencia disipada por esta última, pero no es posible recuperar al menos parte de la energía almacenada en la carga capacitiva cuando se descarga.

45 En los amplificadores híbridos de un tipo en paralelo, la etapa de amplificación lineal se conecta en paralelo a la etapa de amplificación de conmutación: en este caso, la etapa de amplificación lineal controla el voltaje en la carga, asegurando de este modo una baja distorsión de señal, mientras que la etapa de amplificación de conmutación gestiona la mayor parte de la corriente en la carga, obteniendo de este modo una baja disipación de potencia (es decir alta eficiencia).

50 Los amplificadores híbridos de un tipo en paralelo se usan para accionar cargas resistivas y resistivo-inductivas, tales como, por ejemplo, altavoces de audio.

55 El Solicitante ha notado que si los amplificadores híbridos conocidos de un tipo en paralelo fueran usados para accionar una carga capacitiva (tal como, por ejemplo, cabezales de impresión piezoeléctricos), con el fin de obtener una salida de corriente baja desde la etapa de amplificador lineal en un amplio rango de valores de la carga capacitiva es necesario tener una frecuencia de conmutación muy alta (por ejemplo, al menos igual a 10 MHz) en los dispositivos que forman la etapa de amplificación de conmutación, lo cual requiere el uso de dispositivos electrónicos de alto rendimiento y sobre todo aumenta la potencia disipada (es decir disminuye eficiencia), anulando de este modo al menos en parte la ventaja de usar un amplificador híbrido en paralelo.

60 El documento US 2004/075500 A1 divulga un circuito regulador que usa un amplificador operacional de tipo de bajo consumo de corriente eléctrica y un accionador IC que tiene muchos circuitos reguladores.

65 El documento EP 2395657 A1 divulga un amplificador de audio de alta eficiencia que incluye una primera etapa de salida acoplada en paralelo con una segunda etapa de salida. La primera etapa de salida es una etapa de salida disipativa, tal como una etapa de potencia de Clase AB. La segunda etapa de salida es una etapa de potencia de modo de conmutación, tal como una etapa de potencia de clase D.

Resumen de la invención

La presente invención se relaciona con un amplificador para accionar una carga capacitiva como se define en la reivindicación 1 incluida y por las realizaciones preferidas de la misma descritas en las reivindicaciones dependientes 2 a 9.

El Solicitante ha percibido que el amplificador de acuerdo con la presente invención es capaz de amplificar una señal de entrada con una tasa de rotación muy alta con el propósito de accionar una o más cargas capacitivas, mientras que mantiene una distorsión reducida gracias a la presencia de una etapa de amplificación lineal y mantiene una disipación de potencia reducida gracias a la presencia de una etapa de amplificación de conmutación, sin requerir un aumento excesivo en la frecuencia de conmutación de la etapa de amplificación de conmutación para un amplio rango de valores de la carga capacitiva.

Adicionalmente, el amplificador de acuerdo con la presente invención permite que una gran parte de la energía almacenada en la carga capacitiva sea recuperada cuando la carga se descarga, reduciendo además de este modo el consumo de energía y disminuyendo de esa manera las pérdidas disipativas consecuentes.

También es un objeto de la presente invención un cabezal de impresión por inyección de tinta accionado piezoeléctricamente como se define en la reivindicación 10 incluida.

Breve descripción de los dibujos

Características y ventajas adicionales de la invención aparecerán a partir de la siguiente descripción de una realización preferida y variantes de la misma, siendo dicha descripción proporcionada a modo de ejemplo con referencia a los dibujos adjuntos, de los cuales:

- La figura 1 muestra un diagrama de bloques de un amplificador de un tipo híbrido en paralelo de acuerdo con la invención;

- La figura 2A muestra con más detalle una etapa de amplificación de conmutación incluida en el amplificador de la figura 1;

- La figura 2B muestra con más detalle un circuito de medición y control incluido en el amplificador de la figura 1;

- La figura 3A muestra esquemáticamente una posible tendencia en la señal de voltaje en la entrada del amplificador y la señal generada en la salida en una carga capacitiva accionada por el amplificador de la invención;

- La figura 3B muestra esquemáticamente una posible tendencia en las señales de corriente de salida generadas por la etapa de amplificación lineal y por la etapa de amplificación de conmutación incluida en el amplificador de la figura 1;

- La figura 3C muestra una posible tendencia en las señales de conmutación de dos conmutadores incluidos en el amplificador de la figura 1 y muestra una posible tendencia de dos señales de habilitación de una etapa de amplificación de conmutación incluida en el amplificador de la invención.

Descripción detallada de la invención

Debe anotarse que en la descripción a continuación, incluso si aparecen en diferentes realizaciones de la invención, bloques, componentes o módulos idénticos o similares se indican mediante las mismas referencias numéricas en las figuras.

Con referencia a la figura 1, muestra un amplificador 1 de un tipo híbrido en paralelo de acuerdo con una realización de la invención.

El amplificador 1 es un circuito electrónico que tiene la función de accionar una o más cargas capacitivas, tales como, por ejemplo, uno o más cabezales de impresión piezoeléctricos.

Con el propósito de explicar la invención se supone, en aras de la simplicidad, que el amplificador 1 es tal que acciona una única carga 5 capacitiva (como se muestra en la figura 1) que tiene una capacitancia C_o ; más en general el amplificador 1 es tal que acciona dos o más cargas capacitivas conectadas entre sí en paralelo y que tienen una capacitancia equivalente igual a C_o .

Por ejemplo, la carga 5 capacitiva consiste de uno o más cabezales de impresión piezoeléctricos, y tiene valores de la capacitancia equivalente C_o comprendidos entre 160 pF (en el caso de un cabezal de impresión por inyección de tinta accionado piezoeléctricamente) y 160 nF (en el caso de 1024 cabezales de impresión piezoeléctricos conectados en paralelo).

El amplificador 1 comprende:

- 5 - un terminal de entrada $I_{ENTRADA}$ adaptado para recibir una señal de voltaje de entrada v_i ;
- un terminal de salida lo adaptado para generar una señal de voltaje de salida v_L para accionar la carga 5 capacitiva;
- una etapa 2 de amplificación del tipo lineal;
- 10 - una etapa 3 de amplificación de un tipo de conmutación;
- un condensador 4;
- un primer conmutador 10-1;
- 15 - un circuito 8 de medición y control;
- un segundo conmutador 10-2.

20 El amplificador 1 es del tipo híbrido en paralelo, en donde la etapa 2 de amplificación del tipo lineal está conectada en paralelo a la etapa 3 de amplificación de un tipo de conmutación, de tal manera que la corriente i_L que fluye a través de la carga capacitiva C_o es igual a la suma de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal y la corriente i_{sw} generada en la salida desde la etapa 3 de amplificación de conmutación, es decir $i_L = i_{lin} + i_{sw}$.

25 El terminal de entrada $I_{ENTRADA}$ del amplificador 1 está adaptado para recibir una señal de voltaje de entrada v_i que tiene una tendencia sustancialmente trapezoidal con fases ascendentes y descendentes, aumentando y disminuyendo monótonamente, respectivamente, como se muestra con la línea continua en la figura 3A.

30 Más en general, la señal de voltaje de entrada v_i es periódica y cada período ΔT tiene una tendencia sustancialmente trapezoidal.

Con referencia a un período de la señal de voltaje de entrada v_i , se compone de cuatro fases (de nuevo véase figura 3A):

- 35 - una primera fase comprendida entre el instante t_0 y el instante t_1 , en la cual la señal de voltaje de entrada v_i tiene una tendencia que aumenta monótonamente desde un valor sustancialmente nulo hasta un valor de voltaje máximo $V_{m\acute{a}x}$ sustancialmente igual al valor de un voltaje de suministro VCC (por ejemplo, igual a 137 V);
- 40 - una segunda fase comprendida entre el instante t_1 y el instante t_2 , en la cual la señal de voltaje de entrada v_i tiene una tendencia sustancialmente constante igual al valor de voltaje máximo $V_{m\acute{a}x}$;
- una tercera fase comprendida entre el instante t_2 y el instante t_3 , en la cual la señal de voltaje de entrada v_i tiene una tendencia que disminuye monótonamente desde el valor de voltaje máximo $V_{m\acute{a}x}$ hasta el valor nulo;
- 45 - una cuarta fase comprendida entre el instante t_3 y el instante t_4 , en la cual la señal de voltaje de entrada v_i tiene una tendencia sustancialmente constante igual al valor nulo.

50 De este modo es posible identificar cuatro fases de operación respectivas del amplificador 1.

Preferiblemente, en la primera fase comprendida entre t_0 y t_1 , la señal de voltaje de entrada v_i es una rampa ascendente que tiene una tendencia que aumenta linealmente desde un valor nulo hasta un valor de voltaje máximo $V_{m\acute{a}x}$; de manera similar, en la tercera fase comprendida entre t_2 y t_3 , la señal de voltaje de entrada v_i es una rampa descendente que tiene una tendencia que disminuye linealmente desde el valor de voltaje máximo $V_{m\acute{a}x}$ hasta el valor nulo.

60 Por ejemplo, el valor del período ΔT es igual a 12.5 microsegundos, el valor de voltaje máximo $V_{m\acute{a}x}$ es igual a 135 Voltios, la duración de la primera fase (rampa ascendente) es igual a 3 microsegundos, la duración de la segunda fase (valor máximo sustancialmente constante) es igual a 3 microsegundos, la duración de la tercera fase (rampa descendente) es igual a 3 microsegundos y la duración de la cuarta fase (valor nulo sustancialmente constante) es igual a 3.5 microsegundos.

65 La señal de voltaje de entrada v_i de este modo tiene una alta tasa de rotación (es decir tiene grandes variaciones de su valor en intervalos de tiempo cortos) y tiene una alta frecuencia de repetición de la propia señal.

El terminal de salida I_o del amplificador 1 está adaptado para generar la señal de voltaje de salida v_L , que también tiene una tendencia sustancialmente trapezoidal con fases monótonas ascendentes y descendentes que aumentan y disminuyen, respectivamente (típicamente una rampa ascendente que aumenta linealmente y una rampa descendente que disminuye linealmente), como se muestra con la línea discontinua en la figura 3A.

5 Se puede ver que la señal de voltaje de salida v_L fluctúa entre un valor nulo (es decir el voltaje de referencia de tierra) y el valor máximo $V_{m\acute{a}x}$.

10 Adicionalmente, en la figura 3A se puede ver que la señal de voltaje de salida v_L también se compone de cuatro fases en cada período, como la señal de voltaje de entrada v_i , con la diferencia de que la duración de las cuatro fases está ligeramente desplazada en relación con la de la señal de voltaje de entrada v_i .

15 La etapa 2 de amplificación lineal es alimentada por el voltaje de suministro VCC y comprende un terminal de entrada adaptado para recibir la señal de voltaje de entrada v_i y comprende un terminal de salida I_{o_lin} adaptado para generar una señal de voltaje amplificada v_{lin} que reproduce la señal de voltaje de entrada v_i y adaptado para generar una corriente de salida i_{lin} .

La etapa 2 de amplificación lineal está activa durante todas las cuatro fases de operación.

20 En particular, durante la segunda y cuarta fase de operación, la etapa 2 de amplificación lineal tiene la función de imponer con precisión el valor del voltaje de salida v_L deseado a través de la carga 5 capacitiva (o en el terminal de salida I_o del amplificador 1), como se explicará con mayor detalle a continuación.

25 La etapa 2 de amplificación lineal es preferiblemente del tipo de clase AB.

La etapa 3 de amplificación de un tipo de conmutación comprende un terminal de entrada I_{in_sw} adaptado para recibir una señal de voltaje de accionamiento S_{drv_sw} , comprende al menos un terminal de entrada adicional adaptado para recibir una primera y una segunda señal S1, S2 de habilitación y comprende un terminal de salida adaptado para generar la señal de voltaje de salida v_L , que oscila entre el valor de un voltaje de suministro VCC y el voltaje de referencia de tierra, como se explicará con mayor detalle a continuación, y adaptado para generar una corriente de salida i_{sw} .

30 La corriente i_L que fluye en la carga 5 capacitiva es dada por la suma de la corriente i_{lin} generada en la salida de la etapa 2 de amplificación lineal y de la corriente i_{sw} generada en la salida de la etapa 3 de amplificación de conmutación, es decir $i_L = i_{lin} + i_{sw}$.

35 La etapa 3 de amplificación de conmutación tiene la función de gestionar la mayor parte de la corriente en la carga 5 capacitiva durante la primera fase de la señal de voltaje de entrada v_i que tiene una tendencia con una rampa ascendente y durante la tercera fase de la señal de voltaje de entrada v_i que tiene una tendencia con una rampa descendente, de tal manera que se obtenga una baja disipación de potencia con recuperación de la energía previamente almacenada en la carga 5 capacitiva y de este modo un bajo consumo de energía.

40 Adicionalmente, el uso de la etapa 3 de amplificación de conmutación permite un flujo de corriente bidireccional a través de la carga 5 capacitiva, permitiendo que la mayor parte de la energía almacenada en la carga 5 capacitiva sea recuperada.

45 Debe anotarse que la etapa 3 de amplificación de conmutación es accionada por el circuito 8 de medición y control con un control autooscilante, es decir es tal como medir el valor de la salida de corriente i_{lin} desde el amplificador 2 lineal y es tal que limita la corriente i_{lin} a un valor pequeño usando un control de umbral o histéresis, como se explicará con mayor detalle a continuación.

Más en particular, con referencia a las figuras 1 y 2A, la etapa 3 de amplificación de conmutación comprende:

55 - un circuito 3-5 de amplificación de conmutación;

- un inductor 3-6 conectado en serie al circuito 3-5 de amplificación de conmutación, en donde el inductor 3-6 tiene un terminal conectado en la salida del circuito 3-5 de amplificación de conmutación y otro terminal conectado al terminal de salida I_o del amplificador 1.

60 Debe anotarse que el conjunto del inductor 3-6 y de la carga 5 capacitiva forma un filtro de paso bajo.

El circuito 3-5 de amplificación de conmutación está alimentado por el voltaje de suministro VCC (igual, por ejemplo, a 137 V) y comprende a su vez:

65 - un primer terminal de entrada adaptado para recibir la primera señal S1 de habilitación;

- un segundo terminal de entrada adaptado para recibir la segunda señal S2 de habilitación;
 - un tercer terminal de entrada adaptado para recibir la señal de voltaje de accionamiento S_drv_sw;
- 5 - un terminal de salida adaptado para generar una señal de voltaje de conmutación interna v_sw_i.

Más en particular, el circuito 3-5 de amplificación de conmutación comprende:

- 10 - un conmutador 3-1 lateral superior que tiene un primer terminal conectado hacia el voltaje de suministro VCC, en donde el conmutador 3-1 lateral superior está configurado para conmutar entre una posición abierta en donde es eléctricamente equivalente a un circuito abierto y una posición cerrada en donde es eléctricamente equivalente a un cortocircuito, como una función del valor de una primera señal de accionamiento interna S1_drv_i;
- 15 - un conmutador 3-2 lateral inferior conectado en serie al conmutador 3-1 lateral superior, teniendo el conmutador 3-2 lateral inferior un primer terminal conectado a un segundo terminal del conmutador 3-1 lateral superior y un segundo terminal conectado hacia un voltaje de referencia de tierra, en donde el conmutador 3-2 lateral inferior está configurado para conmutar entre una posición abierta en donde es eléctricamente equivalente a un circuito abierto y una posición cerrada en donde es eléctricamente equivalente a un cortocircuito, como una función del valor de una segunda señal de accionamiento interna S2_drv_i;
- 20 - preferiblemente, un diodo conectado en paralelo a los conmutadores 3-1, 3-2;
- un primer circuito 3-3 de habilitación que tiene la función de controlar la apertura/cierre del conmutador 3-1 lateral superior, como una función del valor de la primera señal S1 de habilitación y del valor de la señal de voltaje de accionamiento S_drv_sw;
- 25 - un segundo circuito 3-4 de habilitación que tiene la función de controlar la apertura/cierre del conmutador 3-2 lateral inferior, como una función del valor de la segunda señal S2 de habilitación y del valor de la señal de voltaje de accionamiento S_drv_sw.
- 30

El conmutador 3-1 lateral superior tiene la función de controlar, cuando está cerrado, la generación de la señal de voltaje de conmutación interna v_sw (y de este modo de la señal de voltaje de salida v_L) igual al valor del voltaje de suministro VCC, mientras que el conmutador 3-2 lateral inferior tiene la función de controlar, cuando está cerrado, la generación de la señal de voltaje de conmutación interna v_sw (y de este modo de la señal de voltaje de salida v_L) igual al valor del voltaje de referencia de tierra (es decir valor nulo).

35

El circuito 3-5 de amplificación de conmutación es de este modo tal que genera la señal de voltaje de conmutación interna v_sw_i, que oscila entre el valor del voltaje de suministro VCC y el voltaje de referencia de tierra (es decir el valor nulo), como una función del estado cerrado del conmutador 3-1 lateral superior y del estado cerrado del conmutador 3-2 lateral inferior, respectivamente.

40

Por lo tanto la etapa 3 de amplificación de conmutación es tal que impone una señal de voltaje de salida v_L igual al voltaje de suministro VCC cuando el conmutador 3-1 lateral superior está cerrado y es tal que impone una señal de voltaje de salida v_L igual al voltaje de referencia de tierra (es decir 0 Voltios) cuando el conmutador 3-2 lateral inferior está cerrado.

45

Más en particular, el primer circuito 3-3 de habilitación comprende un terminal de salida adaptado para generar la primera señal de accionamiento interna S1_drv_i igual a la señal de voltaje de accionamiento S_drv_sw cuando la primera señal S1 de habilitación tiene un valor lógico alto (por ejemplo, igual al suministro voltaje VCC), y está configurado para generar en la salida la primera señal de accionamiento interna S1_drv_i igual a un valor lógico bajo (por ejemplo, nulo) cuando la primera señal S1 de habilitación tiene un valor lógico bajo.

50

De manera similar, el segundo circuito 3-4 de habilitación está configurado para generar en la salida la segunda señal de accionamiento interna S2_drv_i igual a la señal de voltaje de accionamiento S_drv_sw cuando la segunda señal S2 de habilitación tiene un valor lógico alto (en el ejemplo se considera igual al voltaje de suministro VCC), y está configurado para generar en la salida la segunda señal de accionamiento interna S2_drv_i igual a un valor lógico bajo (por ejemplo nulo) cuando la segunda señal S2 de habilitación tiene un valor lógico bajo.

55

El primer y segundo circuitos 3-3, 3-4 de habilitación se implementan, por ejemplo, con un puerto lógico respectivo de tipo AND.

60

Preferiblemente, el circuito 3-5 de amplificación de conmutación es del tipo de medio puente clase D y el conmutador 3-1 lateral superior se implementa con un transistor MOSFET de canal n que tiene un terminal de drenaje conectado al voltaje de suministro VCC, un terminal de fuente conectado al terminal de salida del circuito 3-5 de amplificación de conmutación y un terminal de puerta conectado en la salida del primer circuito 3-3 de habilitación: por lo tanto el

65

terminal de fuente porta la señal de voltaje de conmutación interna v_{sw_i} y el terminal de puerta recibe la primera señal de accionamiento interna $S1_drv_i$.

5 El conmutador 3-2 lateral inferior se implementa de manera similar con un transistor MOSFET de canal n que tiene un terminal de fuente conectado al voltaje de referencia de tierra, un terminal de drenaje conectado al terminal de salida del circuito 3-5 de amplificación de conmutación y un terminal de puerta conectado en la salida del segundo circuito 3-4 de habilitación: por lo tanto el terminal de drenaje porta la señal de voltaje de conmutación interna v_{sw_i} y el terminal de puerta recibe la segunda señal de accionamiento interna $S2_drv_i$.

10 Preferiblemente, el circuito 3-5 de amplificación de conmutación comprende además un primer diodo 3-7 de rueda libre conectado en paralelo al transistor 3-1 MOSFET y que tiene un terminal de cátodo conectado al terminal de drenaje del transistor 3-1 MOSFET (y de este modo conectado al voltaje de suministro VCC) y un terminal de ánodo conectado al terminal de fuente del transistor 3-1 MOSFET (y de este modo conectado al terminal de salida del circuito 3-5 de amplificación de conmutación que porta la señal de voltaje de conmutación interna v_{sw_i}).

15 De manera similar, el circuito 3-5 de amplificación de conmutación comprende además un segundo diodo 3-8 de rueda libre conectado en paralelo al transistor 3-2 MOSFET y que tiene un terminal de cátodo conectado al terminal de drenaje del transistor 3-2 MOSFET (y de este modo porta la señal de voltaje de conmutación interna v_{sw_i}) y un terminal de ánodo conectado al terminal de fuente del transistor 3-2 MOSFET (y de este modo conectado al voltaje de referencia de tierra).

20 El condensador 4 está conectado en serie al terminal de salida I_{O_lin} de la etapa 2 de amplificación lineal y tiene la función de aumentar la impedancia vista desde la etapa 2 de amplificación lineal, limitando de este modo la salida de corriente desde la etapa 2 de amplificación lineal a un valor bajo en las fases de la señal de voltaje de entrada v_i que tiene una tendencia con una rampa ascendente y descendente.

25 En particular, el condensador 4 tiene un terminal conectado al terminal de salida I_{O_lin} de la etapa 2 de amplificación lineal y otro terminal conectado al terminal de salida I_{O} del amplificador 1 y al terminal de salida de la etapa 3 de amplificación de conmutación.

30 El primer conmutador 10-1 está conectado en paralelo al condensador 4 y está configurado para conmutar entre una posición abierta en donde es eléctricamente equivalente a un circuito abierto y una posición cerrada en donde es eléctricamente equivalente a un cortocircuito, como una función del valor de una primera señal $S3$ de conmutación.

35 El primer conmutador 10-1 tiene la función de desviar el condensador 4 en la segunda fase con una tendencia sustancialmente constante (mayor que cero) de la señal de voltaje de entrada v_i (es decir el terminal de salida I_{O_lin} de la etapa 2 de amplificación lineal se cortocircuita con el terminal de salida I_{O} del amplificador 1), permitiendo a la etapa 2 de amplificación lineal establecer con precisión el valor del voltaje de salida v_L en los extremos de la carga 5 capacitiva.

40 El segundo conmutador 10-2 está conectado en paralelo a la carga 5 capacitiva y está configurado para conmutar entre una posición abierta en donde es eléctricamente equivalente a un circuito abierto y una posición cerrada en donde es eléctricamente equivalente a un cortocircuito, como una función del valor de una segunda señal $S4$ de conmutación.

45 El segundo conmutador 10-2 tiene la función de cortocircuitar la carga 5 capacitiva en la cuarta fase con una tendencia sustancialmente nula en la señal de voltaje de entrada v_i , de tal manera que lleve cualquier voltaje ligeramente mayor que cero presente en la carga 5 capacitiva hacia el valor nulo al final de la tercera fase.

50 Debe anotarse que el uso del segundo conmutador 10-2 no es esencial para los propósitos de la invención, dado que la misma función de descargar la carga 5 capacitiva hacia el valor nulo se puede obtener cerrando el primer conmutador 10-1 y la etapa 2 de amplificación lineal, que es tal que genera (durante la cuarta fase de operación) en la salida la señal de voltaje amplificada sustancialmente nula v_lin , como se explicará con mayor detalle a continuación.

55 El circuito 8 de medición y control es alimentado por el voltaje de suministro VCC y tiene la función de medir la corriente i_lin generada en la salida desde la etapa 2 de amplificación lineal y de generar valores adecuados de la señal de voltaje de accionamiento S_drv_sw de tal manera que realice un control autooscilante de la etapa 3 de amplificación de conmutación, por medio de un control de umbral o histéresis del valor medido de la corriente i_lin generada en la salida desde la etapa de amplificación lineal: de esta forma se limita la corriente generada a partir de la etapa 2 de amplificación lineal a un valor bajo durante las fases de la señal de voltaje de entrada v_i que tiene una tendencia con una rampa ascendente y descendente.

60 El circuito 8 de medición y control comprende de este modo un terminal de salida adaptado para generar, como una función del valor de la corriente i_lin generada en la salida desde la etapa 2 de amplificación lineal, la señal de voltaje de accionamiento S_drv_sw para accionar la etapa 3 de amplificación de conmutación.

65

Alternativamente, el circuito 8 de medición y control se modifica de tal manera que controle la etapa 3 de amplificación de conmutación como una función de la medición de la caída de voltaje (es decir diferencia de potencial) a través del condensador 4 (en lugar de como una función de la corriente medida i_{lin}).

5 Con el propósito de explicar la invención, se considera en la descripción que sigue el circuito 8 de medición y control que realiza la medición de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal, pero se aplican consideraciones similares en los casos en los cuales el circuito 8 de medición y control realiza una medición de la caída de voltaje a través del condensador 4.

10 El circuito 8 de medición y control tiene la función adicional de generar valores adecuados de la primera y segunda señales S1, S2 de habilitación y de la primera y segunda señales S3, S4 de conmutación.

El circuito 8 de medición y control de este modo comprende además al menos un terminal de salida adaptado para generar:

15 - la primera y la segunda señal S1, S2 de habilitación para habilitar la operación de la etapa 3 de amplificación de conmutación en la primera fase de rampa ascendente y en la tercera fase de rampa descendente de la señal de voltaje de entrada v_i ;

20 - la primera señal S3 de conmutación para controlar la apertura y cierre del primer conmutador 10-1;

- la segunda señal S4 de conmutación para controlar la apertura y cierre del segundo conmutador 10-2.

Con referencia más en particular a la figura 3C, el circuito 8 de medición y control está configurado para generar:

25 - la primera señal S1 de habilitación que tiene un valor lógico alto para habilitar la operación de una porción de la etapa 3 de amplificación de conmutación durante la primera fase (rampa ascendente) de la señal de voltaje de entrada v_i y que tiene un valor lógico bajo para inhabilitar la operación de dicha porción de la etapa 3 de amplificación de conmutación durante la segunda, tercera y cuarta fases de la señal de voltaje de entrada v_i ;

30 - la segunda señal S2 de habilitación que tiene un valor lógico alto para habilitar la operación de una porción adicional de la etapa 3 de amplificación de conmutación en la tercera fase (rampa descendente) de la señal de voltaje de entrada v_i y que tiene un valor lógico bajo para inhabilitar la operación de dicha porción adicional de la etapa 3 de amplificación de conmutación durante la primera, segunda y cuarta fases de la señal de voltaje de entrada v_i ;

35 - la primera señal S3 de conmutación que tiene un valor lógico alto para cerrar el conmutador 10-1 durante la segunda fase (tendencia máxima constante) de la señal de voltaje de entrada v_i en donde la etapa 2 de amplificación lineal es tal que impone con precisión el valor del voltaje de salida v_L , y que tiene un valor lógico bajo durante la primera, tercera y cuarta fases de la señal de voltaje de entrada v_i ;

40 - la segunda señal S4 de conmutación que tiene un valor lógico alto para cerrar el conmutador 10-2 durante la cuarta fase (tendencia nula) de la señal de voltaje de entrada v_i y que tiene un valor lógico bajo durante la primera, segunda y tercera fases de la señal de voltaje de entrada v_i .

45 Debe anotarse que las señales S1, S2 de habilitación y las señales S3, S4 de conmutación pueden generarse por medio del circuito 8 de medición y control (en particular, por medio del circuito 8-3 de control ilustrado a continuación) que recibe en la entrada la señal de entrada v_i (como se muestra en la figura 2B), realiza un análisis de la tendencia en su forma de onda trapezoidal y genera a partir de la misma las tendencias particulares de las señales S1, S2, S3, S4, como se muestra en la figura 3C.

50 Alternativamente, las señales S1, S2 de habilitación y las señales S3, S4 de conmutación pueden generarse sincrónicamente a la señal de entrada v_i con una tendencia trapezoidal por medio de una unidad externa al amplificador 1, que genera la primera señal S1 de habilitación que tiene un valor lógico alto (y las señales S2, S3, S4 que tienen valores lógicos bajos) cuando la señal de entrada v_i es una rampa ascendente, genera la primera señal S3 de conmutación que tiene un valor lógico alto (y las señales S1, S2, S4 que tienen valores bajos) cuando la señal de entrada v_i es un valor constante alto, genera la segunda señal S2 de habilitación que tiene un valor lógico alto (y las señales S1, S3, S4 que tienen valores lógicos bajos) cuando la señal de entrada v_i es una rampa descendente, y genera la segunda señal S4 de conmutación que tiene un valor lógico alto (y las señales S1, S2, S3 que tienen valores lógicos bajos) cuando la señal de entrada v_i es un valor constante bajo (típicamente nulo).

60 Con referencia a la figura 2B, muestra con más detalle un diagrama de bloques del circuito 8 de medición y control, que comprende la conexión en serie de un circuito 8-1 de medición de corriente, un circuito 8-3 de control y, preferiblemente, un retardador 8-2.

65 El circuito 8-1 de medición de corriente tiene la función de medir el signo (es decir, la dirección en la cual fluye) de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal y de generar una señal de medición de

corriente S_{ms} indicativa del valor positivo o negativo de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal.

5 El retardador 8-2 tiene la función de retardar la señal de medición de corriente S_{ms} , de tal manera que limite la frecuencia de conmutación de los conmutadores 3-1, 3-2 en el caso de que la carga 5 capacitiva tenga valores muy bajos.

10 El circuito 8-3 de control tiene la función de generar valores adecuados de la señal de voltaje de accionamiento S_{drv_sw} para realizar el control autooscilante de la etapa 3 de amplificación de conmutación, por medio de un control de umbral del valor medido de la corriente i_{lin} o por medio de un control de histéresis alrededor del valor nulo del valor medido de la corriente i_{lin} .

15 En el caso de control de umbral, cuando durante la primera fase ascendente de la señal de voltaje de salida v_L el valor medido de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal tiene un valor mayor que un valor umbral (por ejemplo, igual a cero), el circuito 8-3 de control está configurado para generar la señal de voltaje de accionamiento S_{drv_sw} que tiene un valor lógico alto; cuando el valor medido de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal en cambio tiene un valor menor que el valor umbral (en el ejemplo, menor que cero), el circuito 8-3 de control está configurado para generar la señal de voltaje de accionamiento S_{drv_sw} que tiene un valor lógico bajo.

20 Durante la tercera fase descendente de la señal de voltaje de salida v_L , la señal de voltaje de accionamiento S_{drv_sw} es igual al negativo de la señal de voltaje de accionamiento S_{drv_sw} durante la primera fase ascendente.

25 Por lo tanto, durante la primera fase de operación (rampa ascendente) de la señal de voltaje de entrada v_i , el circuito 8-3 de control es tal que genera la primera señal $S1$ de habilitación que tiene un valor lógico alto que habilita el conmutador 3-1 lateral superior del circuito 3-5 de amplificación de conmutación y es tal que genera la segunda señal $S2$ de habilitación que tiene un valor lógico bajo que inhabilita el conmutador 3-2 lateral inferior: en este caso, durante la primera fase el conmutador 3-1 lateral superior del circuito 3-5 de amplificación de conmutación se cierra o abre como una función del valor lógico alto o bajo, respectivamente, de la señal de voltaje de accionamiento S_{drv_sw} generada por medio del control de umbral, mientras que el conmutador 3-2 lateral inferior permanece siempre abierto durante la primera fase.

35 De manera similar, durante la tercera fase de operación (rampa descendente) de la señal de voltaje de entrada v_i , el circuito 8-3 de control es tal que genera la segunda señal $S2$ de habilitación que tiene un valor lógico alto que habilita el conmutador 3-2 lateral inferior del circuito 3-5 de amplificación de conmutación y es tal que genera la primera señal $S1$ de habilitación que tiene un valor lógico bajo que inhabilita el conmutador 3-1 lateral superior: en este caso, durante la tercera fase el conmutador 3-2 lateral inferior del circuito 3-5 de amplificación de conmutación se cierra o abre como una función del valor lógico alto o bajo, respectivamente, de la señal de voltaje de accionamiento S_{drv_sw} generada por medio del control de umbral, mientras que el conmutador 3-1 lateral superior permanece siempre abierto durante la tercera fase.

45 En el caso del control de histéresis, las consideraciones previas relativas al control de umbral son aplicables de una manera análoga, reemplazando la comparación con un primer valor umbral mayor que cero para generar la señal de voltaje de accionamiento S_{drv_sw} que tiene un valor lógico alto y reemplazando la comparación con un segundo valor umbral menor que cero para generar la señal de voltaje de accionamiento S_{drv_sw} que tiene un valor lógico bajo.

50 El uso de un control de histéresis (a diferencia del control de umbral) tiene la ventaja de evitar activar la operación de la etapa 3 de amplificación de conmutación para pequeñas variaciones positivas/negativas en el valor de la corriente i_{lin} alrededor del valor nulo.

55 Por lo tanto, en el caso del control de histéresis, cuando durante la primera fase ascendente el valor medido de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal tiene un valor mayor que un primer valor umbral mayor que cero, el circuito 8-3 de control está configurado para generar la señal de voltaje de accionamiento S_{drv_sw} que tiene un valor lógico alto; cuando el valor medido de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal tiene en cambio un valor menor que un segundo valor umbral menor que cero, el circuito 8-3 de control está configurado para generar la señal de voltaje de accionamiento S_{drv_sw} que tiene un valor lógico bajo.

60 Por lo tanto, durante la primera fase de operación (rampa ascendente) de la señal de voltaje de entrada v_i , el circuito 8-3 de control es tal que genera la primera señal $S1$ de habilitación que tiene un valor lógico alto que habilita el conmutador 3-1 lateral superior del circuito 3-5 de amplificación de conmutación y es tal que genera la segunda señal $S2$ de habilitación que tiene un valor lógico bajo que inhabilita el conmutador 3-2 lateral inferior: en este caso, durante la primera fase el conmutador 3-1 lateral superior del circuito 3-5 de amplificación de conmutación se cierra o abre como una función del valor lógico alto o bajo, respectivamente, de la señal de voltaje de accionamiento S_{drv_sw}

generada por medio del control de umbral, mientras que el conmutador 3-2 lateral inferior permanece siempre abierto durante la primera fase.

De manera similar, durante la tercera fase de operación (rampa descendente) de la señal de voltaje de entrada v_i , el circuito 8-3 de control es tal que genera la segunda señal S2 de habilitación que tiene un valor lógico alto que habilita el conmutador 3-2 lateral inferior del circuito 3-5 de amplificación de conmutación y es tal que genera la primera señal S1 de habilitación que tiene un valor lógico bajo que inhabilita el conmutador 3-1 lateral superior: en este caso, durante la tercera fase el conmutador 3-2 lateral inferior del circuito 3-5 de amplificación de conmutación se cierra o abre como una función del valor lógico alto o bajo, respectivamente, de la señal de voltaje de accionamiento S_{drv_sw} generada por medio del control de umbral, mientras que el conmutador 3-1 lateral superior permanece siempre abierto durante la tercera fase.

Con referencia a la figura 3B, muestra con una línea continua una posible tendencia en la señal de corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal y muestra con una línea discontinua una posible tendencia en la señal de corriente i_{sw} generada en la salida de la etapa 3 de amplificación de conmutación.

Es posible notar que, durante la primera fase de operación (que corresponde a la rampa ascendente de la señal de voltaje de entrada v_i) y durante la tercera fase de operación (que corresponde a la rampa descendente de la señal de voltaje de entrada v_i), el valor de la corriente i_{lin} generada en la salida de la etapa 2 de amplificación lineal tiene valores pequeños cercanos al valor nulo, mientras que el valor de la corriente i_{sw} generada en la salida de la etapa 3 de amplificación de conmutación tiene valores altos: por lo tanto, durante la primera y tercera fases de operación la operación de la etapa 3 de amplificación de conmutación está habilitada, mientras que la etapa 2 de amplificación lineal emite una corriente i_{lin} limitada a un valor pequeño cercano a cero debido a la inyección de corriente por la etapa 3 de amplificación de conmutación.

Es posible además notar que durante la segunda fase de operación (que corresponde al valor constante máximo de la señal de voltaje de entrada v_i) el valor de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal tiene valores no insignificantes mayores que cero, mientras que el valor de la corriente i_{sw} generada en la salida desde la etapa 3 de amplificación de conmutación tiene valores menores: por lo tanto, durante la segunda fase de operación la etapa 2 de amplificación lineal impone con precisión el voltaje en el terminal de salida I_{O_lin} del mismo (y de este modo impone con precisión el voltaje en el terminal de salida lo del amplificador 1, dado que el condensador 4 es desviado por medio del primer conmutador 10-1, cerrado), mientras que la operación de la etapa 3 de amplificación de conmutación está sustancialmente inhabilitada.

Finalmente, es posible notar que durante la cuarta fase de operación (que corresponde al valor nulo constante de la señal de voltaje de entrada v_i) el valor de la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal es nulo y el valor de la corriente i_{sw} generada en la salida desde la etapa 3 de amplificación de conmutación también tiene valores pequeños: por lo tanto durante la cuarta fase de operación la etapa 2 de amplificación lineal impone un valor nulo en el primer terminal del condensador 4, mientras que la operación de la etapa 3 de amplificación de conmutación está sustancialmente inhabilitada.

Ahora se describirá la operación del amplificador 1, haciendo también referencia a las figuras 1, 2A-B y 3A-3C.

Con el propósito de explicar la invención, se considera una señal de voltaje de entrada v_i que tiene una tendencia trapezoidal con una rampa ascendente que aumenta linealmente y una rampa descendente que disminuye linealmente en aras de la simplicidad.

Se supone además que las señales S1, S2 de habilitación y las señales S3, S4 de conmutación son generadas por el circuito 8 de medición y control, como una función de la señal de voltaje de entrada v_i .

Durante la primera fase de operación comprendida entre los instantes t_0 y t_1 , la señal de voltaje de entrada v_i es una rampa ascendente que tiene una tendencia que aumenta linealmente desde un valor nulo hasta un valor de voltaje máximo $V_{máx}$ y la etapa 3 de amplificación de conmutación opera de tal manera que proporcione en la salida una corriente i_{sw} hacia la carga 5 capacitiva, mientras que el valor de la corriente de salida i_{lin} de la etapa 2 de amplificación lineal es mínimo.

Durante la primera fase, el circuito 8 de medición y control genera la primera señal S1 de habilitación que tiene un valor lógico alto que habilita la operación del conmutador 3-1 lateral superior de la etapa 3 de amplificación de conmutación y genera la segunda señal S2 de habilitación que tiene un valor lógico bajo que inhabilita la operación del conmutador 3-2 lateral inferior de la etapa 3 de amplificación de conmutación.

Adicionalmente, el circuito 8 de medición y control genera la primera señal S3 de conmutación que tiene un valor lógico bajo que abre el primer conmutador 10-1; por lo tanto, el condensador 4 está conectado entre el terminal de salida I_{O_lin} de la etapa 2 de amplificación lineal y el terminal de salida lo del amplificador 1 y de este modo la impedancia vista en la salida desde la etapa 2 de amplificación lineal se aumenta: esto contribuye a mantener bajo el valor de la corriente generada por la etapa 2 de amplificación lineal durante la primera fase.

Adicionalmente, el circuito 8 de medición y control genera la segunda señal S4 de conmutación que tiene un valor lógico bajo que abre el segundo conmutador 10-2; por lo tanto, el terminal de salida I_O del amplificador 1 está conectado hacia la referencia de tierra a través de la carga 5 capacitiva.

5 Durante la primera fase, el circuito 8 de medición y control mide la corriente i_{lin} generada en la salida de la etapa 2 de amplificación lineal y genera la señal de accionamiento S_{drv_sw} que oscila entre un valor lógico alto en el cual el conmutador 3-1 lateral superior está cerrado (y de este modo la etapa 3 de amplificación de conmutación impone la señal de voltaje de salida v_L igual al voltaje de suministro VCC) y un valor lógico bajo en el cual se abre el conmutador 3-1 lateral superior (y de este modo la etapa 3 de amplificación de conmutación impone la señal de voltaje de salida v_L igual al voltaje de referencia de tierra al encender el diodo 3-8 de rueda libre), realizando de este modo el control autooscilante de la etapa 3 de amplificación de conmutación que limita el valor de la salida de corriente desde la etapa 2 de amplificación lineal durante la primera fase.

15 Durante la segunda fase de operación comprendida entre los instantes t_1 y t_2 , la señal de voltaje de entrada v_i tiene una tendencia sustancialmente constante igual al valor de voltaje máximo $V_{m\acute{a}x}$ y la etapa 2 de amplificación lineal impone con precisión el valor del voltaje de salida v_L deseado a través de la carga 5 capacitiva (es decir, en el terminal de salida I_O del amplificador 1), mientras que la operación de la etapa 3 de amplificación de conmutación está inhabilitada.

20 Durante la segunda fase, el circuito 8 de medición y control genera la primera señal S3 de conmutación que tiene un valor lógico alto que cierra el primer conmutador 10-1; por lo tanto, el condensador 4 se desvía, es decir el terminal de salida I_{O_lin} de la etapa 2 de amplificación lineal se cortocircuita con el terminal de salida I_O del amplificador 1: la etapa 2 de amplificación lineal genera en la salida la corriente i_{lin} necesaria para cargar la carga 5 capacitiva y la etapa 2 de amplificación lineal establece con precisión el valor del voltaje de salida v_L a través de la carga 5 capacitiva, limitando de este modo la distorsión de la señal de voltaje de salida v_L a través de la carga 5 capacitiva.

25 Adicionalmente, durante la segunda fase el circuito 8 de medición y control genera la primera señal S1 de habilitación que tiene un valor lógico bajo que inhabilita la operación del conmutador 3-1 lateral superior de la etapa 3 de amplificación de conmutación y genera la segunda señal S2 de habilitación que tiene un valor lógico bajo que inhabilita la operación del conmutador 3-2 lateral inferior.

30 Adicionalmente, el circuito 8 de medición y control genera la segunda señal S4 de conmutación que tiene un valor lógico bajo que abre el segundo conmutador 10-2; por lo tanto, el terminal de salida I_O del amplificador 1 está conectado hacia la referencia de tierra a través de la carga 5 capacitiva.

35 Durante la tercera fase de operación, comprendida entre los instantes t_2 y t_3 , la señal de voltaje de entrada v_i es una rampa descendente que tiene una tendencia que disminuye linealmente desde el valor de voltaje máximo $V_{m\acute{a}x}$ hasta el valor nulo y la etapa 3 de amplificación de conmutación opera de tal manera que recupere la energía almacenada previamente en la carga 5 capacitiva, mientras que el valor de la corriente de salida i_{lin} de la etapa 2 de amplificación lineal es mínimo.

40 Durante la tercera fase, el circuito 8 de medición y control genera la segunda señal S2 de habilitación que tiene un valor lógico alto que habilita la operación del conmutador 3-2 lateral inferior de la etapa 3 de amplificación de conmutación y genera la primera señal S1 de habilitación que tiene un valor lógico bajo que inhabilita la operación del conmutador 3-1 lateral superior.

45 Adicionalmente, el circuito 8 de medición y control genera la primera señal S3 de conmutación que tiene un valor lógico bajo que abre el primer conmutador 10-1, de este modo el condensador 4 está conectado entre el terminal de salida I_{O_lin} de la etapa 2 de amplificación lineal y el terminal de salida I_O del amplificador 1 y de este modo se aumenta la impedancia vista en la salida desde la etapa 2 de amplificación lineal: esto contribuye a mantener bajo el valor de la corriente generada desde la etapa 2 de amplificación lineal durante la tercera fase.

50 Adicionalmente, el circuito 8 de medición y control genera la segunda señal S4 de conmutación que tiene un valor lógico bajo que abre el segundo conmutador 10-2, de este modo el terminal de salida I_O del amplificador 1 está conectado hacia la referencia de tierra a través de la carga 5 capacitiva.

55 Durante la tercera fase, el circuito 8 de medición y control mide la corriente i_{lin} generada en la salida desde la etapa 2 de amplificación lineal y genera la señal de accionamiento S_{drv_sw} que oscila entre un valor lógico alto en el cual el conmutador 3-2 lateral inferior está cerrado (y de este modo la etapa 3 de amplificación de conmutación impone la señal de voltaje de salida v_L igual al voltaje de referencia de tierra) y un valor lógico bajo en el cual se abre el conmutador 3-2 lateral inferior (y de este modo la etapa 3 de amplificación de conmutación impone la señal de voltaje de salida v_L igual al voltaje de suministro VCC al encender el diodo 3-7 de rueda libre), realizando de este modo el control autooscilante de la etapa 3 de amplificación de conmutación que limita el valor de la salida de corriente desde la etapa 2 de amplificación lineal durante la tercera fase.

65

Durante la cuarta fase de operación comprendida entre los instantes t_3 y t_4 , la señal de voltaje de entrada v_i tiene una tendencia sustancialmente constante igual al valor nulo y la operación de la etapa 3 de amplificación de conmutación está inhabilitada.

- 5 Durante la cuarta fase el circuito 8 de medición y control genera la segunda señal S4 de conmutación que tiene un valor lógico alto que cierra el segundo conmutador 10-2; por lo tanto, el terminal de salida I_O del amplificador 1 está conectado directamente al voltaje de referencia de tierra y la carga 5 capacitiva se cortocircuita, siendo cualquier carga residual descargada de la misma.
- 10 Adicionalmente, durante la cuarta fase el circuito 8 de medición y control genera la primera señal S1 de habilitación que tiene un valor lógico bajo que inhabilita la operación del conmutador 3-1 lateral superior de la etapa 3 de amplificación de conmutación y genera la segunda señal S2 de habilitación que tiene un valor lógico bajo que inhabilita la operación del conmutador 3-2 lateral inferior.
- 15 Alternativamente, el segundo conmutador 10-2 no está presente y en la cuarta fase es posible obtener una descarga completa de la carga 5 capacitiva por medio del circuito 8 de medición y control, que genera la primera señal S3 de conmutación que tiene un valor lógico alto que cierra el primer conmutador 10-1; por lo tanto, el condensador 4 se desvía, es decir el terminal de salida I_{O_lin} de la etapa 2 de amplificación lineal se cortocircuita con el terminal de salida I_O del amplificador 1: la etapa 2 de amplificación lineal genera en la salida la señal de voltaje amplificada v_{lin} que tiene un valor nulo y hunde la corriente i_{lin} necesaria para descargar completamente la carga 5 capacitiva, de este modo la etapa 2 de amplificación lineal establece el valor nulo del voltaje de salida v_L a través de la carga 5 capacitiva.
- 20

REIVINDICACIONES

1. Amplificador (1) para accionar una carga (5) capacitiva, comprendiendo el amplificador:

- 5 - un terminal de entrada ($I_{ENTRADA}$) adaptado para recibir una señal de voltaje de entrada (v_i) que comprende una primera fase (t_0, t_1) con una tendencia que aumenta monótonamente desde un valor sustancialmente nulo hasta un valor de voltaje máximo ($V_{m\acute{a}x}$), una segunda fase (t_1, t_2) con una tendencia sustancialmente constante igual al valor de voltaje máximo ($V_{m\acute{a}x}$) y una tercera fase (t_2, t_3) con una tendencia que disminuye monótonamente desde el valor de voltaje máximo ($V_{m\acute{a}x}$) hasta un valor mínimo menor que el valor máximo;
- 10 - un terminal de salida (I_O) adaptado para accionar la carga capacitiva;
- una etapa de amplificación del tipo (2) lineal, que comprende un terminal de entrada ($I_{ENTRADA}$) adaptado para recibir la señal de voltaje de entrada (v_i) y que comprende un terminal de salida (I_{O_lin});
- 15 - una etapa de amplificación de un tipo (3) de conmutación, que comprende un terminal de salida conectado al terminal de salida (I_O) del amplificador y un terminal de entrada adaptado para recibir una señal de voltaje de accionamiento (S_drv_sw), estando la etapa de amplificación de conmutación configurada para conmutar entre un modo desconectado y un modo conectado como una función del valor de una primera ($S1$) y una segunda ($S2$) señal de habilitación;
- 20 - un condensador (4) que tiene un terminal conectado al terminal de salida (I_{O_lin}) de la etapa de amplificación lineal (I_{O_lin}) y que tiene otro terminal conectado al terminal de salida del amplificador;
- 25 - un primer conmutador (10-1) conectado en paralelo al condensador y configurado para conmutar entre una posición cerrada y una posición abierta, como una función del valor de una primera señal ($S3$) de conmutación;
- un circuito (8) de medición y control configurado para:
- 30 • generar la primera ($S1$) y la segunda ($S2$) señal de habilitación y la primera señal ($S3$) de conmutación como una función de la señal de voltaje de entrada (v_i);
- medir el valor de la corriente (i_{lin}) generada en la salida desde la etapa de amplificación lineal y generar del mismo la señal de voltaje de accionamiento (S_drv_sw) para la etapa de amplificación de conmutación;
- 35 • durante la primera fase de la señal de voltaje de entrada (v_i), generar la primera señal ($S3$) de conmutación para abrir el primer conmutador (10-1) y generar la primera señal ($S1$) de habilitación para habilitar la operación de al menos parte de la etapa de amplificación de conmutación;
- 40 • durante la segunda fase de la señal de voltaje de entrada (v_i), generar la primera señal ($S3$) de conmutación para cerrar el primer conmutador (10-1) de tal manera que cortocircuite el terminal de salida de la etapa de amplificación lineal (I_{O_lin}) con el terminal de salida del amplificador (I_O) y cargar la carga capacitiva, y generar la primera ($S1$) y segunda ($S2$) señal de habilitación de tal manera que se inhabilite la operación de la etapa de amplificación de conmutación;
- 45 • durante la tercera fase de la señal de voltaje de entrada (v_i), generar la primera señal ($S3$) de conmutación para abrir el primer conmutador (10-1) y generar la segunda señal ($S2$) de habilitación para habilitar la operación de al menos parte de la etapa (3) de amplificación de conmutación.
- 50 2. Amplificador de acuerdo con la reivindicación 1, que comprende además un segundo conmutador (10-2) conectado en paralelo a la carga capacitiva y configurado para conmutar entre una posición cerrada y una posición abierta como una función del valor de una segunda señal ($S4$) de conmutación,
- en donde la señal de voltaje de entrada (v_i) comprende además una cuarta fase (t_3, t_4) con una tendencia sustancialmente constante igual al valor mínimo, en particular un valor nulo, y en donde el circuito (8) de medición y control, durante la cuarta fase, está configurado además para:
- 55 • generar la primera señal de conmutación para abrir el primer conmutador (10-1);
- 60 • generar la segunda señal de conmutación para cerrar el segundo conmutador (10-2) de tal manera que cortocircuite el terminal de salida del amplificador (I_O) hacia un voltaje de referencia de tierra y descargar la carga capacitiva al valor del voltaje de referencia de tierra;
- generar la primera ($S1$) y la segunda ($S2$) señal de habilitación para inhabilitar la operación de la etapa de amplificación de conmutación.
- 65

3. Amplificador de acuerdo con la reivindicación 1, en donde la señal de voltaje de entrada (v_i) comprende además una cuarta fase (t_3 , t_4) con una tendencia sustancialmente constante igual al valor mínimo, en particular un valor nulo,

y en donde el circuito de medición y control, durante la cuarta fase, está configurado además para:

• generar la primera (S1) y la segunda (S2) señal de habilitación para inhabilitar la operación de la etapa de amplificación de conmutación;

• generar la primera señal (S3) de conmutación para cerrar el primer conmutador, de tal manera que accione la carga capacitiva con una señal de voltaje sustancialmente igual al valor mínimo y descargue la carga capacitiva al valor del voltaje de referencia de tierra;

y en donde la etapa de amplificación lineal está configurada para generar en la salida un valor de voltaje nulo.

4. Amplificador de acuerdo con cualquiera de las reivindicaciones previas, en donde el circuito (8) de medición y control comprende:

- un circuito (8-1) de medición de corriente configurado para medir el valor de la corriente (i_{lin}) generada en la salida desde la etapa (2) de amplificación lineal y generar del mismo una señal (S_ms) indicativa del valor positivo o negativo de la corriente medida;

- un circuito (8-3) de control conectado en serie al circuito de medición de corriente y configurado para realizar un control autooscilante de la etapa de amplificación de conmutación por medio de un control de histéresis de la corriente (i_{lin}) medida en la salida desde la etapa de amplificación lineal;

en donde el circuito de control está configurado, durante la primera fase de la señal de voltaje de entrada (v_i), para:

• recibir un valor de la corriente medida mayor que un primer valor umbral y generar del mismo la señal de voltaje de accionamiento (S_drv_sw) de la etapa de amplificación de conmutación que tiene un valor lógico alto;

• recibir un valor de la corriente medida menor que un segundo valor umbral y generar del mismo la señal de voltaje de accionamiento (S_drv_sw) de la etapa de amplificación de conmutación que tiene un valor lógico bajo.

5. Amplificador de acuerdo con reivindicación 4, en donde la etapa de amplificación de conmutación es del tipo de medio puente Clase D y comprende:

- una conexión en serie de un conmutador (3-1) lateral superior y un conmutador (3-2) lateral inferior, estando el conmutador (3-1) lateral superior conectado hacia un voltaje de suministro (VCC) y estando el conmutador (3-2) lateral inferior conectado a un voltaje de referencia menor que el voltaje de suministro, en particular un voltaje de referencia de tierra;

- un inductor (3-6) conectado entre un terminal común a los conmutadores laterales superior e inferior y el terminal de salida (l_o) del amplificador;

- un primer circuito (3-3) de habilitación configurado para controlar la apertura/cierre del conmutador (3-1) lateral superior, como una función del valor de una primera señal (S1) de habilitación y del valor de la señal de voltaje de accionamiento (S_drv_sw);

- un segundo circuito (3-4) de habilitación configurado para controlar la apertura/cierre del conmutador (3-2) lateral inferior, como una función del valor de una segunda señal (S2) de habilitación y del valor de la señal de voltaje de accionamiento (S_drv_sw);

en donde el circuito (8) de medición y control está configurado además para:

• durante la primera fase de la señal de entrada, generar la primera señal (S1) de habilitación para habilitar la operación del conmutador (3-1) lateral superior y generar la segunda señal (S2) de habilitación para inhabilitar la operación del conmutador (3-2) lateral inferior;

• durante la segunda fase de la señal de entrada, generar la primera señal (S1) de habilitación para inhabilitar la operación del conmutador (3-1) lateral superior y para generar la segunda señal (S2) de habilitación para inhabilitar la operación del conmutador (3-2) lateral inferior;

• durante la tercera fase de la señal de entrada, generar la segunda señal (S2) de habilitación para habilitar la operación del conmutador (3-2) lateral inferior y generar la primera señal (S1) de habilitación para inhabilitar la operación del conmutador (3-1) lateral superior.

6. Amplificador de acuerdo con las reivindicaciones 4 o 5, que comprende además un retardador (8-2) interpuesto entre el circuito de medición de corriente y el circuito de control.
- 5 7. Amplificador de acuerdo con cualquiera de las reivindicaciones previas, en donde la etapa de amplificación lineal es del tipo Clase AB y la etapa de amplificación de conmutación es del tipo Clase D.
8. Amplificador de acuerdo con cualquiera de las reivindicaciones previas, en donde el circuito de medición y control está configurado además para generar la segunda señal (S4) de conmutación como una función del valor de señal de entrada (v_i).
- 10 9. Amplificador de acuerdo con cualquiera de las reivindicaciones previas, que comprende una carga sustancialmente capacitiva conectada eléctricamente al terminal de salida (I_o) del amplificador, en donde la carga capacitiva es al menos un cabezal de impresión por inyección de tinta accionado piezoeléctricamente, y en donde la señal de entrada tiene una tendencia sustancialmente trapezoidal que comprende, en la primera fase, una rampa que aumenta linealmente desde el valor nulo hasta el valor máximo y en la tercera fase, una rampa que disminuye linealmente desde el valor máximo hasta el valor nulo.
- 15 10. Cabezal de impresión por inyección de tinta accionado piezoeléctricamente, comprendiendo el cabezal un amplificador de acuerdo con cualquiera de las reivindicaciones previas.
- 20

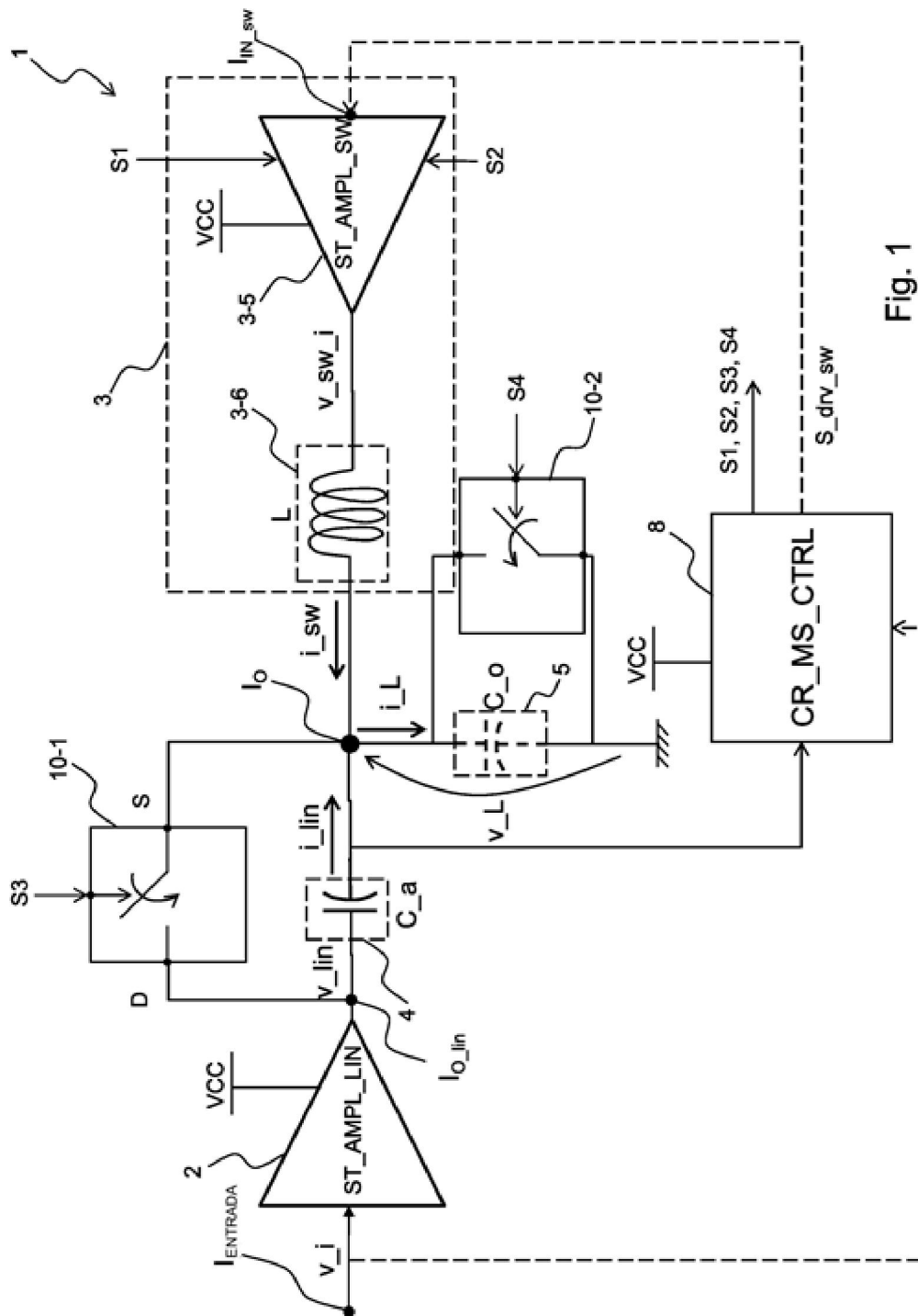


Fig. 1

3-5

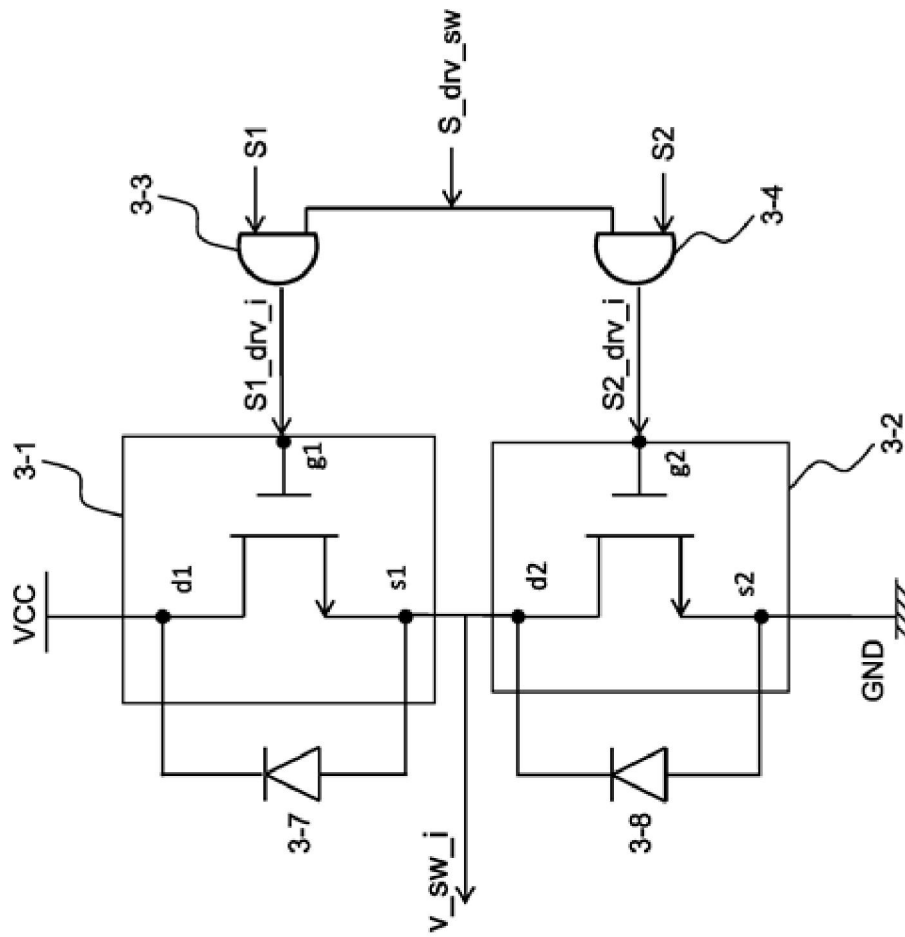


Fig. 2A

8 ↘

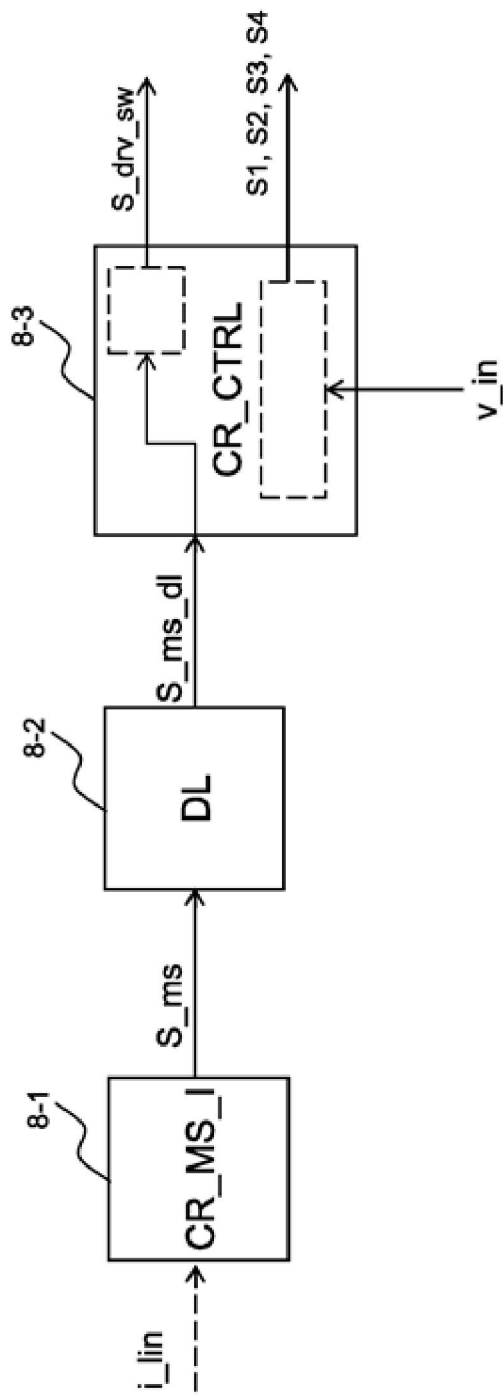


Fig. 2B

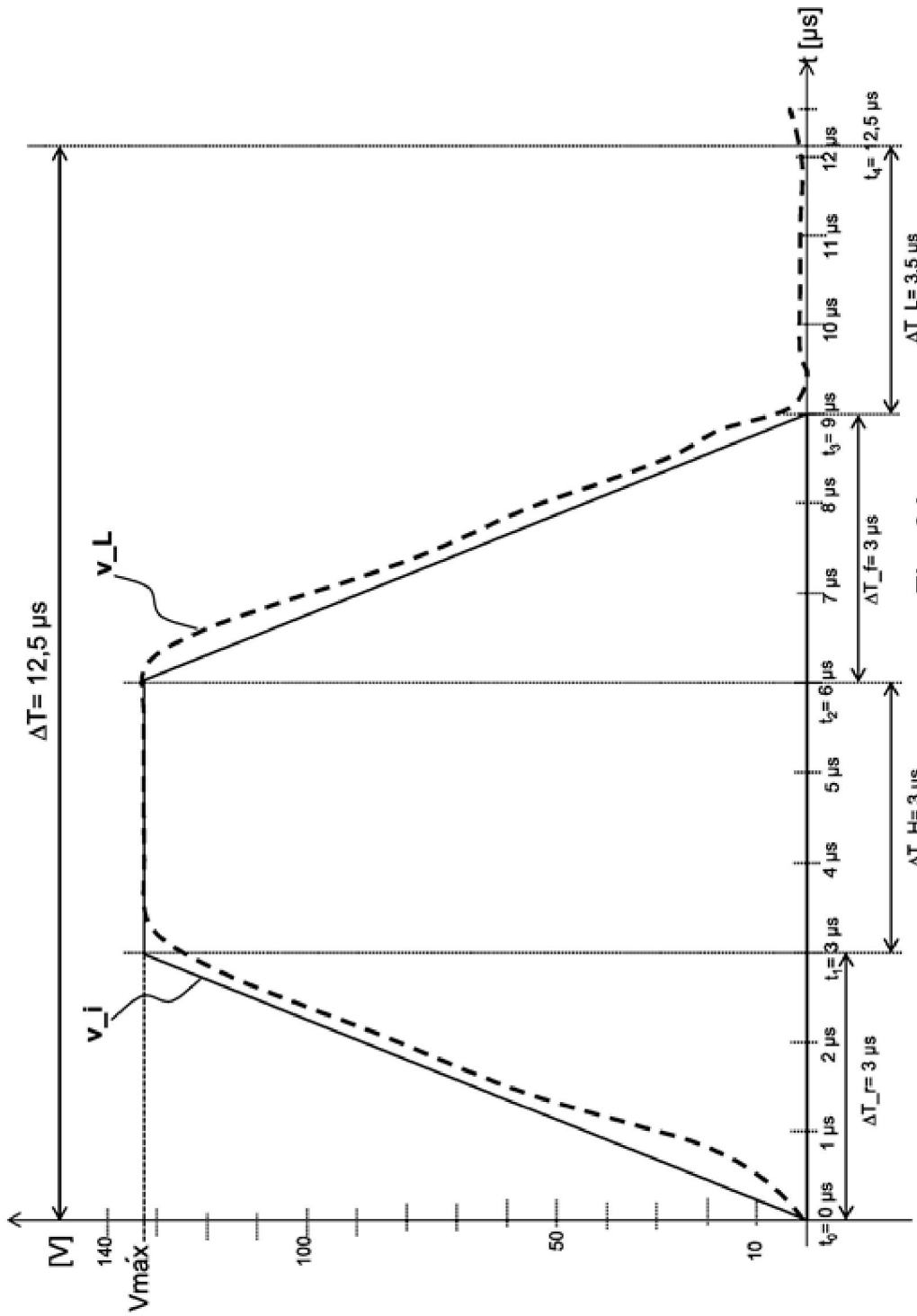


Fig. 3A

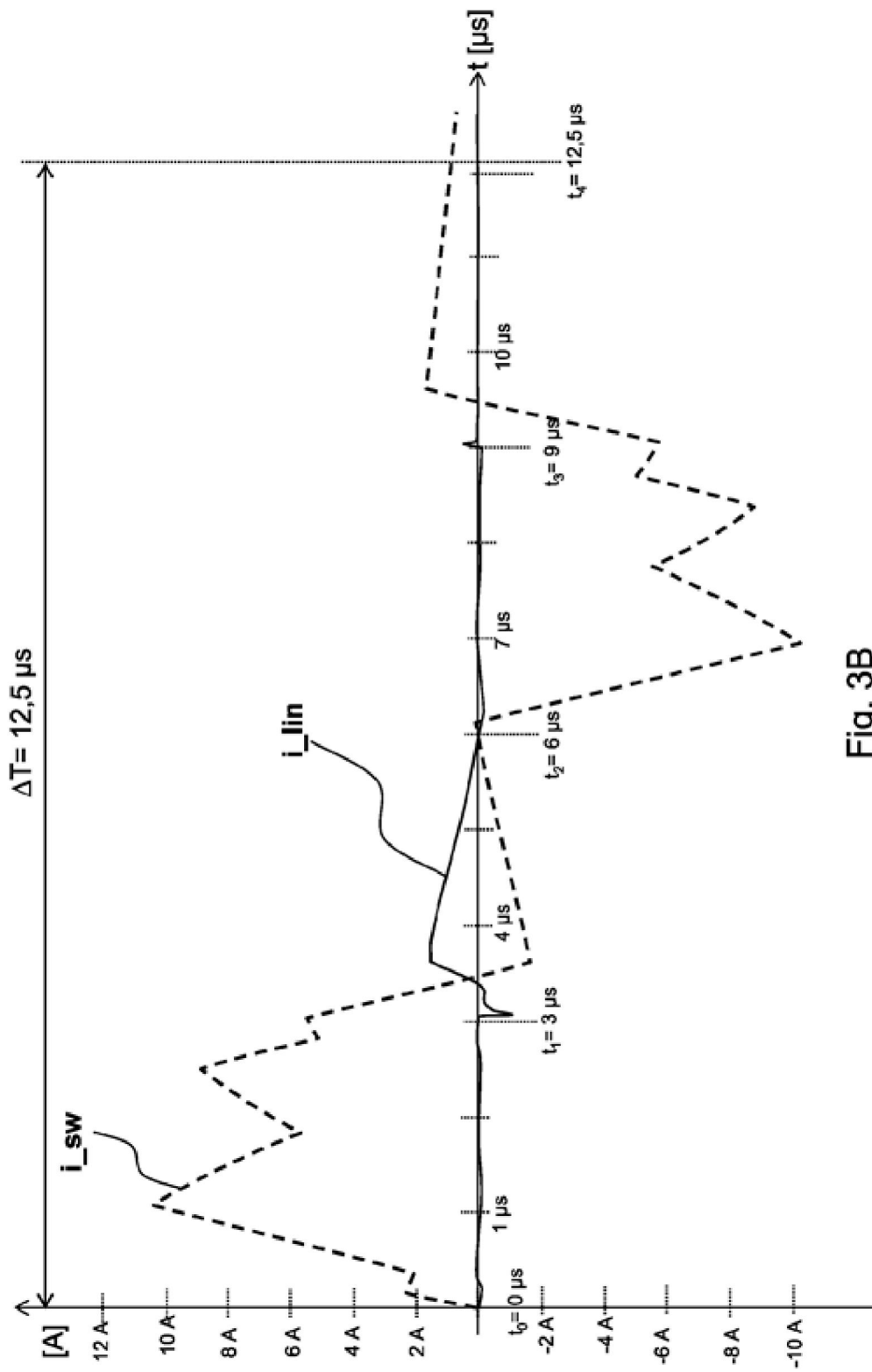


Fig. 3B

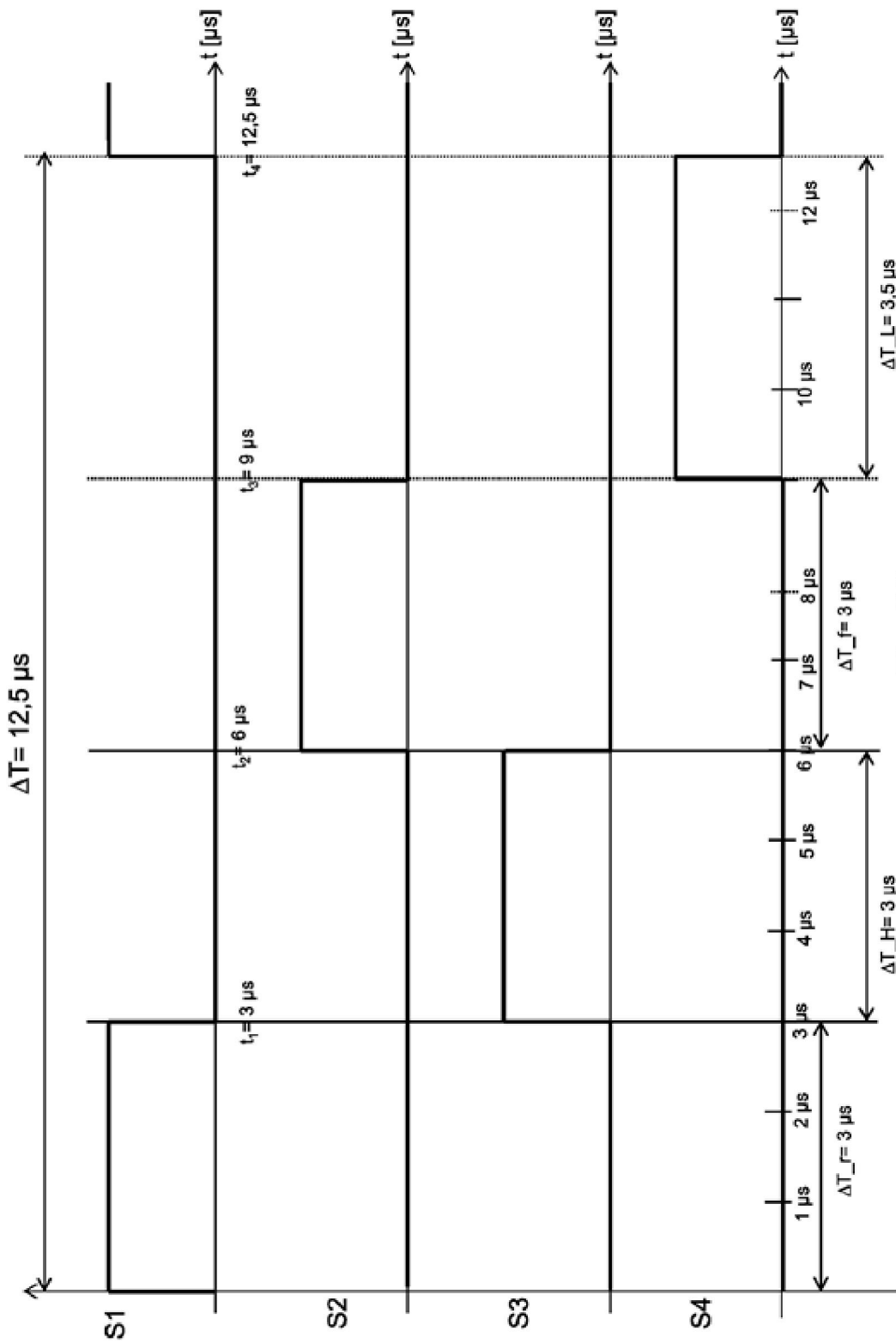


Fig. 3C