

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-506400
(P2010-506400A)

(43) 公表日 平成22年2月25日(2010.2.25)

| (51) Int.Cl. | F 1 | テーマコード (参考) |
|------------------------|-----------------|-------------|
| HO1L 21/3205 (2006.01) | HO1L 21/88 J | 5FO33 |
| HO1L 23/52 (2006.01) | HO1L 29/78 626C | 5F110 |
| HO1L 29/786 (2006.01) | HO1L 29/78 616S | |

審査請求 未請求 予備審査請求 未請求 (全 27 頁)

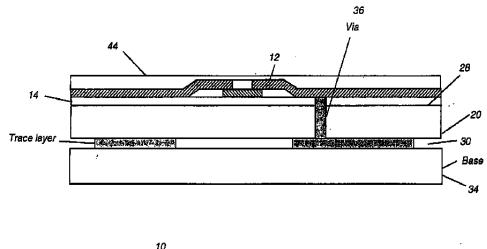
| | | | |
|---------------|------------------------------|----------|---|
| (21) 出願番号 | 特願2009-531384 (P2009-531384) | (71) 出願人 | 590000846 イーストマン コダック カンパニー |
| (86) (22) 出願日 | 平成19年9月18日 (2007.9.18) | | アメリカ合衆国 ニューヨーク州 ロ彻エ |
| (85) 翻訳文提出日 | 平成21年4月1日 (2009.4.1) | | スター ステート ストリート 343 |
| (86) 國際出願番号 | PCT/US2007/020144 | (74) 代理人 | 100075258 |
| (87) 國際公開番号 | W02008/042110 | | 弁理士 吉田 研二 |
| (87) 國際公開日 | 平成20年4月10日 (2008.4.10) | (74) 代理人 | 100096976 |
| (31) 優先権主張番号 | 11/538,173 | | 弁理士 石田 純 |
| (32) 優先日 | 平成18年10月3日 (2006.10.3) | (72) 発明者 | トレドウェル ティモシー ジョン アメリカ合衆国 ニューヨーク フィアポート カントリー クレア クレセント 79 |
| (33) 優先権主張国 | 米国(US) | | |

最終頁に続く

(54) 【発明の名称】電子デバイス及びトレースを有するフレキシブル基板

(57) 【要約】

電子デバイス(10)を形成する方法として、プラスチック素材を含みその片面上に金属被覆を備える基板(20)を準備し、その金属被覆の一部をエッチングして金属被覆パターンを形成し、その基板の少なくとも片面に微粒子状素材(16)を埋め込み、その基板(20)上に薄膜半導体素材の層を成長させる方法を提供する。



【特許請求の範囲】

【請求項 1】

- a) プラスチック素材を一種類又は複数種類含みその片面上に金属被覆を備える基板を準備するステップと、
- b) その金属被覆の一部をエッティングして金属被覆パターンを形成するステップと、
- c) 基板の他面に微粒子状素材を埋め込むステップと、
- d) その微粒子状素材埋込面上に薄膜電子デバイスを形成するステップと、
を有する電子デバイス形成方法。

【請求項 2】

請求項 1 記載の電子デバイス形成方法であって、その微粒子状素材として纖維を使用する電子デバイス形成方法。 10

【請求項 3】

請求項 1 記載の電子デバイス形成方法であって、その薄膜電子デバイスとして薄膜トランジスタを 1 個又は複数個形成する電子デバイス形成方法。

【請求項 4】

請求項 1 記載の電子デバイス形成方法であって、更に、その薄膜電子デバイスと金属被覆パターンを結ぶビアを形成するステップを有する電子デバイス形成方法。

【請求項 5】

- a) プラスチック素材を一種類又は複数種類含みその片面上に金属被覆を備える基板を準備するステップと、
- b) 金属被覆面から見て裏側にある未被覆面に微粒子状素材を埋め込むステップと、
- c) その金属被覆に対するエッティングによりトレースパターンを形成するステップと、
- d) 基板の微粒子状素材埋込面にプラナリゼーション素材を被着させることによりプラナリゼーション層を形成するステップと、
- e) その面上に更に薄膜電子デバイスを形成するステップと、
- f) その薄膜電子デバイスとトレースパターンの一部を接続するビアを形成するステップと、
を有する電子デバイス形成方法。

【請求項 6】

- a) ベース基板となるプラスチック素材を一種類又は複数種類含みその片面上に金属被覆を備える基板を準備するステップと、
- b) その金属被覆内に導電性のトレースパターンを形成するステップと、
- c) 一種類又は複数種類のバインド用プラスチック素材と一種類又は複数種類の微粒子状素材とを含む複合素材でベース基板の他面を被覆することにより複合素材被覆面を 1 個又は複数個形成するステップと、
- d) 少なくとも 1 個の複合素材被覆面上に薄膜電子デバイスを形成するステップと、
を有する電子デバイス形成方法。

【請求項 7】

請求項 6 記載の電子デバイス形成方法であって、更に、そのトレースパターンと薄膜電子デバイスを結ぶビアを形成するステップを有する電子デバイス形成方法。 40

【請求項 8】

- a) 一種類又は複数種類のプラスチック素材及び一種類又は複数種類の微粒子状素材を含みその片面が金属被覆パターン具備面であり他面が金属被覆パターン不具備面である基板を準備するステップと、
- b) その金属被覆パターン不具備面を処理することでその面における対プラスチック素材微粒子状素材比率を高めるステップと、
- c) その処理が済んだ面上に薄膜電子デバイスを形成するステップと、
- d) その薄膜電子デバイスと金属被覆パターンを接続するステップと、
を有する電子デバイス形成方法。

【請求項 9】

10

20

30

40

50

請求項 8 記載の電子デバイス形成方法であって、上記表面処理ステップが、その面上のプラスチック素材を化学物質で除去するステップを含む電子デバイス形成方法。

【請求項 10】

請求項 8 記載の電子デバイス形成方法であって、上記表面処理ステップが、その面上のプラスチック素材をプラズマエッティングで除去するステップを含む電子デバイス形成方法。

【請求項 11】

請求項 8 記載の電子デバイス形成方法であって、上記表面処理ステップが、その面上のプラスチック素材を熱で除去するステップを含む電子デバイス形成方法。

【請求項 12】

請求項 8 記載の電子デバイス形成方法であって、上記表面処理ステップが、その面上のプラスチック素材を超臨界 CO_2 への露出で除去するステップを含む電子デバイス形成方法。

【請求項 13】

請求項 8 記載の電子デバイス形成方法であって、上記表面処理ステップが、その面上のプラスチック素材をレーザアブレーションで除去するステップを含む電子デバイス形成方法。

【請求項 14】

請求項 8 記載の電子デバイス形成方法であって、上記表面処理ステップが、その面上のプラスチック素材を真空中熱分解で除去するステップを含む電子デバイス形成方法。

【請求項 15】

請求項 8 記載の電子デバイス形成方法であって、上記表面処理ステップが、その面上のプラスチック素材をコロナ放電処理で除去するステップを含む電子デバイス形成方法。

【請求項 16】

a) P T F E (polytetrafluoroethylene) 及び一種類又は複数種類の微粒子状素材を含む基板を準備するステップと、

b) その基板の片面又は両面上に薄膜電子デバイスを形成するステップと、

c) その基板の他面上に電子回路用のトレースパターンを形成するステップと、

d) そのトレースパターンと薄膜電子デバイスを接続するビアを形成するステップと、
を有する電子デバイス形成方法。

【請求項 17】

a) P T F E (polytetrafluoroethylene)、一種類又は複数種類の他種プラスチック素材及び一種類又は複数種類の微粒子状素材を含む基板を準備するステップと、

b) その基板の片面又は両面上に薄膜電子デバイスを形成するステップと、

c) その基板の他面上に金属パターン層を形成するステップと、

d) その金属パターン層と薄膜電子デバイスを接続するビアを形成するステップと、
を有する電子デバイス形成方法。

【請求項 18】

a) P T F E (polytetrafluoroethylene) 及び一種類又は複数種類の微粒子状素材を含む基板を準備するステップと、

b) その基板の片面に金属パターン層を形成するステップと、

c) その基板をキャリアに積載するステップと、

d) その基板上に電子デバイスを形成するステップと、

e) その電子デバイスと金属パターン層を接続するビアを形成するステップと、
を有する電子デバイス形成方法。

【請求項 19】

a) 複数種類のプラスチック素材及び一種類又は複数種類の微粒子状素材を含みその片面に金属被覆パターンがある 1 枚又は複数枚の基板を準備するステップと、

b) 少なくとも 1 枚の基板をキャリアに積載するステップと、

c) 金属被覆パターンと基板の他面を結ぶビアを形成するステップと、

10

20

30

40

50

d) 当該他面上に電子デバイスを形成するステップと、
を有する電子デバイス形成方法。

【請求項 2 0】

請求項 1 7 記載の電子デバイス形成方法であって、その他種プラスチック素材として PI (polyimide) を使用する電子デバイス形成方法。

【請求項 2 1】

請求項 1 9 記載の電子デバイス形成方法であって、更に、キャリアから基板を取り外すステップを有する電子デバイス形成方法。

【請求項 2 2】

請求項 1 記載の電子デバイス形成方法であって、その微粒子状素材として纖維、ロッド又はプレートレットを使用する電子デバイス形成方法。 10

【請求項 2 3】

請求項 1 記載の電子デバイス形成方法であって、更に、その基板を他のデバイス上に積載するステップを有する電子デバイス形成方法。

【請求項 2 4】

a) プラスチック素材及び一種類又は複数種類の微粒子状素材を含む基板を準備するステップと、

b) その基板の片面上に金属トレスパターン層を形成するステップと、

c) その基板をキャリア層上に実装するステップと、

d) 半導体薄膜成長に備えその基板の裏面を処理するステップと、

e) その処理が済んだ面上に薄膜半導体素材の層を成長させるステップと、

f) その層の半導体素材を部位選択的に除去してパターンを形成するステップと、

を有する電子デバイス形成方法。 20

【請求項 2 5】

請求項 2 4 記載の電子デバイス形成方法であって、更に、

g) 加熱によりキャリア層から基板を取り外すステップを有する電子デバイス形成方法

。

【請求項 2 6】

請求項 1 記載の電子デバイス形成方法であって、そのプラスチック素材がほぼ透明である電子デバイス形成方法。 30

【請求項 2 7】

請求項 2 6 記載の電子デバイス形成方法であって、そのプラスチック素材の屈折率がその微粒子状素材の屈折率とほぼ等しい電子デバイス形成方法。

【請求項 2 8】

請求項 2 6 記載の電子デバイス形成方法であって、そのプラスチック素材の屈折率と微粒子状素材の屈折率との差が 0.1 超である電子デバイス形成方法。

【請求項 2 9】

請求項 1 記載の電子デバイス形成方法であって、そのプラスチック素材がほぼ不透明である電子デバイス形成方法。

【請求項 3 0】

請求項 1 記載の電子デバイス形成方法であって、そのプラスチック素材が吸光性着色剤を含む電子デバイス形成方法。 40

【請求項 3 1】

請求項 1 記載の電子デバイス形成方法であって、その微粒子状素材として吸光性着色剤を使用する電子デバイス形成方法。

【請求項 3 2】

請求項 5 記載の電子デバイス形成方法であって、そのプラナリゼーション素材が吸光性着色剤を含む電子デバイス形成方法。

【請求項 3 3】

a) プラスチック素材を一種類又は複数種類含む基板を準備するステップと、

50

- b) その基板の少なくとも片面上にパターンを形成するステップと、
 - c) その面に微粒子状素材を埋め込むステップと、
 - d) その微粒子状素材埋込面にプラナリゼーション素材を被着させることでプラナリゼーション層を形成するステップと、
 - e) その面上に更に薄膜電子デバイスを形成するステップと、
 - f) その微粒子状素材埋込面から見て裏側の面上にトレースパターン層を形成するステップと、
- を有する電子デバイス形成方法。

【請求項 3 4】

請求項 3 3 記載の電子デバイス形成方法であって、上記パターンをエンボス加工で形成する電子デバイス形成方法。 10

【請求項 3 5】

請求項 3 3 記載の電子デバイス形成方法であって、上記パターンでレンズ素子を 1 個又は複数個形成する電子デバイス形成方法。

【請求項 3 6】

請求項 3 3 記載の電子デバイス形成方法であって、そのレンズ素子と基板上に形成される薄膜電子デバイスの空間的位置を揃える電子デバイス形成方法。

【請求項 3 7】

請求項 1 記載の電子デバイス形成方法であって、上記基板準備ステップが、ロールに巻かれている基板を引き出すステップを含む電子デバイス形成方法。 20

【請求項 3 8】

請求項 3 7 記載の電子デバイス形成方法であって、更に、その上への薄膜電子デバイス形成が済んだ基板をロール上に巻き取るステップを有する電子デバイス形成方法。

【請求項 3 9】

請求項 1 記載の電子デバイス形成方法であって、更に、その基板上の薄膜電子デバイスを液晶画素と結合させるステップを有する電子デバイス形成方法。

【請求項 4 0】

請求項 1 記載の電子デバイス形成方法であって、更に、その基板上の薄膜電子デバイスを発光ダイオード画素と結合させるステップを有する電子デバイス形成方法。

【請求項 4 1】

請求項 1 記載の電子デバイス形成方法であって、更に、その基板上の薄膜電子デバイスを有機発光ダイオード画素と結合させるステップを有する電子デバイス形成方法。 30

【請求項 4 2】

請求項 1 記載の電子デバイス形成方法であって、更に、その基板上の薄膜電子デバイスを誘導性蛍光体画素と結合させるステップを有する電子デバイス形成方法。

【請求項 4 3】

請求項 1 記載の電子デバイス形成方法であって、更に、その基板上の薄膜電子デバイスをセンサ画素と結合させるステップを有する電子デバイス形成方法。

【請求項 4 4】

a) プラスチック素材を一種類又は複数種類含みその片面が金属で被覆されている第 1 の基板を準備するステップと、 40

b) その金属被覆の少なくとも一部をエッチングして金属被覆パターンを形成するステップと、

c) その片面上に金属被覆パターンが形成されている第 2 の基板を第 1 の基板に取り付けるステップと、

d) 第 1 の基板の金属被覆パターン不具備面と第 1 、第 2 又はその双方の基板上の金属被覆パターンとを結ぶビアを 1 個又は複数個形成するステップと、

e) 第 1 の基板の金属被覆パターン不具備面上に薄膜電子デバイスを形成するステップと、

を有する電子デバイス形成方法。 50

【請求項 4 5】

請求項 4 4 記載の電子デバイス形成方法であって、第 1 の基板の金属被覆パターン不具備面に微粒子状素材を埋め込む電子デバイス形成方法。

【請求項 4 6】

請求項 4 4 記載の電子デバイス形成方法であって、第 2 の基板に第 3 の基板を取り付ける電子デバイス形成方法。

【請求項 4 7】

a) プラスチック素材を一種類又は複数種類含みその片面上に金属被覆を備える基板を準備するステップと、

b) その金属被覆をエッチングすることでトレースパターンを形成するステップと、

c) 基板の他面にプラナリゼーション素材を被着させることでプラナリゼーション層を形成するステップと、

d) 基板のプラナリゼーション層形成面上に薄膜電子デバイスを形成するステップと、

e) その薄膜電子デバイスとトレースパターンの一部を接続するピアを形成するステップと、

を有する電子デバイス形成方法。

【請求項 4 8】

a) 複数枚の基板を準備するステップと、

b) そのうち何枚かの基板上に金属層を形成するステップと、

c) そのうち何個かの金属層をパターニングするステップと、

d) 準備した複数枚の基板を互いに接合するステップと、

e) パターニングが済んだ金属層間を結ぶピアを形成するステップと、

f) 基板のうち少なくとも 1 枚の上に電子デバイスを形成するステップと、

を有する電子デバイス形成方法。

【請求項 4 9】

請求項 4 8 記載の電子デバイス形成方法であって、基板のうち 1 枚をキャリアに取り付ける電子デバイス形成方法。

【請求項 5 0】

請求項 4 9 記載の電子デバイス形成方法であって、

g) 電子デバイス形成後に基板をキャリアから取り外すステップを有する電子デバイス形成方法。

【請求項 5 1】

請求項 4 8 記載の電子デバイス形成方法であって、基板のうち少なくとも 1 枚に少なくとも一種類の微粒子状素材を埋め込む電子デバイス形成方法。

【請求項 5 2】

a) そのうち何枚かが金属層を有する複数枚のプラスチック基板を準備するステップと、

b) 基板のうち 1 枚についてその金属層をパターニングするステップと、

c) その基板を他の基板に接合するステップと、

d) 当該他の基板の金属層をパターニングするステップと、

e) パターニングが済んだ金属層間を結ぶピアを形成するステップと、

f) プラスチック基板のうち少なくとも 1 枚の上に電子デバイスを形成するステップと、

を有する電子デバイス形成方法。

【請求項 5 3】

請求項 5 2 記載の電子デバイス形成方法であって、更に少なくとも 1 枚の基板についてステップ c) 及び d) を繰り返す電子デバイス形成方法。

【請求項 5 4】

請求項 5 2 記載の電子デバイス形成方法であって、更に少なくとも 1 枚の基板についてステップ c) ~ e) を繰り返す電子デバイス形成方法。

10

20

30

40

50

【請求項 5 5】

請求項 5 2 記載の電子デバイス形成方法であって、第 1 の基板をキャリアに取り付ける電子デバイス形成方法。

【請求項 5 6】

請求項 5 5 記載の電子デバイス形成方法であって、電子デバイス形成後に基板をキャリアから取り外すステップを有する電子デバイス形成方法。

【請求項 5 7】

請求項 5 2 記載の電子デバイス形成方法であって、その基板のうち少なくとも 1 枚に少なくとも一種類の微粒子状素材を埋め込む電子デバイス形成方法。

【発明の詳細な説明】

10

【技術分野】

【0 0 0 1】

本発明は電子デバイスに関し、より詳細にはその相互接続用トレースと共にフレキシブル基板上に形成された電子デバイスに関する。

【背景技術】

【0 0 0 2】

薄膜トランジスタ (TFT) 等の薄膜デバイスは電気光学アレイ用及び表示パネル用のスイッチング回路及びドライバ回路で広く用いられている。その形成にはガラス、シリコン等からなるリジッド基板が従来から用いられている。手順としては、成長 (堆積)、パターニング及びエッチングの諸工程からなる周知手順を使用するのが一般的である。例えばアモルファスシリコン型 TFT を形成するには、その基板上で、アルミニウム、クロム、モリブデン等の金属や、半導体たるアモルファスシリコンや、 SiO_2 、 Si_3N_4 等の絶縁体を成長させ、パターニングし且つエッチングしなければならない。通常は、数 μm オーダ厚の媒介層を挟みそれぞれ数～数百 nm 厚の半導体薄膜を複数層形成する。形成場所はリジッド基板の頂部絶縁面上である。

20

【0 0 0 3】

このときリジッド基板が必要になる原因は主として形成プロセスそのものにある。ことに、TFT デバイス形成は比較的高温で行われるので熱特性が重視される。そのため、基板として好適に使用できる素材は限られており、一般にはガラス、水晶その他のシリコンベースリジッド素材が使用されている。

30

【0 0 0 4】

こうした薄膜デバイスは、その素材を選びさえすれば、金属箔やプラスチック基板の上に形成することもできる。それによって、その製造工程もより柔軟なものとなろう。しかしながら、基板形成素材・薄膜デバイス形成素材間の化学的不適合性、基板形成層・デバイス形成層間の熱膨張不一致、平坦度 (プラナリティ) 及び表面組織 (モルフォロジ)、容量性結合乃至不測の短絡等といった問題があるため、金属箔基板は多くの用途であまり望ましくないとされている。

【0 0 0 5】

明らかな通り、基板形成素材の質を高め電子デバイス例えば TFT 用の基板として使用可能な素材を増やすこと、とりわけプラスチック素材の質を高めてより多様なプラスチック素材を使用できるようにすることは、有益なことである。これは、フレキシブル基板への薄膜デバイス形成を可能にすることにつながり、ひいては表示パネルその他の電気光学デバイスの総重量削減につながる。装置の薄型化にも都合がよい。加えて、従来から基板として用いられている結晶性シリコンや各種ガラスでは、大判シート化の形成及び取扱が際だって難しいが、良質プラスチック素材を使用できるのであれば、大型装置例えば大型ディスプレイを製造することが可能になる。

40

【0 0 0 6】

このように、プラスチックその他のフレキシブル基板には明白な長所があるが、

- ・ 薄膜デバイス形成に必要な高温に対する適合性に欠ける
- ・ 高温下での寸法安定性が劣る

50

- ・ プラスチック素材・半導体薄膜素材間で熱膨張係数（CTE）が一致しない
 - ・ プラスチック素材は吸湿性が高い
 - ・ プラスチック素材はあまり透明でないものが多い
 - ・ プラスチック基板をキャリアに着脱する必要がある
- 等、その採用に水を差す大きな短所もある。

【0007】

それらの短所のなかで最も重大なのは温度上の限界である。即ち、薄膜デバイス形成プロセスでは200～300以上 の温度を加えざるを得ず、その温度域では多くの種類のプラスチック基板がだめになってしまう。そのため、一般には、プラスチック基板上へのTFTデバイス直接形成は不可能であると考えられている。特許文献1（発明者：M a r u y a m a e t a l . ）では、その点に触れた上で、プラスチック基板上に薄膜デバイスを搭載する方法を提案している。即ち、キャリア基板上にリリース層を形成し、その上にTFT回路を形成し、そのリリース層を境にTFT回路をキャリア基板から分離させ、そしてそのTFT回路をより軽量且つ可撓なプラスチック素材上に積み直す、という方法を提案している。

10

【0008】

他の策として、特許文献2（発明者：G r a f f e t a l . ）では、そのガラス転移温度Tgが例えれば120超と高く且つ可撓なプラスチック基板の使用を提案している。ただ、従来の薄膜デバイス形成温度はその温度よりかなり高いので、この種の基板がそれに耐えられるかどうかは疑問である。更に、この種の素材のプラスチック基板を使用するには、スクラッチング及び吸湿に対し基板及びその上のデバイスを保護するのにかなりの工夫及び労力、例えは複数の障壁層を形成することが必要になろう。

20

【0009】

更に他の策として、特許文献3（発明者：C a r e y e t a l . ）では、パルス式レーザ光源の出射エネルギーを利用し低融点プラスチック基板上にアモルファスシリコン型TFTや多結晶チャネルシリコン型TFTを形成する、という方法を提案している。この文献によれば、P E T (polyethylene terephthalate)、P E S (polyethersulfone)、H D P E (high density polyethylene)等、既存の低融点プラスチック基板を使用することができる。

30

【0010】

同様に、特許文献4（発明者：K i a n e t a l . ）でも、マスク越しにエキシマレーザを照射し素材を切開（アブレーション）するプロセスを提案している。アブレーションで形成される導体乃至半導体パターンは、その基板上でTFTの一部を形成する。また、この文献では、“ガラス置換”性の複合素材、例えはフレキシブル又はリジッドなプラスチック素材に1個又は複数個の障壁層及び保護層を付加したものの使用を、提案している。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】米国特許第7045442号明細書

40

【特許文献2】米国特許第6492026号明細書

【特許文献3】米国特許第6680485号明細書

【特許文献4】米国特許第6762124号明細書

【特許文献5】米国特許出願公開第2005/0163968号明細書

【特許文献6】米国特許第6812949号明細書

【発明の概要】

【発明が解決しようとする課題】

【0012】

このように、フレキシブル基板上に薄膜デバイスを形成するための策が種々提案されているが、それらにはなお問題が残っている。まず、特許文献1に記載の如く薄膜デバイス

50

毎にリリース層を設けるのでは、形成工程数及び使用素材数が増してしまい、また位置決めという難しい作業も必要になる。また、特許文献2に記載の如く高融点プラスチック素材を使用しても、CTE上の問題が残るし、プラスチック素材保護層やその形成プロセスが新たに必要になる。更に、特許文献3及び4で提案されているエキシマレーザ利用型の策では、従前の薄膜デバイス形成技術を存分に活用できずその用途が限られる。そして、これらの文献で使用されているフレキシブル基板は、眞の意味ではガラスその他のシリコンベース基板の代替とはいえない。即ち、薄膜デバイスの形成先が、フレキシブル基板の頂部上ではなく、リリース層その他の中間層上である。

【0013】

また、フレキシブル素材のなかでもPI(polyimide)系の素材は、その寸法安定性、耐熱性、耐薬品性等が優れているので、基板形成素材として考慮するに値する。しかしながら、PI系素材は、そうした長所を有する一方で、薄膜デバイスの直接成長を阻む大きな短所も抱えている。例えば、PIは、そのリフロー性が劣るのでリリース層及び転写層を使用せざるを得ない。PIは、そのCTEが半導体薄膜のそれと異なるので、形成時に高温に曝した後破損や電気的断線が生じうる。そのため、PI系素材の特性向上策として、特許文献5(発明者: H a n k e t)では、PI膜中にマイクロフィラを入れてCTEや耐久性を高める策を提案している。確かにマイクロフィラ添加でCTE一致度は高まるが、積層に関わるもう一つの問題が残ってしまう。この他、注目に値するプラスチック素材としては、フレキシブル基板形成素材向けの特性を有するテフロン(登録商標; 以下注記を省略)等があるが、この素材にもそれなりの難点があるので従来の形成プロセスで使用することはできない。

10

20

30

40

50

【0014】

更に、基板上に薄膜電子デバイスを形成するプロセスでは、デバイス間接続のため金属でトレースを形成することや、そのトレースに各デバイスを接続するビアを層間に形成することが必要になる。この種のプロセスは印刷回路基板(PCB)製造の分野に習熟した方々(いわゆる当業者)には既知のものである。即ち、PCB製造では、誘電体層、金属パターン層、ベタ金属層等を次々に積層することにより、20層以上もの層を有する基板を形成する。個々の層は、ガラス入りテフロン、フェノール、PI等からなる誘電体の上に、5~20μm厚程度の銅、アルミニウム、金、銀等の金属メッキを施したものである。各層の金属化部は、通常、フォトレジストで被覆し、フォトマスクを形成し、フォトレジストを現像し、金属部をエッチングしてトレースパターンを残す、という手順でパターンングする。ビアは、層と層の間が接続されるよう、基板のレーザドリル穿孔又はフォトリソグラフィで形成できる。

【0015】

そして、PCB上に半導体回路乃至デバイスを取り付けるに当たっては、従来から、
 ・ 加工した半導体ダイを基板上に直に固定し(チップオンボード)、PCBの表部金属トレース層にワイヤボンディング又はフリップチップボールボンディングでダイを接続する

・ 半田ボール付のプラスチック又はセラミクス製パッケージ内に半導体ダイを入れ、そのパッケージを基板に固定する

・ 金属リード付のプラスチック又はセラミクス製パッケージ内に半導体ダイを入れ、そのリードをPCB側の孔に差し込むかその基板にタブ接合する

等の手法が用いられている。これらの手法は、多層PCB向けの手法としては周知であるが、既存素材のPCB状にではなくフレキシブル基板上に半導体デバイスを取り付けるには更なる工程が必要になる。

【0016】

以上のことから理解できるように、今求められているのは、フレキシブル基板上に薄膜デバイスを直接形成する形成方法、特に基板自体の下準備乃至処理、相互接続用トレースの形成、基板上へのビア形成等のための付加工程数乃至手順数が少ない方法を、提供することである。

【課題を解決するための手段】**【0017】**

本発明に係る電子デバイス形成方法は、

- a) 一種類又は複数種類のプラスチック素材を含む基板を準備するステップと、
- b) その基板の少なくとも片面に微粒子状素材(particulate material)を埋め込むステップと、

- c) 微粒子状素材埋込面上に薄膜電子デバイスを形成するステップと、
を有する。

【発明の効果】**【0018】**

本発明によれば、フレキシブル基板上に電子デバイスを形成することができる。また、そのフレキシブル基板としては、P T F E (polytetrafluoroethylene) 例えばテフロンを含む基板を使用することができる。この素材にはリフロー性があるので、層間に別素材を差し挟む必要がなくなり又は少なくなる。本発明によれば、更に、より薄い基板上に電子デバイスを形成することができる。

【0019】

そして、本発明によれば、キャリアへの自動積載等、その積層性に優れたプラスチック基板を提供することができる。

【図面の簡単な説明】**【0020】**

【図1】本発明の一実施形態に係る方法を用い金属トレース付フレキシブル基板上に形成された電子回路を示す断面図である。

【図2】本発明の一実施形態に係る方法を用いフレキシブル基板上に形成された電子回路及びその基板上に搭載された半導体部品を示す断面図である。

【図3】本発明の一実施形態に係る方法を用い多層金属トレース付フレキシブル基板上に形成された電子回路を示す断面図である。

【図4】本発明の一実施形態における複合素材基板の部分拡大断面図である。

【図5】本発明の一実施形態における表面処理後複合素材基板の部分拡大断面図である。

【図6】本発明の一実施形態における複合素材層及びその下のベース層の部分拡大断面図である。

【図7A】本発明の一実施形態に係る電子デバイス形成方法の一工程を示す図である。

【図7B】その後工程を示す図である。

【図7C】その後工程を示す図である。

【図7D】その後工程を示す図である。

【図7E】その後工程を示す図である。

【図7F】その後工程を示す図である。

【図7G】その後工程を示す図である。

【図8】本発明の一実施形態に係る方法によりP C B 上に形成された薄膜デバイスによる回路構造を示す断面図である。

【発明を実施するための形態】**【0021】**

以下、上記以外のものも含め本発明の目的、構成及び効果をいわゆる当業者が理解できるよう、その実施形態を示す別紙図面を参照しつつ本発明について説明する。本発明の構成要件については、別紙特許請求の範囲に具体的且つ明白に記載されているが、本発明についてより好適に理解するには、下記説明を別紙図面と併せ参照されたい。

【0022】

また、本明細書では、本発明に係る装置を構成し又はそれと直に連携する部材に主眼をおいて説明している。本明細書中に具体的な記述や説明がない部材については、いわゆる当業者にとり周知の諸形態を採りうるものと理解されたい。本明細書中で参照している図面は、基板上に形成される層間の空間的関係及び配置についてそのあらましを示すための

10

20

30

40

50

ものであるので、実物の寸法比を正確に反映していない箇所もある。

【0023】

図1に、本発明の一実施形態に係る方法により形成された電子デバイス10を示す。図中の薄膜部品12は導体、TFT、ダイオード等の部品であり、フレキシブルな基板20の片面28上に形成されている。その基板28は例えばプラスチック複合素材で形成されている。その複合素材としては、一種類又は複数種類の接合用微粒子状素材及び一種類又は複数種類のバインド用プラスチック素材(プラスチックバインダ；後述)を含む素材を使用している。基板20は、その形成プロセスの大半ではキャリア例えばガラスシートに付着させておき、製品完成時にはこの図の如き状態にする。面28上に形成されている層14は、面28を絶縁化すると共に平坦化(プラナリゼーション)即ち平滑化することによって、部品12の形成に適した面にする層である。この層14は複数層設けることもできる。また、層14を例えば窒化シリコンで形成すれば、それ一層で面28を封止及び絶縁し薄膜成長に適した面にすることができる。或いは、BCB(benzocyclobutene)又はSOG(spun-on glass)からなる補助層をプラナリゼーションに用いてもよい。このようにプラナリゼーションに使用した場合、層14のことを、従来に倣いプラナリゼーション層と呼ぶことができる。

10

【0024】

基板20の他面(符号省略)にはトレース層30が形成されている。この層30は、その面に被着又は成長させた金属被覆を、あるパターンに従ってエッチングすることによって形成したものである。必要なら、フレキシブルなプラスチック素材からなるベース層34を設けることもできる。ビア36は、層30のパターン即ちトレースパターンと共に、薄膜部品12を他の部品と接続するのに1個又は複数個使用される。図2にその断面を示す搭載部品38は、例えばシリコンその他の半導体ベース素材で形成された従来型の半導体部品である。部品38は複数個搭載することもでき、電子回路の一部を構成している。また、同図に示すように、トレースパターンの隙間を埋めるよう層30にフィラ40を入れることもできる(入れないでおくこともできる)。そして、主として絶縁及びプラナリゼーションのため、保護層44を設けることもできる。

20

【0025】

図3に、他の実施形態として複数個のトレース層30及び31を有する構成を示す。それら2個の層30,31間には絶縁体42がある。層30,31のうち一方は電源又は接地との接続に使用されており、他方は薄膜部品12と他の部品との間の信号伝送に使用されている。必要ならば、EMI(電磁干渉)遮蔽用に更なるトレースパターンの層を設けることもできる。

30

【0026】

本発明では、更に、プラスチックバインダ中に微粒子状素材を適切に同居(co-optimization)させたものを基板の少なくとも片面に被着させる。また、適當なキャリア素材及びプロセスを用い、薄膜デバイス形成層をフレキシブル基板に接合することにより、その基板内に生じるストレスを抑える。

40

【0027】

ここでいう「プラスチック」とは高重合成分を含む素材のことである。通常は、合成樹脂ポリマに他の成分、例えば硬化剤、フィラ、補強剤、着色剤、可塑剤等を入れて生成する。「樹脂」とは合成又は天然ポリマのことである。プラスチック素材を用い固体電子デバイスを形成するプロセスでは、そのプラスチック素材を流動、変形させる工程や、溶剤を適切な速度で蒸散させることでプラスチック素材を整形、硬化させる工程を実施する。使用するプラスチック素材は熱可塑性でも熱硬化性でもよい。「フレキシブル」とは、概略、そのプラスチック素材のシート厚が約1mm未満、弾性率Eが約100000~5000000psiであることをいう(1psi=約7122Pa)。

【0028】

図1~図3に示した電子デバイス10を形成するに当たっては、その基板20を特徴的な手法で構造調整する。即ち、相応のプラスチック素材で形成した基板20を微粒子状素

50

材で表面処理し、面28又はその近傍に微粒子状素材をしみこませる。図4に、こうして複合素材化された基板20の一例構造を一部拡大して示す。この例では、基板20の下地となるプラスチック素材に微粒子状素材16が添加されており、当該下地プラスチック素材がプラスチックバインダとして働き素材16の微粒子をつなぎ止めている。素材16としては、絶縁、パッシベーション、平滑化等のための層14を基板20に接合させることができ、且つプラスチック基板20のCTEを修正することができるよう、適当な種類の固体微粒子を使用する。基板20の表面付近に素材16が添加されていると、従来は薄膜を成長させにくかったPTFE等の基板上に、TFTその他の薄膜部品12を形成することができる。即ち、基板20の表面をこのように処理することで、電子デバイスやそれに付随する接続導体(トレース)等の部品をフレキシブルな基板20上に形成することが可能になる。また、こうして複合素材化された基板20は、薄膜部品形成時の高温に耐えることや、種々の薄膜デバイス形成プロセス及びエッチング剤に耐えることができる。そして、この種の処理はフレキシブルな基板20の片面だけでなく両面にも施すことができる。両面に施すことで、薄膜部品形成に適した面だけでなく、トレースパターン形成に適した面も作り出すことができる。

10

【0029】

[プラスチックバインダ]

本発明の実施形態に係る方法では、プラスチック素材中に相応の微粒子状素材16を添加することで、フレキシブル基板12の素材として使用可能なプラスチック素材を次の通り多様化している。即ち、使用できるプラスチック素材は多く、HS-PET(熱安定化PET)、PEN(polyethylenenaphthalate)、PC(polycarbonate)、PAR(polyarylate)、PEI(polyetherimide)、PES、PI、テフロン、PFA(poly(perfluoro-alboxy)fluoropolymer)、PEEK(poly(ether ether ketone))、PEK(poly(ether ketone))、PETFE(poly(ethylene tetrafluoroethylene)fluoropolymer)、PMMA(poly(methyl methacrylate))、各種アクリラート/メタクリラートコポリマ等も使用できる。なかでもバインダに適するプラスチック素材としては、種々の環状ポリオレフィン、JSR株式会社製のARTON(登録商標)、Zeon Chemicals L.P.製のZeonor(登録商標)、Celanese AG.製のTopas(登録商標)等がある。他種低融点プラスチック素材、例えばAusimont U.S.A., Inc.がHALAR(登録商標)なる名称で市販しているE-CTFE(ethylene-chlorotrifluoroethylene)、DuPont CorporationがTEFZEL(登録商標)なる名称で市販しているE-TFE(ethylene-tetra-fluoroethylene)、PTFE、FEP(ガラス纖維強化プラスチック)、HDP等も使用できる。透明なプラスチック素材が重宝される用途もある。

20

【0030】

これらのプラスチック素材のなかには、微粒子状素材16の添加でより高温、例えば約200℃以上の最高温度での処理に耐えうるようになるものもある。なかには、300℃以上に達する高温での処理でも、損傷が生じないものもある。

30

【0031】

プラスチックバインダとして特に注目に値する素材としては、前掲のPIの他に、DuPont, Inc.がテフロンなる名称で市販しているPTFEやPFAがある。先に触れた通り、従来の手法で形成されたPIやPTFEは、様々な表面処理手法で限定的に成功を見ているとはいえ、薄膜成長用基板としての適性が十分に備わっているとはいえない。しかし、本発明に従い処理すれば、これらの素材によって、TFT回路形成に非常に相応しい性質を有するフレキシブル基板を実現することが可能になる。

40

【0032】

更に、複数種類のプラスチック素材を含有する複合素材も好適に使用することができる。例えば、PIとPTFE又はPFAを併用することで、両プラスチック素材の利点をより強めることができる。

【0033】

50

[微粒子状素材の性質]

微粒子状素材16としては、ガラス(例えばSOG)、炭素、金属、プラスチック等の繊維や、グラスファイバ織布等の織物を使用するのが望ましい。素材16が採りうるその構造的性質及び形状は多様であり、例えば略球状粒子やプレートレット(円盤状粒子)にすることができる。その寸法は基板厚より小さくても大きくてもよい。また、素材16は、ワイヤ、ロッド、繊維等の長尺体にすることもできる。セラミクスフィラその他の誘電体素材を素材16として用いることもできる。

【0034】

プラスチックバインダ中で微粒子状素材16が採りうる向きも多岐に亘っている。例えばその素材16が長尺体である場合の並び方は、一軸に沿って並ぶ、層毎に異なる軸に沿って並ぶ、平面内の複数軸に沿って並ぶ等様々である。また、基板表面に対する素材16の向き又はそのパターン次第で、その複合素材基板20の光学的、電気的、熱的、磁気的化学的乃至物理的異方性が変化する。例えば素材16として繊維状のものを用いた場合、それをバインダ内に鉛直配置することで、光や熱を鉛直方向沿いに案内可能となる。また、素材16として導光性のある繊維状のものを用いた場合、それを沿面配置することで、基板20を通る光を他方向に案内可能となる。

【0035】

微粒子状素材16として無機素材を導入すれば、

- ・ 任意の光学特性、例えば色特性や散光特性の調整
- ・ 任意の電気特性、例えば炭素フィラによる導電性や電気遮蔽性の提供
- ・ 任意の熱特性、例えば金属粒子フィラによる熱伝導率の向上
- ・ 任意の磁気特性、例えば強磁性粒子等の磁性粒子を用いた磁気吸着性又はデータ記録能力の付与
- ・ 化学特性例えば薬剤処理耐性や、物理特性例えばCTE、引張強度、圧縮強度、弹性強度、可撓性等の調整
- ・ 輻射特性、例えば放射線遮蔽性や波長選択的X線透過性/吸収性の付与等、様々に特性調整を施すことができる。

【0036】

重要なことに、本発明に従い微粒子状素材16をプラスチックバインダに入れることで、CTE不一致を抑えることが可能になる。これは、薄膜部品形成層・プラスチックバインダ間のCTE差に比べ、薄膜部品形成層・複合素材基板20間のCTE差を小さくすることができるためである。即ち、基板20のCTEを、従来からデバイス形成に使用されているガラス又はシリコン製のキャリア18のCTEに、より近づけることができる。その結果、薄膜部品形成層内の薄膜形成時応力発生が抑えられ、デバイスとしての性能、寸法安定性及び信頼性が向上する一方、薄膜部品12が基板20から分離する剥離が生じにくくなる。

【0037】

ガラスやセラミクス等の微粒子状無機素材を微粒子状素材16として添加した場合は、更に

- ・ プラスチックバインダのみの面に比べ微粒子含有面の方が接着性がよいため、薄膜部品形成層がより強固に固着する
- ・ デバイス形成上限温度の向上：寸法安定性が損なわれる温度が素材16の使用で上昇するため、より高温でのデバイス形成が可能になる
- ・ 素材の組合せによっては、素材16の使用で基板20の比誘電率が低下し静電容量が小さくなる

といった諸効果も生じる。

【0038】

そして、微粒子状素材16として透明素材を使用することは、多くの用途で有益なことである。光学的挙動が重視される場合は、素材16の屈折率 n_1 とプラスチックバインダの屈折率 n_2 とが所望の関係になるよう素材16を選定すればよい。例えば、屈折率 n_1 、

10

20

30

40

50

n_2 を互いに一致又は極力接近させることで光の散乱を抑えることができる。屈折率 n_1 , n_2 が互いに近ければ近いほど、光の散乱は少なくなる。また、光を散乱させたい場合は、屈折率 n_1 , n_2 間の差を広げること、例えば約 0.1 超の差にすることで、光の散乱を相応に強めることができる。更に、不透明素材や反射性素材も使用することができる。そして、プラスチックバインダに素材 16 に加え吸光性着色剤を添加することで、漏洩光を吸収させ、色を付け、或いは入出射光を濾波することができる。同様に、プラナリゼーション層 14 にも着色剤を添加できる。

【0039】

[例 1]

この例では、複合素材基板 20 の素材として PTFE とガラスファイバ織布の積層体を使用する。例えば米国カリフォルニア州ランチョクーカモンガ所在の Arlon, Inc. から入手できる Diclad 522, 527 シリーズの素材である。この積層体は、温度ストレス下でもその寸法があまり変化しないため、従来から PCB 用に用いられている。こうした用途では、その上に電着等で銅の層を形成するのが普通である。フレキシブル基板 20 として用いるのであれば、PTFE ガラスファイバ織布積層体の厚みは、約 25 ~ 3000 μm の範囲内にするのが望ましい。

10

【0040】

この例では、その種の基板 20 を使用し次の手順で電子デバイス 10 を形成する：

1. キャリア 18 上への実装。本工程では、まずガラス製のキャリア 18 上にフレキシブル基板 20 を積載する。その際には、キャリア 18 上に基板 20 を配置し、それらを一體に加熱及び加圧して PTFE 素材の流動化温度 T_g 即ち約 300 まで昇温させる。すると、基板 20 内の PTFE 素材が軟化及び流動化（リフロー）してキャリア 18 の表面と結合する；

20

2. 表面処理。本工程では、基板 20 の表面を処理することによって、層 14 を固着させるための下地を形成する。層 14 は例えばプラナリゼーション層であるが、他の副次素材や薄膜電子デバイス形成素材の層でもよい。いずれにせよ、この処理によって、微粒子状素材 16 が基板 20 の表面下に埋め込まれることとなる。素材 16 の埋込先は、図 4 に示した通り、基板 20 の表面に近い部位が望ましい。基板表面下に素材 16 を埋め込む手法としては、ローリング、ダステイング等の諸手法の他、インクジェット成長、印刷、中間媒体からの転写、ドクターブレードスカイビング法による（例えば溶剤内での）被着、スプリンクリング等の被着手法も使用できる。また、素材 16 の埋込が進むようプラスチックバインダを加熱してもよいし、硬化処理中のプラスチックバインダに素材 16 を添加してもよい。使用できる他の表面処理手法については後述する；

30

3. プラナリゼーション。薄膜部品形成面に求められる表面粗さは、その用途にもよるが、例えばピークトゥピーク値で 0.2 ~ 0.3 μm 未満のオーダである。これを達成するため、本工程では SOG を堆積させる。SOG を被着させるには、コロイダルシリカ粒子ゾル入り溶剤を基板 20 の表面に付着させればよい。300 ~ 400 の温度でそのゾル素材を硬化させると溶剤が蒸散してゲルが残留し、そのゲルが熱せられて約 3 ~ 5 の比誘電率 ϵ_r を有する SiO_2 膜に変化する。薄膜成長に必要な絶縁性及び平坦度はこの膜で実現される。使用できる他のプラナリゼーション素材については後述する。

40

【0041】

本発明の実施形態に係る方法では、CTE 一致度の向上と共に又はその結果として、基板 20 の表面に対する薄膜部品 12 の結合強度が高まる。これは、微粒子状素材 16 が複合素材基板 20 の表面付近から外向きにやや出っ張って層 14 との結合面が形成されているためである。層 14 を窒化シリコン、酸化シリコン等の絶縁性酸化物で形成する場合、この素材 16 無しではその層 14 を基板表面にうまく結合させ得ず、面 28 上に薄膜デバイス等の電子デバイスを形成して動作させることも覚束ない。

【0042】

4. 電気絶縁層の形成。下処理用の基板表面処理工程のうちの最後の工程として、プラナリゼーション層 14 の頂面上に電気絶縁層を成長させる工程を実施することができる。

50

本工程で成長させる電気絶縁層は、例えば SiO_2 、 SiN_x 、 SiON 或いはその任意の組合せからなる層であり、その厚みは例えば約 $0.5 \sim 1.5 \mu\text{m}$ の範囲内である；

5. 薄膜部品 12 の形成。フレキシブル基板 20 表面の下処理が済んだら部品 12 の諸構成要素の形成を開始する。本工程では、通常、基板 20 上に半導体薄膜層を成長させ、その半導体素材の部位選択的除去によりパターンを形成する。その際に使用するプロセスは、ゲート、ソース及びドレイン部分並びに関連する諸層の形成手法としてデバイス形成分野で周知のプロセスを使用する；

6. キャリア 18 からの剥離。本工程では、基板 20 内プラスチック素材の流動化温度 T_g に迫る温度まで加熱することで、キャリア 18 から基板 20 を分離させる。分離した基板 20 は他の面に積載してもよいし、その熱を冷ましてもよい；

7. トレス層 30 のパターニングによる相互接続用トレス形成。本工程では、フォトレジストその他のマスキング法を用い従来型のエッチングプロセスを実行する。即ち、露光後にエッチング剤を被着させて未露光部から金属を除去することで、所要パターンの相互接続用トレスを形成する；

8. ピア 36 の形成。本工程では、従来から PCB で層間接続に使用してきた手法を応用し、メッキによってピア 36 を形成する；

これらの基本工程が済んだ後に、保護層を形成する処理、電子デバイス 10 にコネクタ等の構造を設ける処理等を、実行することもできる。例えば、デバイス 10 の表裏両面に保護用の SOG 被覆を形成するとよい；

また、以上の手順は、使用する基板及び形成するデバイスの種類に応じて変形することができる。例えば、誘電体層をスピンドルコーティングで形成する処理を代わりに実行してもよい。

【0043】

[例 2]

次に示す例は、複合素材基板 20 の構造調整用に有用な諸工程を追加した例である。その基本工程は次の通りである：

1. プラスチックバインダをその融点 T_g まで加熱；

2. 熔融したプラスチックバインダに微粒子状素材 16 をフィラとして添加。接合強度を高めるには素材 16 を基板 20 の表面又はその付近に集めるべきだが、CTE 差を抑えるにはプラスチックバインダ内にくまなく分散させるべきである。これを折衷するには、素材 16 の高濃度にするか、基板 20 の表面近傍に素材 16 を露出させればよい。そのため、本工程では、熔融させたバインダ内に素材 16 を十分混ぜ込む必要がある；

3. キャリア 18 上への実装。本工程では、こうして形成したフレキシブル基板 20 を、図 7A に示すようにガラス製のキャリア 18 上に積載する。その際には、キャリア 18 上に基板 20 を配置し、それらを一体に加熱及び加圧してプラスチックバインダ例えば PTFE 素材の流動化温度 T_g 即ち約 300 まで昇温させる。すると、基板 20 内のバインダが軟化及び流動（リフロー）してキャリア 18 の表面と結合する；

4. プラナリゼーション。薄膜部品形成面に求められる表面粗さは、その用途にもよるが、例えばピークトゥピーク値で $0.2 \sim 0.3 \mu\text{m}$ 未満のオーダである。これを達成するため、本工程では、図 7B に示すように、プラナリゼーション層 14 となる SOG を堆積させる。SOG を堆積させるには、例えばコロイダルシリカ粒子ゾル入り溶剤を基板 20 の表面に付着させればよい。 $300 \sim 400$ の温度でそのゾル素材を硬化させると溶剤が蒸散してゲルが残留し、そのゲルが熱せられて約 3 ~ 5 の比誘電率 ϵ_r を有する SiO_2 膜に変化する。薄膜成長に必要な絶縁性及び平坦度はこの膜で実現される。使用できる他のプラナリゼーション素材については後述する；

5. 電気絶縁層の形成。下処理用の基板表面処理工程のうちの最後の工程として、層 14 の頂面上に電気絶縁層を成長させる工程を実施することができる。本工程で成長させる電気絶縁層は、例えば SiO_2 、 SiN_x 、 SiON 或いはその任意の組合せからなる層であり、その厚みは例えば約 $0.5 \sim 1.5 \mu\text{m}$ の範囲内である；

6. 薄膜部品 12 の形成。基板 20 表面の下処理が済んだら部品 12 の諸構成要素の形

10

20

30

40

50

成を開始する。本工程では、ゲート、ソース及びドレイン部分並びに関連する諸層の形成プロセスとしてデバイス形成分野で周知のプロセスを使用する。そのプロセスでは、半導体素材を堆積させて部位選択的に除去することでパターンを形成する。すると、図7Cに示す如き部品12が形成される；

7. 保護層44の付加。図7Dに示すように、部品12を護る層44を形成することもできる；

8. キャリア18からの剥離。本工程では、基板20を形成しているプラスチック素材の流動化温度Tgに迫る温度まで加熱することでキャリア18から基板20を分離させる。分離した基板20は他の面に積載することができる。その熱を冷ますようにしてもよい。これ以外の剥離法を用いることもできる；

9. トレース層30のパターニング。本工程では、層30をエッチングすることにより、図7Eに示すように、所望のパターンとなるよう部品間接続用トレースを形成する。その際フィラ40を入れてもよい；

10. ベース層34の付加。図7Fに示すように、層30に層34を被せる工程を実施してもよい。この層34をSOGにすれば保護兼絶縁被覆となる；

11. ビア36の形成。本工程では、図7Gに示すように、層30内の相互接続用トレースに薄膜部品12を接続するため、1個又は複数個のビア36を形成する。ビア36は、在来手法による穿孔やレーザの利用で形成することができる。

【0044】

【例3】

この例では、PI系バインダ乃至複合素材を用いた基板形成を含む次の手順を実行する；

1. 相応のキャリア18を未硬化プラスチックバインダで被覆。本工程では、硬化途中のバインダ例えばPIでキャリア18を被覆する。その未硬化PIを付着させる手法としては、ディップスカイビング、スパンオン塗布、押出等、種々の手法を用いることができる；

2. プラスチックバインダ硬化プロセスの大半を実施；

3. 硬化プロセスの約80%が済んだら、フレキシブル基板20の表面に微粒子状素材16を添加。被覆厚を均等にするには、素材16を基板表面にスプリンクリングすればよい；

4. 硬化プロセス完遂による残存溶剤の灼き飛ばし；

5. プラナリゼーション。薄膜部品形成面に求められる表面粗さは、その用途にもよるが、例えばピークトゥピーク値で0.2~0.3μm未満のオーダである。これを達成するため、本工程ではSOGを堆積させる。SOGを堆積させるには、コロイダルシリカ粒子ゾル入り溶剤を基板20の表面に付着させればよい。300~400の温度でそのゾル素材を硬化させると溶剤が蒸散してゲルが残留し、そのゲルが熱せられて約3~5の比誘電率を有するSiO₂膜に変化する。薄膜成長に必要な絶縁化及びプラナリゼーションはこの膜で実現される。使用できる他のプラナリゼーション素材については後述する。必要なら、プラナリゼーション素材を金属トレースパターン上に被着させることもできる；

6. 電気絶縁層の形成。下処理用の基板表面処理工程のうちの最後の工程として、プラナリゼーション層14の頂面上に電気絶縁層を成長させる工程を実施することができる。本工程で成長させる電気絶縁層は、例えばSiO₂、SiN_x、SiON或いはその任意の組合せからなる層であり、その厚みは例えば約0.5~1.5μmの範囲内である；

7. 薄膜部品12の形成。基板20の表面の下処理が済んだら部品12の諸構成要素の形成を開始する。本工程では、ゲート、ソース及びドレイン部分並びに関連する諸層の形成プロセスとしてデバイス形成分野で周知のプロセスを使用する。このプロセスでは、半導体素材を堆積させて部位選択的に除去することでパターンを形成する；

8. キャリア18からの剥離。本工程では、基板20内プラスチック素材の流動化温度Tgに迫る温度まで加熱することでキャリア18から基板20を分離させる。分離した基

10

20

30

40

50

板 20 は他の面に積載することができる。その熱を冷ますようにしてもよい。これ以外の剥離法を用いることもできる；

9. トレース層 30 のパターニング。本工程では、図 7 E に示すように、層 30 をエッチングすることにより所望パターンの部品間接続用トレースを形成する。前述の通り、その際にフィラ 40 を入れてもよい；

10. ベース層 34 の付加。図 7 F に示すように、層 30 に層 34 を被せる工程を実施してもよい。この層 34 を SOG にすれば保護兼絶縁被覆となる；

11. ビアの形成。本工程では、図 7 G に示すように、層 30 内の相互接続用トレースに部品 12 を接続するため、1 個又は複数個のビア 36 を形成する。ビア 36 は、在来手法により穿孔し電解メッキ又はリベット挿入を施して形成するか、或いはレーザを利用して形成すればよい。

10

【0045】

なお、未硬化プラスチックバインダに微粒子状素材 16 を添加するようにしてもよい。例 2 で説明した CTE 上の利点はその手法でも享受できる。

【0046】

[PCB 上での薄膜成長]

この例では、図 8 にその断面を示す通り、PCB 46 上に薄膜部品 12 を直接形成する。即ち、PCB 46 の表面上に複数個の部品 12 を直に形成する。通常に倣い、この PCB 46 は、それぞれその導電性が高い導体層を持たず絶縁基板 50 を複数枚、その基板 50 で導体層間が絶縁分離されるよう熱及び接着剤を用いて積層化した構成を採っている。また、この例では、その絶縁基板 50 として FR-4 を用いた PCB 46 上に、複数個の TFT デバイスを直接形成する。FR-4 は、グラスファイバ織布のマットにエポキシ樹脂を含ませた素材である。

20

【0047】

この例に係る TFT 形成手順では、PCB 46 上に次の手順で薄膜を成長させる；

1. プラナリゼーション。本工程は、図 8 に示すように、所要トレースパターン層 30, 31 等を PCB 46 上に形成した後に実施する。薄膜部品形成面に求められる表面粗さは、その用途にもよるが、例えばピークトゥピーク値で 0.2 ~ 0.3 μm 未満のオーダである。これを達成するため、本工程では、同図に示すようにプラナリゼーション層 14 となる SOG を基板 50 上に堆積させる。SOG を堆積させるには、コロイダルシリカ粒子ゾル入り溶剤を基板 50 の表面に付着させればよい。300 ~ 400 の温度でそのゾル素材を硬化させると溶剤が蒸散してゲルが残留し、そのゲルが熱せられて約 3 ~ 5 の比誘電率 を有する SiO_2 膜に変化する。薄膜成長に必要な絶縁性及び平坦度はこの膜で実現される。なお、プラナリゼーション素材として使用できる素材は他にもある；

30

2. 電気絶縁層の形成。下処理用に基板 50 の表面を処理する工程のうちの最後の工程として、層 14 の頂面上に電気絶縁層を成長させる工程を実施することができる。その電気絶縁層は例えば SiO_2 、 SiN_x 、 SiON 或いはその任意の組合せからなる層であり、その厚みは例えば約 0.5 ~ 1.5 μm の範囲内である；

30

3. 薄膜部品 12 の形成。基板 50 の表面の下処理が済んだら部品 12 の諸構成要素の形成を開始する。本工程では、ゲート、ソース及びドレイン部分並びに関連する諸層の形成プロセスとしてデバイス形成分野で周知のプロセスを使用する。このプロセスでは、半導体素材を堆積させて部位選択的に除去することでパターンを形成する；

40

4. 保護層 44 の付加。図 8 に示すように、部品 12 を護る層 44 を形成することもできる；

5. ビア 36 の形成。本工程では、図 8 に示すように、トレース層 30 内の相互接続用トレースに部品 12 を接続するためのビア 36 を 1 個又は複数個形成する。ビア 36 は在来手法による穿孔やレーザの利用で形成することができる。本工程では、ビア 36 としてビアホール（貫通孔）、ブラインドビア（盲孔）及びベリードビア（埋め孔）のいずれも形成することができる；

6. 他の部品 38 の搭載。トレース層 30, 31 との接続用のビア 36 が形成されたら

50

、図8に例示するように、他の半導体部品38を部品12の周囲等に配置する。

【0048】

なお、上掲の諸工程のうち幾つかは適宜入れ替えることができる。例えば高温加熱処理を実施する場合は、第5工程たるビア形成を第3工程たる薄膜部品形成より先に実行する方がよい。

【0049】

このように、PCB46を形成する層と薄膜部品12を形成する層とを積層させることで、金属トレース又はその一部を低抵抗且つ小静電容量なPCB46内に形成することができ、また1個又は複数個の薄膜部品形成層内に半導体デバイスを形成することができる。それらの薄膜部品形成層とPCB形成層との間の電気的接続は、部品12を形成する半導体層又は金属層と、PCB46の頂面にある金属層との間の接続により行うことができる。こうした構成には

・ PCB46の金属層は大断面でありその抵抗値が低いので、より多くの電流を流すことができ、立ち上がり時間が短くなり、電力損失(I^2R)が少なくなる

・ PCB46の金属層が幅広である分層間静電容量が小さくなるので、立ち上がり時間が短くなり、静電容量充放電に伴う電力損失が少くなり、層間の容量性結合による漏話が少なくなる

・ PCB46は多数の層から形成されるので、信号伝送や電源及び接地との接続に使用できる層が多くより複雑な回路を形成できる

・ PCB46側の厚い金属層を利用できるので、従来の薄膜デバイスに比べて熱損失が少なくなる

・ 複数の電源プレーン及び接地プレーンに形成した幅広の金属層を利用できるので、大面積に亘り好適に、電源を配分することができる

・ PCB46を形成するためのプロセスは低コストであるので、金属層やビアを低コストで形成することができ、ひいては薄膜型の電子デバイス10を低コストで形成することができる

といった利点がある。

【0050】

また、この例に係る電子デバイス10は、表示装置用バックプレーンとして形成することができる。その場合、ロードアドレッシング、カラムアドレッシング、各画素へのデータ伝送、電源や接地との接続、各種タイミング信号及びクロック信号の供給等といった機能のうち一種類又は複数種類をPCB形成層で、またスイッチング機能や表示画素駆動機能は薄膜部品形成層で、それぞれ実現することができる。縦横に走るタイミング信号線、クロック信号線及びデータ信号線は例えばPCB形成層内に設ける。それらの層をPCB46の頂面にある層に接続するビア36は、例えば画素毎に或いは画素群毎に設ける。各薄膜部品12との接続は、その部品12上の金属層を介して、或いはその部品12の実装先PCB46の頂面上にある金属層を介して行う。

【0051】

この例に係る電子デバイス10は、更に、イメージセンサ用バックプレーンとしても形成することができる。その場合、ロードアドレッシング、カラムアドレッシング、各画素へのデータ伝送、電源や接地との接続、各種タイミング信号及びクロック信号の供給等といった機能のうち一種類又は複数種類をPCB形成層で、またスイッチング機能やセンシング画素駆動機能は薄膜部品形成層で、それぞれ実現することができる。縦横に走るタイミング信号線、クロック信号線及び検知信号線は例えばPCB形成層内に設ける。それらの層をPCB46の頂面にある層に接続するビア36は、例えば画素毎に或いは画素群毎に設ける。各薄膜部品12との接続は、その部品12上の金属層を介して、或いはその部品12の実装先PCB46の頂面上にある金属層を介して行う。

【0052】

PCB46の基板50は、FR-4以外にも様々な素材で形成することができる。なかでも低誘電率且つ低損失な素材としては、例えば米国コネチカット州ロジャース所在のR

10

20

30

40

50

ogers Corporation から入手可能な Rogers 4000 及び Rogers Duroid (登録商標) がある。テフロンのタイプ GT 及びタイプ GX、PI、ポリスチレン、架橋ポリスチレン等も、基板 50 の形成素材として使用することができる。

【0053】

[表面処理手法]

基板 20, 50 に対する処理、即ち層 14 等の薄膜部品構成要素の固着強度を高めるための処理は、多々ある様々な手法で行うことができる。前述の通り、本発明に係る方法が最も奏功するのは微粒子状素材 16 の表面が基板 20 の表面から露出し、それによって層 14 との結合面が形成されているときである。しかし、基板 20 内でバインダとして使用されているプラスチック素材の性質上、素材 16 をフィラとして用いたときでも基板 20 の表面のうちかなりの部分をそのプラスチック素材が占めるのが普通である。そのため、素材 16 の存在比率ひいては層 14 の結合強度を高めるには、基板表面沿いから幾ばくかのプラスチック素材を取り除くため、何らかの手立てを探る必要がある。

10

【0054】

図 5 に、微粒子状素材 16 の露出度を高めたときの基板表面 22 の形状を示す。このような面 22 を形成でき処理手法としては、例えば

- ・ エッティング剤 (例えば各種の酸) 等の化学物質による除去
- ・ プラズマエッティング
- ・ コロナ放電処理
- ・ 加熱
- ・ 超臨界二酸化炭素 (CO₂) への露出
- ・ レーザアブレーション
- ・ 真空中熱分解

20

等の手法がある。

【0055】

こうした表面処理手法の適用によるプラスチックバインダの除去は、表面処理分野での習熟者 (いわゆる当業者) なら容易に行えることである。図 4 及び図 5 に例示した手法、即ち基板 20 の表面下又はその付近に多数集まるようフィラーたる微粒子状素材 16 を添加即ち埋入する手法と異なり、これらの表面処理手法は、プラスチックバインダに対するフィラー素材 16 の混ざり方がより均一であっても或いはあまり均一でなくても適用することができる。このように処理した素材を使用することの基本的な利点は、前掲の通り CTE 一致度が高まる点にある。

30

【0056】

また、PTFE のリフロー性を利用し表面処理の効果を強めることもできる。即ち、PTFE 又は PTFE と他の適当な物質との複合素材の表面をそのガラス転移温度 T_g より少し高い温度まで昇温させ、その面上に微粒子状素材 16 をダスティング又はスプリングリングした後、その PTFE 乃至複合素材を冷ますと、プラナリゼーション層 14 等の層を好適に成長させうる表面状態になる。素材 16 を堆積させた後に、上掲の諸手法を用いて表面処理を施せば、その基板 20 の表面はより好適な状態になる。

40

【0057】

更に、図 6 に示す通り、ベース基板 24 たる第 1 のプラスチック素材を準備し、その上を複合素材 26 で被覆するようにしてもよい。素材 26 としては、あるプラスチックバインダ中に一種類又は複数種類の微粒子状素材 16 を混入させたものを使用する。従って、この手法で形成される面上には、1 個又は複数個の層を成長させることができる。例えば、図中のプラナリゼーション層 14 や、絶縁層や、薄膜部品 10 の一部を構成する電子的に活性な半導体層等を、成長させることができる。

【0058】

[プラナリゼーション素材]

SOG 以外にプラナリゼーション素材として使用できる素材としては

50

- ・ BCB、特に可動イオンを含まない半導体グレードのもの

- ・ アクリル
- ・ T E O S (Tetraethoxysilane)

等がある。

【0059】

プラスチック基板を使用する試みはこれまでなされてきたが、本発明に係る方法では、それらに比べて薄膜部品形成層の固着強度が高まる。それは、ガラス、セラミクス等の相応な微粒子性素材16が添加されているため、プラスチックバインダ単体での場合に比べて強度に固着するからである。素材16を使用することで、寸法安定性が失われる温度限界が高まるので、より高温でのデバイス形成も可能になる。

【0060】

また、本発明に係る方法は、薄膜部品12をフレキシブル基板20上に直に形成することができ、従って積層等の中間工程が不要になる点でも有益である。特に、ウェブを利用したロールトゥロールのデバイス形成に適している。即ち、第1のロールからシート状の基板20を引き出し、前述の通り表面処理して微粒子状素材16を埋め込んだ後、更なる処理を施すか或いは第2のロールに巻き取って後日使用する、といったことが可能になる。

【0061】

微粒子状素材16として使用できる微粒子状物質の種類は多く、そうした微粒子状物質を併用乃至混合して各物質の望ましい性質を発現させることもできる。それには、電子デバイス10を形成するプロセス中の様々な段階で、例えば前掲のプラズマエッティング等のツールを使用してまた別の種類の表面処理を施すとよい。本発明に係る方法では、こうした処理をシート状基板20の片面又は両面に施すことができる。例えば、プラナリゼーション層14の被着や薄膜部品12の形成に先立ち、エンボス加工等の手法を用い基板20を表面処理してパターンを形成し、そのパターンに沿い基板20上又は層14上の部品12に例えば光学部品を付設する。例えば、レンズやレンズレットのような屈折性光学部品を1個又は複数個形成する。それらのレンズ素子は、画素入出射に使用できるよう、部品12に対し所定の位置関係を探るよう形成する。また、こうした手順を使用する場合には、プロセス上の条件やデバイスの性質に応じて諸製造工程を調整乃至変形する。例えば、部品12の形成に先立ちビア36やトレースを形成するようにする。

【0062】

こうして基板20, 50上に形成した薄膜部品12は信号の入出力に使用できる。即ち、その部品12の諸構成部分から信号を出力することや、諸構成部分に信号を取り込むことができるので、例えば画像表示装置やイメージセンサの画素と組み合わせができる。例えば、基板20の表面上に形成した部品12を対応する液晶画素、発光ダイオード画素又は有機発光ダイオード画素と結合させて表示に使用することや、誘導性蛍光体画素等のセンサ画素（生体検知器等の画素）と結合させてイメージセンシングに使用することができる。

【0063】

更に、本発明で形成するビア36には、基板上の薄膜部品12がその動作中に発生させる熱を逃がす役割もある。ビア利用放熱については、本願出願人を譲受人とする特許文献6（発明者：Switzer et al.）に、より詳細な説明がある。

【0064】

また、基板20の片面上に形成した金属被覆パターンは、電子回路を形成する信号伝送路として用いることも、接地プレーン或いはEMIシールドとして用いることもできる。

【0065】

更に、本発明を多層基板に適用することもできる。その場合、一番下の層にはキャリアがらみの特性（対キャリア接着性等）を付与し、一番上の層には電子デバイスがらみの特性（対薄膜部品形成層接着性等）を付与し、そしてその中間にある層には指定された特性（光学特性、電気特性、熱特性、磁気特性乃至化学特性）を付与するようになるとよい。

【0066】

10

20

30

40

50

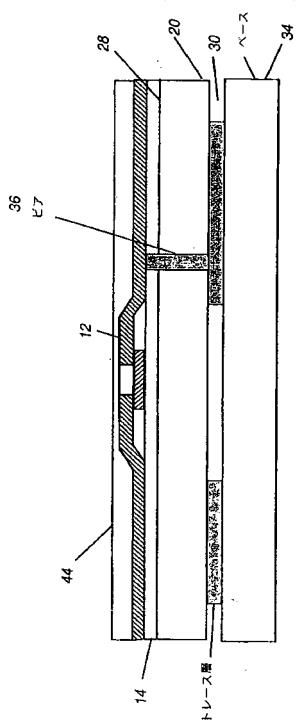
このように、本発明によれば、基板上に電子でバイス及び相互接続用トレースを形成するための装置及び方法を得ることができる。

【符号の説明】

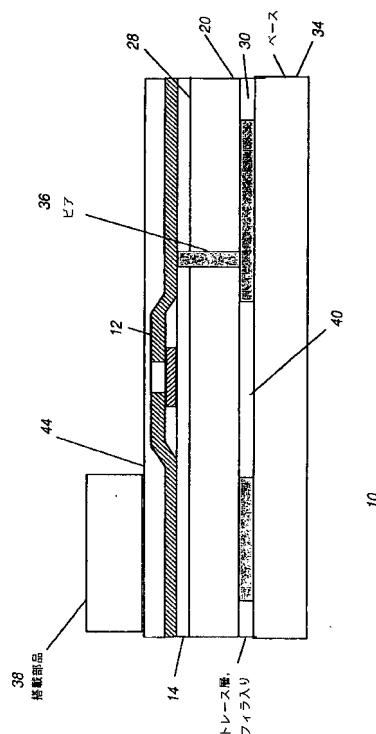
【0067】

10 電子デバイス、12 薄膜部品、14 プラナリゼーション層、16 微粒子状素材、18 キャリア、20 基板、22, 28 基板表面、24 ベース基板、26 複合素材、30, 31 トレース層、34 ベース層、36 ピア、38 搭載部品、40 フィラ、42 絶縁体、44 保護層、46 印刷回路基板、50 絶縁基板。

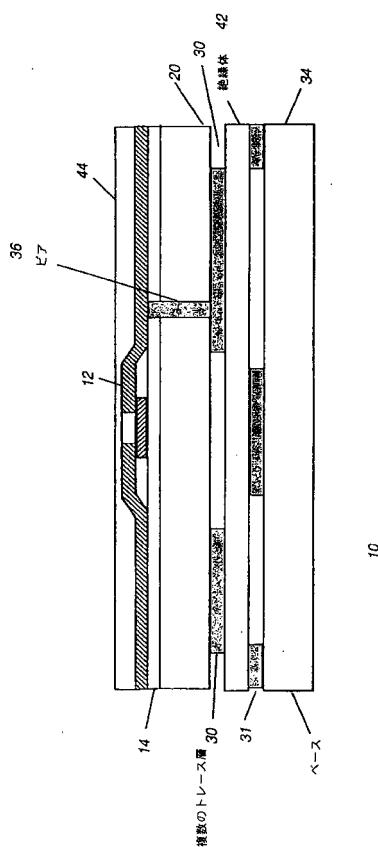
【図1】



【図2】



【図3】



【図4】

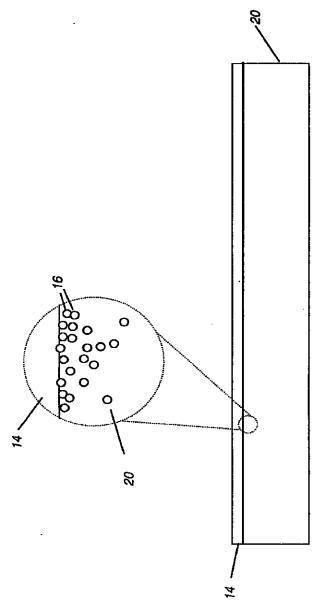


FIG. 4

【図5】

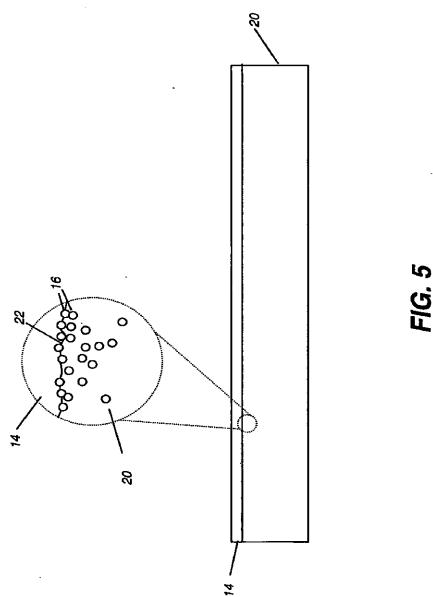


FIG. 5

【図6】

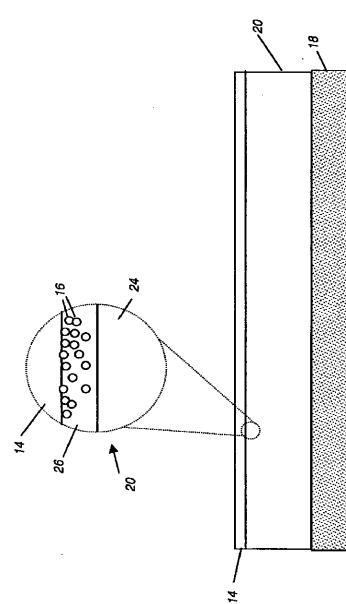
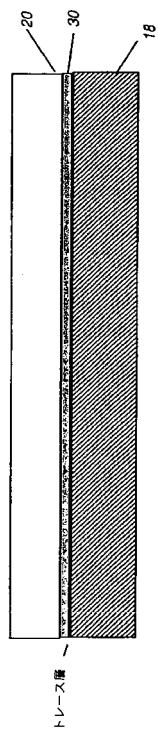
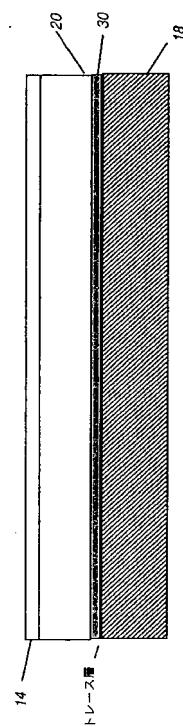


FIG. 6

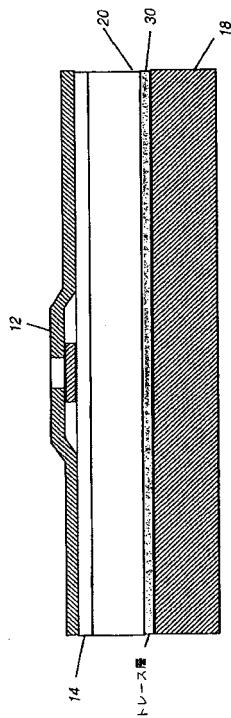
【図 7 A】



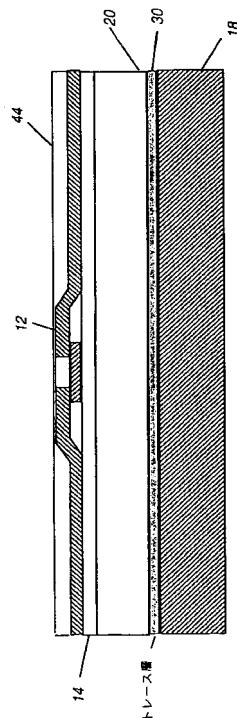
【図 7 B】



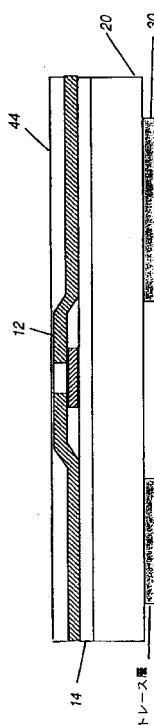
【図 7 C】



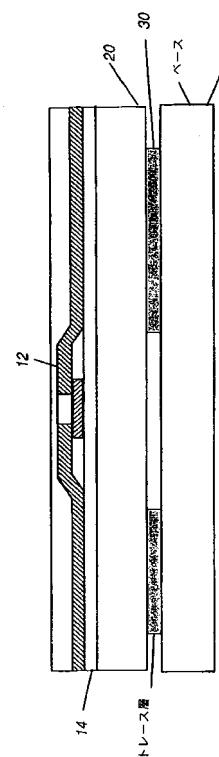
【図 7 D】



【図 7 E】

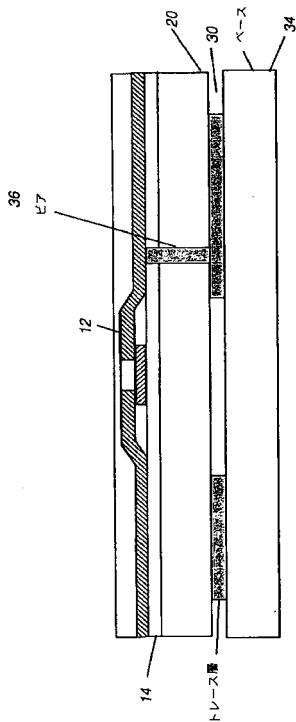


【図 7 F】



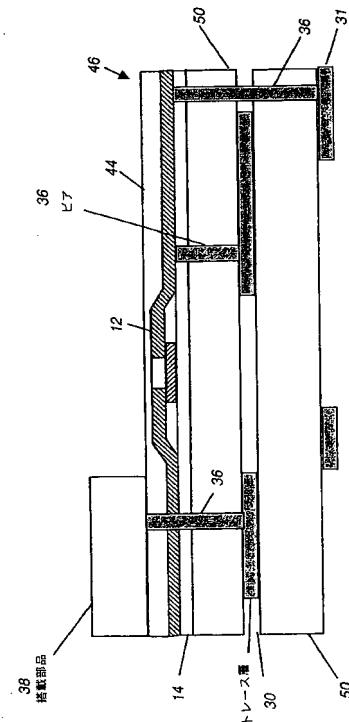
10

【図 7 G】



10

【図 8】



10

【国際調査報告】

| INTERNATIONAL SEARCH REPORT | | International application No PCT/US2007/020144 |
|---|--|---|
| A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/786 H01L21/77 H01L27/12 | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| Y | US 6 680 485 B1 (CAREY PAUL G [US] ET AL) 20 January 2004 (2004-01-20) cited in the application column 7, lines 1-9 | 1-57 |
| Y | US 2006/214169 A1 (FUNKHOUSER PHILLIP [US]) 28 September 2006 (2006-09-28) paragraphs [0011], [0012], [0015], [0104], [0106] | 1-57 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. | | <input checked="" type="checkbox"/> See patent family annex. |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | | |
| Date of the actual completion of the international search 10 June 2008 | | Date of mailing of the international search report 18/06/2008 |
| Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016 | | Authorized officer Juh1, Andreas |

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2007/020144

| Patent document cited in search report | Publication date | | Patent family member(s) | Publication date |
|--|------------------|------------|--|--|
| US 6680485 | B1 | 20-01-2004 | AT 325428 T AU 2318797 A DE 69735815 T2 EP 0956585 A1 JP 2001508937 T WO 9733307 A1 US 5817550 A | 15-06-2006 22-09-1997 05-04-2007 17-11-1999 03-07-2001 12-09-1997 06-10-1998 |
| US 2006214169 | A1 | 28-09-2006 | NONE | |

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 ケラー ロジャー スタンリー

アメリカ合衆国 ニューヨーク ブロックポート レーク ロード サウス 5530

F ターム(参考) 5F033 GG00 MM30 PP27 QQ09 QQ12 RR04 RR06 RR08 RR09 RR21

SS22 VV15 WW00

5F110 AA16 AA30 BB02 DD01 DD07 DD13 DD14 DD15 DD18 NN04

NN22 NN23 NN24 QQ19