

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-166902

(P2005-166902A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int. Cl.⁷

H01L 23/12

F I

H01L 23/12 N
H01L 23/12 501C
H01L 23/12 501W

テーマコード(参考)

審査請求 未請求 請求項の数 17 O L (全 23 頁)

(21) 出願番号 特願2003-402974(P2003-402974)

(22) 出願日 平成15年12月2日(2003.12.2)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成15年度新エネルギー・産業技術総合開発機構基盤技術研究促進事業(民間基盤技術研究支援制度)委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(71) 出願人 000004455

日立化成工業株式会社
東京都新宿区西新宿2丁目1番1号

(72) 発明者 井上 文男

茨城県下館市大字小川1500番地 日立化成工業株式会社総合研究所内

(72) 発明者 伊藤 豊樹

茨城県下館市大字小川1500番地 日立化成工業株式会社総合研究所内

(72) 発明者 江尻 芳則

茨城県下館市大字小川1500番地 日立化成工業株式会社総合研究所内

(72) 発明者 松浦 雅晴

茨城県下館市大字小川1500番地 日立化成工業株式会社総合研究所内

最終頁に続く

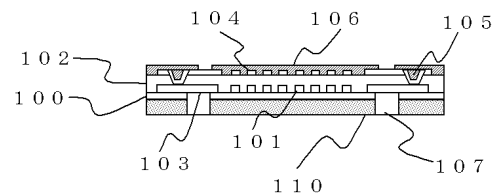
(54) 【発明の名称】 半導体チップ搭載基板及び半導体パッケージ、並びにそれらの製造方法

(57) 【要約】 (修正有)

【課題】 高密度実装可能な薄型で信頼性に優れ、微細配線を精度良く形成でき、更に高速電気信号を効率よく伝送可能な半導体パッケージとそれに用いる半導体チップ搭載基板の製造方法を提供する。

【解決手段】 一方の面に多数の半導体チップが搭載される半導体チップ搭載基板であって、キャリア層110と、前記キャリア層の一方の面に形成された2層以上の絶縁層100,102と、おのおのの層間及び最外層の絶縁層上に形成された複数の配線101,104と、異なる層に形成された前記配線間を電氣的に接続する接続導体105から構成され、最外層の前記配線には半導体チップ接続端子、最もキャリア層に近い層に形成された前記配線には外部接続端子103が形成され、前記外部接続端子部の前記キャリア層または前記キャリア層と前記絶縁層には、前記外部接続端子に達する開口107が形成され、前記キャリア層は少なくとも前記半導体チップ搭載以降に除去可能である半導体チップ搭載基板。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一方の面に多数の半導体チップが搭載される半導体チップ搭載基板であって、キャリア層と、前記キャリア層の一方の面に形成された 2 層以上の絶縁層と、おのこの層間及び最外層の絶縁層上に形成された複数の配線と、異なる層に形成された前記配線間を電氣的に接続する接続導体から構成され、最外層の前記配線には半導体チップ接続端子、最もキャリア層に近い層に形成された前記配線には外部接続端子が形成され、前記外部接続端子部の前記キャリア層または前記キャリア層と前記絶縁層には、前記外部接続端子に達する開口が形成され、前記キャリア層は少なくとも前記半導体チップ搭載以降に除去可能であることを特徴とする半導体チップ搭載基板。

10

【請求項 2】

前記キャリア層の除去が機械的に剥離可能な請求項 1 に記載の半導体チップ搭載基板。

【請求項 3】

前記絶縁層と前記キャリア層の接着力が $10 \sim 500 \text{ N/m}$ である請求項 2 に記載の半導体チップ搭載基板。

【請求項 4】

前記絶縁層の一層の厚みが $1 \sim 50 \mu\text{m}$ である請求項 1 ないし請求項 3 のいずれかに記載の半導体チップ搭載基板。

【請求項 5】

前記キャリア層の厚みが $30 \sim 500 \mu\text{m}$ である請求項 1 ないし請求項 4 のいずれかに記載の半導体チップ搭載基板。

20

【請求項 6】

前記キャリア層が絶縁性フィルムである請求項 1 ないし請求項 5 のいずれかに記載の半導体チップ搭載基板。

【請求項 7】

前記キャリア層の材質が、イミド基、アミド基、フェノール基、フェニレン基、エステル基、エーテル基、サルホン基、カーボネート基、カルボニル基、シリコーン結合を少なくとも 1 つ以上含む樹脂、または液晶ポリマ、含フッ素樹脂、エポキシ樹脂のいずれかである請求項 1 ないし請求項 6 のいずれかに記載の半導体チップ搭載基板。

【請求項 8】

キャリア層とその一方の面に形成された複数の絶縁層からなり、前記絶縁層を形成した面に多数の半導体チップが搭載される半導体チップ搭載基板の製造方法であって、前記キャリア層の一方の面に第 1 の絶縁層を形成する工程と、外部接続端子となる箇所の前記キャリア層及び前記第 1 の絶縁層に開口を形成する工程と、前記第 1 の絶縁層上に前記外部接続端子を含む第 1 の配線を形成する工程と、前記第 1 の絶縁層及び前記第 1 の配線上に第 2 の絶縁層を形成する工程と、前記第 2 の絶縁層上に第 2 の配線を形成する工程と、前記第 1 の配線と前記第 2 の配線を電氣的に接続する接続導体を形成する工程と、最外層の配線に半導体チップ接続端子を形成する工程と、前記外部接続端子と前記最外層の配線の露出した部分に少なくともニッケル及び金めっきを施す工程から構成され、前記キャリア層は少なくとも前記半導体チップ搭載以降に除去する工程を有する半導体チップ搭載基板の製造方法。

30

40

【請求項 9】

キャリア層とその一方の面に形成された複数の絶縁層からなり、前記絶縁層を形成した面に多数の半導体チップが搭載される半導体チップ搭載基板の製造方法であって、前記キャリア層の一方の面に外部接続端子を形成する工程と、前記キャリア層に前記外部接続端子に達する開口を形成する工程と、前記キャリア層の前記外部接続端子を形成した面に第 1 の絶縁層を形成する工程と、前記第 1 の絶縁層上に第 1 の配線を形成する工程と、前記外部接続端子と前記第 1 の配線を電氣的に接続する第 1 の接続導体を形成する工程と、前記第 1 の絶縁層及び前記第 1 の配線上に第 2 の絶縁層を形成する工程と、前記第 2 の絶縁層上に第 2 の配線を形成する工程と、前記第 1 の配線と前記第 2 の配線を電氣的に接続する第

50

2の接続導体を形成する工程と、最外層の配線に半導体チップ接続端子を形成する工程と、前記外部接続端子と前記最外層の配線の露出した部分に少なくともニッケル及び金めっきを施す工程から構成され、前記キャリア層は少なくとも前記半導体チップ搭載以降に除去する工程を有する半導体チップ搭載基板の製造方法。

【請求項10】

請求項1ないし請求項7のいずれかに記載の半導体チップ搭載基板、または請求項8または請求項9に記載の製造方法により得られる半導体チップ搭載基板に前記半導体チップを搭載する工程と、前記半導体チップ搭載基板の前記半導体チップ接続端子と前記半導体チップを電氣的に接続する工程と、少なくとも前記半導体チップの必要な箇所を封止樹脂で封止する工程と、前記半導体チップ搭載基板の前記キャリア層を除去する工程と、前記半導体チップ搭載基板の前記外部接続端子に外部接続パンプを形成する工程を有することを特徴とする半導体パッケージの製造方法。

10

【請求項11】

前記キャリア層の除去を、機械的な剥離で行う工程を有する請求項10に記載の半導体パッケージの製造方法。

【請求項12】

前記機械的な剥離を行う前に、前記キャリア層と前記絶縁層の接着力を低下させる手段を行う工程を有する請求項11に記載の半導体パッケージの製造方法。

【請求項13】

前記半導体チップはダイボンドフィルムを用いて搭載され、前記ダイボンドフィルムが半硬化の状態の前記樹脂封止を行う工程を有する請求項10ないし請求項12のいずれかに記載の半導体パッケージの製造方法。

20

【請求項14】

前記半導体チップ搭載基板の前記半導体チップ接続端子と前記半導体チップの電氣的な接続をワイヤボンドで行う工程を有する請求項10ないし請求項13のいずれかに記載の半導体パッケージの製造方法。

【請求項15】

多数の前記半導体チップを一体に繋がった前記封止樹脂で同時に封止する工程と、前記一体となった封止樹脂と前記半導体チップ搭載基板の前記絶縁層を同時にダイサーで切断する工程を更に有する請求項10ないし請求項14のいずれかに記載の半導体パッケージの製造方法。

30

【請求項16】

前記封止樹脂と前記半導体チップ搭載基板の前記絶縁層の切断を、前記外部接続パンプ形成後に行う工程を有する請求項15に記載の半導体パッケージの製造方法。

【請求項17】

請求項10ないし請求項16のいずれかに記載の製造方法で製造された半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップ搭載基板及び半導体パッケージ、並びにそれらの製造方法に関する。

40

【背景技術】

【0002】

半導体パッケージの分野では、近年一層の高集積化及び高速対応化の要求が高まっている。これらに対応した半導体パッケージとして、半導体チップを、ガラスエポキシのコア基板上にビルドアップ層を多層形成した半導体チップ搭載基板上に搭載したものが提案されている。このような半導体パッケージは、半導体チップ搭載基板の外部接続端子でさらにマザーボードと呼ばれるより大きな基板に搭載され、マザーボード内の配線によって相互に接続される。このような実装形態をとることによって、半導体チップの電極間隔であ

50

る 0.1 ~ 0.25 mm を、0.5 ~ 1.0 mm に広げてボード上に実装することができる。

【0003】

ビルドアップ基板を用いた半導体チップ搭載基板に関する技術は、薄型化、微細配線化、高信頼性化等を目的に、これまで多数提案されている。例えば、小型化に関する技術として、導体回路を有する基材の表面側に電子部品搭載部を備えると共に、基材の裏面側に電子部品側と電氣的に接続する複数の外部接続用の入出力ピンを備えた電子部品搭載用基板において、前記基材の表裏両面にはビルドアップ法により層間絶縁層及び外層導体回路が形成され、前記基板の少なくとも前記電子部品搭載部の少なくとも裏側にあたる領域を含む前記層間絶縁層のほぼ全領域に複数のビアホールを設け、該ビアホールに前記入出力ピンが立設されている半導体チップ搭載基板が提案されている（特許文献1参照。）

10

また、微細配線形成においても、エッチングにより配線を形成するサブトラクト法で、歩留り良く形成できる配線は、回路導体幅/回路導体間隔（以下、L/Sという。）= 50 μ m / 50 μ m 程度である。更に微細な L/S = 35 μ m / 35 μ m 程度の配線では、基材表面に比較的薄いめっき層を形成しておき、その上にめっきレジストを形成して、電気めっきで導体を必要な厚さに形成し、その後比較的薄いめっきをソフトエッチングで除去するというセミアディティブ法が使用され始めている。

【0004】

【特許文献1】特許第3091051号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、特許文献1のような半導体チップ搭載基板は、コア基板の厚みが100 ~ 400 μ m 程度であり、その表面にビルドアップ層を形成した多層の半導体チップ搭載基板では、基板厚みを200 μ m 以下にすることは困難であった。また、厚みを薄くしすぎると、基板としての剛性が低下し、基板作製工程や半導体パッケージの組立て工程で搬送が困難になるなどの問題があった。一方、発明者らは、薄型の半導体パッケージを効率よく生産できる半導体チップ搭載基板として、導電性仮基板に複数のビルドアップ層が形成された半導体チップ搭載基板であって、少なくとも、前記導電性仮基板の一方の面に形成された第1の絶縁層と、前記第1の絶縁層上に形成された第1の配線と、前記導電性仮基板と第1の配線を電氣的に接続する第1の接続導体と、前記第1の配線上に形成された第2の絶縁層と、前記第2の絶縁層上に形成された第2の配線と、前記第1の配線と前記第2の配線を電氣的に接続する第2の接続導体と、を備えることを特徴とする半導体チップ搭載基板を提案している。このような半導体チップ搭載基板では、半導体チップを封止した後、導電性仮基板をエッチング等により外部接続端子に加工し、その後表面にニッケル及び金めっきを施す工程が必要であり、工程が煩雑であるという問題点があった。

30

一方、従来技術の配線と絶縁層との接着は、配線表面に1 μ m を超す凹凸を形成し、アンカー効果によって接着強度を確保していた。しかし、このように表面が1 μ m を超す凹凸形状の配線に高速の電気信号を流すと、表皮効果により電気信号は配線の表面付近に集中して流れるようになるため、伝送損失が大きくなるという問題がある。また、更に微細な L/S = 25 μ m / 25 μ m 未満の配線になると、従来の方法で配線表面の粗化を行った場合、配線が細くなったり、配線幅のばらつきが大きくなったりするという問題がある。

40

【0006】

本発明の目的は、上記従来技術の問題点を改善するためになされたものであり、その目的は、高密度実装可能な、薄型で信頼性に優れた半導体パッケージとそれに用いる半導体チップ搭載基板、及びそれらを効率よく製造できる製造方法を提供することである。

また、本発明の他の目的は、微細配線を精度良く形成し、更に高速電気信号を効率よく伝送可能な半導体チップ搭載基板、半導体パッケージ及びそれらを効率よく製造できる製

50

造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明は、キャリア層の一方の面に複数のビルドアップ層を形成し、前記キャリア層の外部接続端子部に開口が形成された半導体チップ搭載基板、及び前記半導体チップ搭載基板に半導体チップを搭載し、樹脂封止後に前記キャリア層を除去した半導体パッケージ、及びそれらの製造方法を提供する。本発明は次のように構成される。

【0008】

請求項1に記載の発明は、一方の面に多数の半導体チップが搭載される半導体チップ搭載基板であって、キャリア層と、前記キャリア層の一方の面に形成された2層以上の絶縁層と、おのこの層間及び最外層の絶縁層上に形成された複数の配線と、異なる層に形成された前記配線間を電氣的に接続する接続導体から構成され、最外層の前記配線には半導体チップ接続端子、最もキャリア層に近い層に形成された前記配線には外部接続端子が形成され、前記外部接続端子部の前記キャリア層または前記キャリア層と前記絶縁層には、前記外部接続端子に達する開口が形成され、前記キャリア層は少なくとも前記半導体チップ搭載以降に除去可能であることを特徴とする半導体チップ搭載基板である。

10

請求項2に記載の発明は、前記キャリア層の除去が機械的に剥離可能な請求項1に記載の半導体チップ搭載基板である。

請求項3に記載の発明は、前記絶縁層と前記キャリア層の接着力が10～500N/mである請求項2に記載の半導体チップ搭載基板である。

20

請求項4に記載の発明は、前記絶縁層の一層の厚みが1～50μmである請求項1ないし請求項3のいずれかに記載の半導体チップ搭載基板である。

請求項5に記載の発明は、前記キャリア層の厚みが30～500μmである請求項1ないし請求項4のいずれかに記載の半導体チップ搭載基板である。

請求項6に記載の発明は、前記キャリア層が絶縁性フィルムである請求項1ないし請求項5のいずれかに記載の半導体チップ搭載基板である。

請求項7に記載の発明は、前記キャリア層の材質が、イミド基、アミド基、フェノール基、フェニレン基、エステル基、エーテル基、サルホン基、カーボネート基、カルボニル基、シリコン結合を少なくとも1つ以上含む樹脂、または液晶ポリマ、含フッ素樹脂、エポキシ樹脂のいずれかである請求項1ないし請求項6のいずれかに記載の半導体チップ搭載基板である。

30

【0009】

請求項8に記載の発明は、キャリア層とその一方の面に形成された複数の絶縁層からなり、前記絶縁層を形成した面に多数の半導体チップが搭載される半導体チップ搭載基板の製造方法であって、前記キャリア層の一方の面に第1の絶縁層を形成する工程と、外部接続端子となる箇所の前記キャリア層及び前記第1の絶縁層に開口を形成する工程と、前記第1の絶縁層上に前記外部接続端子を含む第1の配線を形成する工程と、前記第1の絶縁層及び前記第1の配線上に第2の絶縁層を形成する工程と、前記第2の絶縁層上に第2の配線を形成する工程と、前記第1の配線と前記第2の配線を電氣的に接続する接続導体を形成する工程と、最外層の配線に半導体チップ接続端子を形成する工程と、前記外部接続端子と前記最外層の配線の露出した部分に少なくともニッケル及び金めっきを施す工程から構成され、前記キャリア層は少なくとも前記半導体チップ搭載以降に除去する工程を有する半導体チップ搭載基板の製造方法である。

40

請求項9に記載の発明は、キャリア層とその一方の面に形成された複数の絶縁層からなり、前記絶縁層を形成した面に多数の半導体チップが搭載される半導体チップ搭載基板の製造方法であって、前記キャリア層の一方の面に外部接続端子を形成する工程と、前記キャリア層に前記外部接続端子に達する開口を形成する工程と、前記キャリア層の前記外部接続端を形成した面に第1の絶縁層を形成する工程と、前記第1の絶縁層上に第1の配線を形成する工程と、前記外部接続端子と前記第1の配線を電氣的に接続する第1の接続導

50

体を形成する工程と、前記第 1 の絶縁層及び前記第 1 の配線上に第 2 の絶縁層を形成する工程と、前記第 2 の絶縁層上に第 2 の配線を形成する工程と、前記第 1 の配線と前記第 2 の配線を電氣的に接続する第 2 の接続導体を形成する工程と、最外層の配線に半導体チップ接続端子を形成する工程と、前記外部接続端子と前記最外層の配線の露出した部分に少なくともニッケル及び金めっきを施す工程から構成され、前記キャリア層は少なくとも前記半導体チップ搭載以降に除去する工程を有する半導体チップ搭載基板の製造方法である。

請求項 10 に記載の発明は、請求項 1 ないし請求項 7 のいずれかに記載の半導体チップ搭載基板、または請求項 8 または請求項 9 に記載の製造方法により得られる半導体チップ搭載基板に前記半導体チップを搭載する工程と、前記半導体チップ搭載基板の前記半導体チップ接続端子と前記半導体チップを電氣的に接続する工程と、少なくとも前記半導体チップの必要な箇所を封止樹脂で封止する工程と、前記半導体チップ搭載基板の前記キャリア層を除去する工程と、前記半導体チップ搭載基板の前記外部接続端子に外部接続パンプを形成する工程を有することを特徴とする半導体パッケージの製造方法である。

10

【0010】

請求項 11 に記載の発明は、前記キャリア層の除去を、機械的な剥離で行う工程を有する請求項 10 に記載の半導体パッケージの製造方法である。

請求項 12 に記載の発明は、前記機械的な剥離を行う前に、前記キャリア層と前記絶縁層の接着力を低下させる手段を行う工程を有する請求項 11 に記載の半導体パッケージの製造方法である。

20

請求項 13 に記載の発明は、前記半導体チップはダイボンドフィルムを用いて搭載され、前記ダイボンドフィルムが半硬化の状態の前記樹脂封止を行う工程を有する請求項 10 ないし請求項 12 のいずれかに記載の半導体パッケージの製造方法である。

請求項 14 に記載の発明は、前記半導体チップ搭載基板の前記半導体チップ接続端子と前記半導体チップの電氣的な接続をワイヤボンドで行う工程を有する請求項 10 ないし請求項 13 のいずれかに記載の半導体パッケージの製造方法である。

請求項 15 に記載の発明は、多数の前記半導体チップを一体に繋がった前記封止樹脂で同時に封止する工程と、前記一体となった封止樹脂と前記半導体チップ搭載基板の前記絶縁層を同時にダイサーで切断する工程を更に有する請求項 10 ないし請求項 14 のいずれかに記載の半導体パッケージの製造方法である。

30

請求項 16 に記載の発明は、前記封止樹脂と前記半導体チップ搭載基板の前記絶縁層の切断を、前記外部接続パンプ形成後に行う工程を有する請求項 15 に記載の半導体パッケージの製造方法である。

請求項 17 に記載の発明は、請求項 10 ないし請求項 16 のいずれかに記載の製造方法で製造された半導体パッケージである。

【発明の効果】

【0011】

本発明により、高密度実装可能な、薄型で信頼性に優れた半導体チップ搭載基板、半導体パッケージ及び半導体パッケージとそれらが効率よく製造できる。

また同時に、微細配線を精度良く形成し、更に高速電気信号を効率よく伝送可能な半導体チップ搭載基板、半導体パッケージ及び半導体パッケージとそれらを効率よく製造することができる。

40

【発明を実施するための最良の形態】

【0012】

以下、図面を用いて本発明の実施の形態を説明する。

(半導体チップ搭載基板)

図 1 に、本発明の半導体チップ搭載基板の一実施形態(ビルドアップ層 2 層)の断面模式図を示した。本発明の半導体チップ搭載基板は、図 1 に示したように、キャリア層 110 の一方の面に、第 1 の絶縁層 100 が形成され、さらにその上に外部接続端子 103 を含む第 1 の配線 101 が形成される。外部接続端子部のキャリア層 110 と第 1 の絶縁層

50

100には開口107が形成される。第1の絶縁層100及び第1の配線101上には、第2の絶縁層102が形成され、さらにその上に第2の配線104が形成される。第1の配線101と第2の配線104は、接続導体105(ブラインドビア)で電氣的に接続される。図1では2層の絶縁層しか記載していないが、必要に応じて絶縁層及び配線はさらに複数層形成しても良い。最外層の絶縁層上には、半導体チップ接続端子を含む配線(図1では第2の配線104)が形成される。また、最外層の絶縁層(図1では第2の絶縁層102)及び最外層の配線(図1では第2の配線104)上には、必要に応じて半導体チップ接続端子を除いてソルダレジストのような絶縁被覆106を形成しても良い。図2には、第1の配線とは別に外部接続端子103をキャリア層上に形成し、第1の接続端子108(金属パンプ)及び第2の接続端子109(金属パンプ)を用いた半導体チップ搭載基板の一実施形態(ビルドアップ層2層)の断面模式図を示した。 10

配線の形状や各々の接続端子の配置等は特に制限されず、搭載する半導体チップや目的とする半導体パッケージを製造するために、適宜設計可能である。

【0013】

(キャリア層)

従来の半導体チップ搭載基板では、使用する絶縁基材は、基板製造工程及び半導体パッケージ組立て工程での耐熱性、剛性、寸法安定性、耐薬品性等の特性と、半導体パッケージとしての耐リフロー性、PCT性(プレシヤクツカテスト)、THB性(高温高湿バイアス)、TCT性(温度サイクルテスト)等の信頼性試験の全てを満足しなけなければならない。これらの特性を全て満足できる基材としてはポリイミドフィルムやガラスエポキシ基材を用いるのが一般的であったが、ポリイミドフィルムは非常に高価であることや、薄いガラスエポキシ基材が入手困難であること等の問題点があった。 20

本発明の半導体チップ搭載基板は、少なくとも絶縁層とキャリア層から構成され、必要に応じて夫々の層はさらに複数の層から構成されていても良い。このため、絶縁層としては、半導体搭載基板としての剛性や寸法安定性などの特性は必ずしも必要ではなくなり、またキャリア層は封止後に除去されるため、半導体パッケージの信頼性を満足する必要がなく、従来使用できなかった安価な材料が使用可能になる。

キャリア層は、耐熱性のエンジニアリングプラスチックフィルムやそれらの樹脂を含む材料であることが好ましい。例えば、イミド基、アミド基、フェノール基、フェニレン基、エステル基、エーテル基、サルホン基、カーボネート基、カルボニル基、シリコーン結合を少なくとも1つ以上含む樹脂、または液晶ポリマ、含フッ素樹脂、エポキシ樹脂のいずれかを用いることが好ましい。さらに具体的には、イミド基を少なくとも1つ以上含む樹脂としては、ポリイミド樹脂やポリアミドイミド樹脂があり、アミド基を少なくとも1つ以上含む樹脂としては、ポリアミド樹脂やアラミド樹脂があり、フェノール基を少なくとも1つ以上含む樹脂としては、フェノール樹脂があり、フェニレン基を少なくとも1つ以上含む樹脂としては、ポリフェニレンサルファイド樹脂があり、エステル基を少なくとも1つ以上含む樹脂としては、ポリエチレンテレフタレート樹脂、ポリエチレンナフタレート樹脂やポリアリレート樹脂があり、エーテル基を少なくとも1つ以上含む樹脂としては、ポリエーテルエーテルケトン樹脂やポリエーテルイミド樹脂があり、サルホン基を少なくとも1つ以上含む樹脂としては、ポリサルホン樹脂やポリエーテルサルホン樹脂があり、カーボネート基を少なくとも1つ以上含む樹脂としては、ポリカーボネート樹脂があり、シリコーン結合を少なくとも1つ以上含む樹脂としては、シロキサン変性ポリアミドイミド樹脂がある。 30 40

さらに、キャリア層の材料は、半導体チップ搭載基板の製造、および半導体パッケージ組立て工程の特性を満足できれば特に制限するものではなく、樹脂封止後に除去するため、除去しやすいものを選択するのが好ましい。例えば、前述のエンジニアリングプラスチックフィルムの他に、銅、アルミニウム、鉄、ニッケル、またはそれらを含む合金などの金属、紙、布、ガラスクロス、またはそれらを組み合わせたものも使用できる。ただし、金属を使用する場合は、配線の金めっき工程でキャリア層に金めっきが析出するのを防止するために、レジストやその他めっきの析出しない材料で表面を被覆することが好ましい 50

。また、キャリア層の材料は、除去後は不要になるため、環境負荷低減のためには、リサイクル可能な材料であることが好ましい。例えば、銅やアルミニウムなどの金属、熱可塑性樹脂を使用したエンジニアリングプラスチックフィルム、紙などはリサイクルが容易で好ましい。

キャリア層の材料は、透湿度が高いものを用いるのが好ましく、この透湿度が $1 (g/m^2 \cdot 24h)$ 以上の材料を用いるのが好ましく、さらに、 $10 (g/m^2 \cdot 24h)$ 以上のものがより好ましい。なお、材料の入手困難性の観点から、 $1000 (g/m^2 \cdot 24h)$ 以下が好ましい。

透湿度は、キャリア層の厚みに反比例するため、厚みを薄くすることによって透湿度は上がる。キャリア層の厚みは、半導体チップ搭載基板の剛性及び寸法安定性を確保するために、 $30 \sim 500 \mu m$ が好ましく、さらに $50 \sim 200 \mu m$ がより好ましい。しかし、使用する材料の熱膨張率、湿度膨張率、弾性率、搬送性等を考慮し、最適な厚みを実験的に求めるのが好ましい。

さらにキャリア層には、吸水性の低いものであることが好ましく、JIS K7209 による吸水率が、 1.5 重量%未満であることが好ましく、 1.0 重量%未満であると更に好ましい。この吸水率が 1.5 重量%を超えると、半導体チップ搭載基板や半導体パッケージの製造工程で水分が蒸発して、その圧力で剥離やふくれまたは発泡等の不良が発生しやすくなる。

【0014】

(絶縁層)

本発明における第1の絶縁層100及び第2の絶縁層102は、絶縁材料からなるのが好ましい。絶縁材料としては、熱硬化性樹脂、熱可塑性樹脂、またはそれらの混合樹脂が使用できるが、特に熱硬化性の有機絶縁材料が主成分であることがより好ましい。熱硬化性樹脂としては、フェノール樹脂、尿素樹脂、メラミン樹脂、アルキッド樹脂、アクリル樹脂、不飽和ポリエステル樹脂、ジアリルフタレート樹脂、エポキシ樹脂、シリコーン樹脂、シクロペンタジエンから合成した樹脂、トリス(2-ヒドロキシエチル)イソシアヌレートを含む樹脂、芳香族ニトリルから合成した樹脂、3量芳香族ジシアナミド樹脂、トリアリルトリメタリレートを含む樹脂、フラン樹脂、ケトン樹脂、キシレン樹脂、縮合多環芳香族を含む熱硬化性樹脂、ベンゾシクロブテン樹脂等を用いることができる。熱可塑性樹脂としては、ポリイミド樹脂、ポリフェニレンオキサイド樹脂、ポリフェニレンサルファイド樹脂、アラミド樹脂、液晶ポリマ等が挙げられる。

絶縁材料には充填材を添加しても良い。充填材としては、シリカ、タルク、水酸化アルミニウム、ホウ酸アルミニウム、窒化アルミニウム、アルミナ等が挙げられる。

絶縁層の形成方法としては、ワニス状の絶縁材料をスピンコート、コンマコート、印刷等で形成した後、乾燥、硬化を行うことができる。また、フィルム状に予め形成し、プレスやラミネートで基板に接着することもできる。絶縁材料によってはガラスクロスや不織布に材料を含浸させ、プリプレグ状にしてから接着して形成することもできる。さらに、金属箔にワニスを塗布し、乾燥後基板に接着することもできる。絶縁層の厚みは特に制限されるものではないが、絶縁信頼性や基板全体の厚みを考慮すれば、 $5 \sim 30 \mu m$ が好ましく、さらに $5 \sim 15 \mu m$ がより好ましい。また、絶縁層の熱膨張係数は $10 \sim 40 ppm/$ であるのが好ましく、更に好ましくは $10 \sim 20 ppm/$ である。

【0015】

(ヤング率)

第1の絶縁層100及び第2の絶縁層102のヤング率は、 $1 \sim 5 GPa$ であるのが熱ストレスに対する応力緩和の点で好ましい。絶縁層中の充填材は、絶縁層の熱膨張係数が $10 \sim 40 ppm/$ 、ヤング率が $1 \sim 5 GPa$ になるように添加量を適宜調整して添加するのが好ましい。

【0016】

(平坦性)

第1の絶縁層100及び第2の絶縁層102の表面の平坦性は、平均粗さ(Ra)で1

10

20

30

40

50

・ $0\ \mu\text{m}$ 以下、特に $0.01\sim 1.0\ \mu\text{m}$ が高速電気信号の伝達特性の面から好ましく、更に $0.01\sim 0.4\ \mu\text{m}$ であることがより好ましい。 $1.0\ \mu\text{m}$ を超えると形成する配線の幅変動が大きく、また、高速電気信号の減衰が大きくなる傾向がある。 $0.01\ \mu\text{m}$ 未満では、ピール強度が十分に得られなくなるという傾向がある。

同様に配線表面の平坦性も、Raで $1.0\ \mu\text{m}$ 以下であることが好ましい。すなわち、第1の絶縁層100と第1の配線101との界面、第1の配線101と第2の絶縁層102との界面、第2の絶縁層102と第2の配線104との界面は、少なくともいずれか1つの界面の平坦性が、Raで $1.0\ \mu\text{m}$ 以下であるのが好ましい。特に $0.01\sim 1.0\ \mu\text{m}$ が好ましく、更に $0.01\sim 0.4\ \mu\text{m}$ であることがより好ましい。

本発明において、Raは、上述のように平均粗さであり、触針式表面粗さ計などを用いて測定することが可能である(JIS C 6481参照)。Raは、触針式表面粗さ計などを用いて測定することが可能である。

10

【0017】

(キャリア層の除去方法)

キャリア層の除去方法としては、機械的な力で剥離する方法、機械的な研磨による方法、薬液によるウエットエッチング、プラズマ等によるドライエッチングによる方法、レーザーによる方法等があり、使用する材料の組合せによって選択でき、必要に応じて組み合わせを行うこともできる。これらの中では、機械的な力で剥離する方法が好ましい。

【0018】

(機械的な力で剥離する方法)

機械的に剥離するためには、絶縁層とキャリア層の接着力が $10\sim 500\ \text{N/m}$ であることが好ましく、更に $50\sim 200\ \text{N/m}$ であることがより好ましい。接着力が $10\ \text{N/m}$ 未満であると、半導体チップ搭載基板や半導体パッケージの製造工程で剥離してしまう恐れがあり、また、 $500\ \text{N/m}$ より大きいと、キャリア層の除去工程で剥離が困難になり好ましくない。しかし、キャリア層の除去工程で以下に示す接着力低下手段を用いて、接着力を $500\ \text{N/m}$ 以下、より好ましくは $200\ \text{N/m}$ 以下にできる場合は、接着力の初期値は $500\ \text{N/m}$ より大きくてもよい。

20

【0019】

(接着力低下手段)

接着力の低下は、温度処理、光照射、吸湿、液処理のいずれかもしくは組み合わせで行うことができ、絶縁層やキャリア層材質等により効率的な方法を選択することが好ましい。また、接着力低下手段は、キャリア層の剥離前または剥離工程と同時に行うことができる。更に、キャリア層の絶縁層形成側に、予め離型処理を施すことにより、キャリア層と絶縁層間の接着力を調節することもできる。離型処理の方法は特に問わないが、一般的なシリコン系または非シリコン系材料による表面処理が使用できる。また、逆に接着力が弱い場合は、プラズマ処理やコロナ放電処理を行い、好ましい接着力に調整することもできる。

30

【0020】

(温度処理による接着力の低下)

温度処理としては、剥離工程前に行う恒温放置と剥離工程と同時に行う加熱処理および冷却処理に大別される。恒温放置の温度としては、接着力が十分に低下してキャリア層が残らず、かつ絶縁層や半導体パッケージに熱によるダメージを与えない必要があり、 $50\sim 250$ が好ましく、 $80\sim 150$ がより好ましい。このような恒温放置は、封止樹脂の加熱・硬化と同時に行うことが効率的で好ましい。また、ある温度以上で急激に熱収縮する材料をキャリア層に用いれば、熱処理だけで簡単に剥離できる場合がありより好ましい。この温度としては、 $180\sim 250$ が好ましく、使用する材料としてはポリエチレンテレフタレート、ポリエチレンナフタレート、ポリフェニレンサルファイド、ポリエーテルエーテルケトン等が使用できる。

40

剥離工程と同時に行う加熱処理としては、接着力が十分に低下して絶縁層表面に汚染物質が残らず、かつ半導体パッケージに熱によるダメージを与えない温度である必要があり

50

、例えば、40～200 が好ましく、40～100 がより好ましい。また、冷却処理としては、半導体パッケージにダメージを与えない必要があり、-20～30 が好ましく、0～30 がより好ましい。

【0021】

(光照射による接着力の低下)

キャリア層の剥離前に、光を照射することで、接着力を低下することができる。そのような光としては、紫外線を用いることが好ましく、一般的な配線板製造工程で用いられる紫外線露光機を用いることができる。その露光量は、キャリア層の光透過量、種類、厚みにより適切な量を実験的に求めることが好ましい。使用する波長も材料によって最適の波長を選択すればよい。

10

【0022】

(吸湿による接着力の低下)

キャリア層の剥離前に、吸湿処理を行うことで接着力を低下できる。その条件は、例えば、60%RH以上が好ましく、必要であれば同時に加熱することもできる。吸湿を行う雰囲気としては、汚染などの防止のために純水が好ましいが、必要に応じて有機溶剤を用いることもできる。

【0023】

(液処理による接着力の低下)

キャリア層の剥離前に、液処理を行うことで接着力を低下できる。そのような液としては、水、アルコール、有機溶剤、アルカリ水溶液などを用いることができ、キャリア層の種類・厚みにより効果的なものを選択でき、さらに、組み合わせることもできる。例えば、アルコールとしては、メタノール、エタノール、プロパノールがあり、有機溶剤としては、アセトン、テトラヒドロフラン、ジメチルホルムアミド、ジメトキシエタン、トルエンなどがある。さらに、アルカリ水溶液のアルカリ成分としては、モノエタノールアミン、エチレンジアミンなどのアミン系材料や水酸化カリウム、水酸化ナトリウム、水酸化テトラメチルアンモニウムなどがある。また、液処理方法としては、液中への浸漬やスプレー噴霧があり、長時間の処理が必要な場合、液中への浸漬が好ましい。スプレー噴霧はスプレー圧によりキャリア層を剥離することができる場合に、効率的でより好ましい。

20

【0024】

(半導体チップ搭載基板の製造方法)

半導体チップ搭載基板は、以下の製造方法の組み合わせで製造することができる。製造工程の順番は、本発明の目的を逸脱しない範囲では、特に限定しない。

30

【0025】

(配線形成方法)

配線の形成方法としては、絶縁層上に金属箔を形成し、金属箔の不要な箇所をエッチング除去する方法(サブトラクト法)、絶縁層上の必要な箇所のみめっきにより配線を形成する方法(アディティブ法)、絶縁層上に薄い金属層(シード層)を形成し、その後電解めっきで必要な配線を形成した後、薄い金属層をエッチングで除去する方法(セミアディティブ法)がある。

【0026】

(エッチングによる配線形成)

金属箔の配線となる箇所にエッチングレジストを形成し、エッチングレジストから露出した箇所に、化学エッチング液をスプレー噴霧して、不要な金属箔をエッチング除去し、配線を形成することができる。例えば、金属箔として銅箔を用いる場合、エッチングレジストは、通常の配線板に用いることのできるエッチングレジスト材料を用いることができ、レジストインクをシルクスクリーン印刷して形成したり、エッチングレジスト用感光性ドライフィルムを銅箔の上にラミネートして、その上に配線形状に光を透過するフォトマスクを重ね、紫外線で露光し、露光しなかった箇所を現像液で除去して形成する。化学エッチング液には、塩化第二銅と塩酸の溶液、塩化第二鉄溶液、硫酸と過酸化水素の溶液、過硫酸アンモニウム溶液など、通常の配線板に用いる化学エッチング液を用いることがで

40

50

きる。

【0027】

(めっきによる配線形成)

また、配線は、絶縁層上の必要な箇所のみめっきを行うことで形成することもでき、通常めっきによる配線形成技術を用いることができる。

例えば、絶縁層表面に無電解めっき用触媒を付着させた後、めっきが行われない表面部分にめっきレジストを形成して、無電解めっき液に浸漬し、めっきレジストに覆われていない箇所のみ無電解めっきを行う。その後、必要があればめっきレジストを除去することもできる。さらに、電解めっきにより、高さ5～50 μm の配線を形成することもできる。

【0028】

(セミアディティブ法のシード層形成)

セミアディティブ法のシード層の形成方法は、蒸着またはめっきによる方法と、金属箔を貼り合わせる方法がある。同様の方法で、サブトラクト法の金属箔を形成することもできる。

【0029】

(蒸着またはめっきによるシード層の形成)

絶縁層上に蒸着またはめっきによってシード層を形成することができる。例えば、シード層として、スパッタリングにより下地金属と薄膜銅層を形成する場合、薄膜銅層を形成するために使用されるスパッタリング装置は、2極スパッタ、3極スパッタ、4極スパッタ、マグネトロンスパッタ、ミラトロンスパッタ等を用いることができる。スパッタに用いるターゲットは、密着を確保するために、例えばCr、Ni、Co、Pd、Zr、Ni/Cr、Ni/Cu等の金属を下地金属として用い、5～50nmスパッタリングする。その後、銅をターゲットにして100～500nmスパッタリングして薄膜銅層を形成できる。

また、絶縁層上に銅を0.5～3 μm 無電解めっきし、形成することもできる。

【0030】

(金属箔を貼り合わせる方法)

絶縁層に接着機能がある場合は、金属箔をプレスやラミネートによって貼り合わせることにによりシード層を形成することもできる。しかし、薄いシード層を直接貼り合わせるのは非常に困難であるため、厚い金属箔を張り合わせた後にエッチング等により薄くする方法や、キャリア付金属箔を貼り合わせた後にキャリア層を除去する方法などがある。前者としては銅/ニッケル/銅の三層銅箔、後者としてはピールブル銅箔などが使用でき、5 μm 以下のシード層を形成できる。

【0031】

(セミアディティブ法による配線形成)

前述の方法で形成されたシード層上に、めっきレジストを必要なパターンに形成し、シード層を介して電解めっきにより配線を形成する。その後、めっきレジストを剥離し、最後にシード層をエッチング等により除去し、配線が形成できる。

【0032】

(配線の形状)

配線の形状は特に問わないが、少なくとも半導体チップが搭載される最外層の配線には半導体チップ接続端子16(ワイヤボンダ端子等)が形成され、外部接続端子19とを繋ぐ展開配線20、層間接続端子等から構成される。また、配線の配置も特に問わないが、図3に示したように(内層配線、層間接続端子等は省略。)、半導体チップ接続端子16より内側に外部接続端子19を形成したファン-インタイプや、図4に示したような半導体チップ接続端子16の外側に外部接続端子19を形成したファン-アウトタイプ、またはこれらを組み合わせたタイプでもよい。

【0033】

図3は本発明の一実施形態であるファン-インタイプ半導体チップ搭載基板の平面図で

10

20

30

40

50

ある。また、図4は、本発明の別の実施形態であるファン・アウトタイプ半導体チップ搭載基板の平面図である。

図中、13は、半導体パッケージ領域である。

フリップチップタイプの場合、14はダイボンドフィルム接着領域、15は半導体チップ搭載領域である。16は半導体チップ接続端子である。

ワイヤボンドタイプの場合、17はダイボンドフィルム接着領域、18は半導体チップ搭載領域である。

また、19は外部接続端子、20は展開配線である。

さらに必要に応じて、半導体チップと電氣的に接続されないダミーパターン21を形成することもできる。ダミーパターンの形状や配置も特には問わないが、半導体チップ搭載領域に均一に配置するのが好ましい。これによって、ダイボンド接着剤で半導体チップを搭載する際に、ボイドが発生しにくくなり、信頼性を向上できる。

【0034】

(配線表面の処理)

配線上に絶縁層を形成する場合は、配線表面にシランカップリング剤等のカップリング剤を含む皮膜(不図示)を形成することが好ましい。このカップリング剤を含む皮膜により、配線と絶縁層との接着信頼性を向上させることが可能である。

使用するカップリング剤はシランカップリング剤が好ましく、例えば、シランカップリング剤は、エポキシ基、アミノ基、メルカプト基、イミダゾール基、ビニル基、またはメタクリル基等の官能基を分子中に有し、これらのシランカップリング剤の1種もしくは2種以上の混合物を含有する溶液を使用することができる。シランカップリング剤溶液の調整に使用される溶媒は、水或いはアルコール、ケトン類等を用いることが可能である。また、カップリング剤の加水分解を促進するために、少量の酢酸や塩酸等の酸を添加することもできる。前記カップリング剤の含有量は、溶液全体に対して、0.01重量%~5重量%、好ましくは、0.1重量%~0.5重量%である。カップリング剤による皮膜形成処理は、前記のように調整したカップリング剤溶液に浸漬する、前記溶液をスプレー噴霧する、塗布する等の方法により行うことができる。

前記のシランカップリング剤で処理した基板は、自然乾燥、加熱乾燥、または真空乾燥により乾燥を行うが、使用するカップリング剤の種類によって、乾燥前に水洗または超音波洗浄を行うことも可能である。さらに、シランカップリング剤処理前の配線表面を、脱脂処理、アルカリ処理、酸処理、水洗などを必要に応じて適宜組合せて行い、表面を清浄することが好ましい。

【0035】

(接続導体)

本発明の半導体チップ搭載基板は、複数の配線層を有するため、各層の配線を電氣的に接続するための接続導体を設ける。接続導体は、絶縁層に接続用の穴を設け、この穴を導電性ペーストやめっき等で充填し形成できる。穴の加工方法としては、パンチやドリルなどの機械加工、レーザ加工、薬液による化学エッチング加工、プラズマを用いたドライエッチング法などがある。穴径は特に制限しないが、直径20~300 μm が好ましく、直径50~150 μm がより好ましい。

また、接続導体として、金属パンプを用いることもできる。例えば外部接続端子103または第1の配線101上に金属パンプを形成し、その上に絶縁層を形成した後、研磨等により絶縁層表面に金属パンプを露出させる方法で形成できる。

金属パンプの径は特に制限しないが、直径10~150 μm が好ましく、直径20~100 μm がより好ましい。

接続導体の材質は特に問わないが、銅、ニッケル、金、銀、錫、アルミニウム、鉄やこれらを含む合金が使用できる。また、金属パンプは必要に応じて複数の金属層から形成することもできる。

【0036】

(デスマリア処理)

10

20

30

40

50

前述の方法により形成された穴のスミア除去としては、ドライ処理またはウェット処理を用いることができる。ドライ処理としては、プラズマ処理、逆スパッタリング処理、イオンガン処理、RIE処理が使用できる。さらに、プラズマ処理には大気圧プラズマ処理、真空プラズマ処理があり必要に応じて選択できる。これらの処理に使用するガスとしては、窒素、酸素、アルゴン、フロン(CF₄)、またはこれらの混合ガスが好ましい。ウェット処理にはクロム酸塩、過マンガン酸塩等の酸化剤を用いることができる。

【0037】

(外部接続端子部の開口)

外部接続端子部のキャリア層、またはキャリア層と絶縁層には外部接続端子を露出させるための開口が設けられる。開口の加工方法としては、パンチやドリルなどの機械加工、レーザ加工、薬液による化学エッチング加工、プラズマを用いたドライエッチング法などがある。開口径は特に制限しないが、直径100~800μmが好ましく、直径200~500μmがより好ましい。また、開口を形成する順番は必要に応じて、第1の配線を形成する前でも後でもよい。

10

【0038】

(絶縁被覆の形成)

半導体チップ搭載基板の最外層の配線上には半導体チップ接続端子を除いて絶縁被覆106を形成することができる。パターン形成は、ワニス状の材料であれば印刷で行うことも可能であるが、より精度を確保するためには、感光性のソルダレジスト、カバーレイフィルム、フィルム状レジストを用いるのが好ましい。材質としては、エポキシ系、ポリイミド系、エポキシアクリレート系、フルオレン系の材料を用いることができる。また、絶縁被覆の厚みは5~50μmであることが好ましく、10~30μmがより好ましい。厚みが50μm以上では、半導体チップ搭載基板全体の厚みが厚くなり、5μm以下では絶縁性に問題が発生する場合がある。

20

【0039】

(配線のめっき)

配線の必要な部分にニッケル、金めっきを順次施すことができる。さらに必要に応じてニッケル、パラジウム、金めっきとしても良い。これらのめっきは、配線の半導体チップ接続端子と、外部接続端子に施されるのが好ましい。このめっきは、無電解めっき、または電解めっきのどちらを用いてもよい。また、必要に応じて、露出した配線、ダミーパターン、補強パターン等の金属パターン表面に同時に施すこともできる。キャリア層に金属を使用した場合は、めっきレジスト等でキャリア層表面を被覆してからめっきを行ってもよい。

30

【0040】

(半導体チップ搭載基板の製造工程)

本発明の半導体チップ搭載基板は、以下のような工程で製造することができる。図5の(a)~(d)に、本発明の半導体チップ搭載基板の製造方法について実施形態の一例を断面模式図で示した。ただし、製造工程の順番は、本発明の目的を逸脱しない範囲では、特に制限しない。

【0041】

(工程a)

(工程a)は、図5(a)に示したようにキャリア層110の一方の面に第1の絶縁層100を形成し、外部接続端子103が形成される箇所のキャリア層110及び第1の絶縁層100に開口107を形成する工程である。

40

【0042】

(工程b)

(工程b)は、図5(b)に示したように、第1の絶縁層100上に第1の配線101を形成する工程である。第1の配線101は、第1の絶縁層100上に金属箔を接着し、その後エッチングで必要なパターンに加工することで形成できる。また、薄い金属箔を第1の絶縁層100に接着後、セミアディティブ方で第1の配線101を形成しても良い。

50

【 0 0 4 3 】

(工 程 c)

(工 程 c) は、図 5 (c) に示したように、第 2 の絶縁層 1 0 2、第 2 の配線 1 0 4 及び接続導体 1 0 5 を形成する工程である。第 1 の配線 1 0 1 及び第 1 の絶縁層 1 0 0 上に第 2 の絶縁層を形成する。次に、第 2 の絶縁層 1 0 2 にレーザ等で第 1 の配線 1 0 1 に達する穴を形成し、穴内部をデスミア処理した後、第 2 配線 1 0 4 及び接続導体 1 0 5 であるブラインドビアを形成する。配線形成方法として、アディティブ法またはセミアディティブ法を用いると、配線とブラインドビアが同時に形成でき、効率的で好ましい。図 5 では、配線層 2 層の例で説明しているが、必要に応じて(工程 c)を繰り返し、さらに多くの絶縁層及び配線層を形成することもできる。

10

【 0 0 4 4 】

(工 程 d)

(工 程 d) は、図 5 (d) に示したように最外層の配線上に半導体チップ接続端子を除いて絶縁被覆 1 0 6 を形成する工程である。この工程は必ずしも必要ではなく、省略することも可能である。

【 0 0 4 5 】

(半 導 体 チ ッ プ 搭 載 基 板 の 形 状)

半導体チップ搭載基板の形状は、特に問わないが、図 7 に示したようなフレーム形状にすることが好ましい。半導体チップ搭載基板の形状をこのようにすることで、半導体パッケージの組立てを効率よく行うことができる。以下、好ましいフレーム形状について詳細に説明する。

20

図 7 の (a) は本発明の半導体チップ搭載基板のフレーム形状の一例を表す全体の平面図であり、(b) は (a) の破線部分の拡大図である。図 7 のように、半導体パッケージ領域 1 3 (1 個の半導体パッケージとなる部分) を行及び列に各々複数個等間隔で格子状に配置したブロック 2 3 を形成する。さらに、このようなブロックを複数個行及び列に形成する。図 7 では、2 個のブロックしか記載していないが、必要に応じて、ブロックも格子状に配置してもよい。ブロック間のスペース幅は特に問わないが、半導体チップ搭載基板の有効利用を考えると、0 . 5 ~ 1 0 m m が好ましい。

【 0 0 4 6 】

ここで、半導体パッケージ領域間のスペース部の幅は、5 0 ~ 5 0 0 μ m が好ましく、1 0 0 ~ 3 0 0 μ m がより好ましい。さらに、後に半導体パッケージを切断するとき使用するダイサーのブレード幅と同じにするのが最も好ましい。このように半導体パッケージ領域を配置することで、半導体チップ搭載基板 2 2 の有効利用が可能になる。

30

また、半導体チップ搭載基板 2 2 の端部には、位置合わせ用ガイド穴 1 1 のような位置決めマーク等を形成することが好ましく、貫通穴によるピン穴であることがより好ましい。ピン穴の形状や配置は、形成方法や半導体パッケージの組立て装置に合うように選択すればよい。

さらに、前記半導体パッケージ領域間のスペース部や前記ブロックの外側には補強パターン 2 4 を形成することが好ましい。補強パターンを形成することにより、半導体チップ搭載基板の剛性が向上し、半導体パッケージの組立てが容易になる。また、補強パターンは、半導体チップ搭載基板の反りやねじれの防止も可能であり、必要に応じて基板の両側、さらには内層ビルドアップ層にも形成することができる。補強パターンは、別途作製し半導体チップ搭載基板と貼り合わせてもよいが、半導体パッケージ領域に形成される配線と同時に形成された金属パターンであることが好ましく、さらに、その表面には、配線と同様のニッケル、金などのめっきを施すか、絶縁被覆をすることがより好ましい。補強パターンが、このような金属の場合は、電解めっきの際のめっきリードとして利用することも可能である。また、ブロックの外側には、ダイサーで切断する際の切断位置合わせマーク 2 5 を形成することが好ましい。

40

このようにして、半導体チップ搭載基板を作製することができる。また、以上の説明では、第 1 の絶縁層 1 0 0 上に外部接続端子 1 0 3 を形成したが、図 6 (a) に示したよう

50

に、キャリア層上に外部接続端子 103 を形成し、その後同様にして第 1 の絶縁層 100 を形成することも可能である。

【0047】

(半導体パッケージの製造工程)

半導体パッケージは、前記半導体チップ搭載基板と、前記半導体チップ搭載基板に搭載された半導体チップと、前記半導体チップの少なくともフェース面(半導体素子が形成された面)を封止する樹脂とを含んで構成される。

本発明の半導体パッケージは、以下のような工程で製造することができる。図 5 の (e) ~ (g) に、本発明の半導体パッケージの製造方法について実施形態の一例を断面模式図で示した。ただし、製造工程の順番は、本発明の目的を逸脱しない範囲では、特に制限しない。

【0048】

(工程 e)

(工程 e) は、図 5 (e) に示したように、本発明の半導体チップ搭載基板に、半導体チップ 111 を搭載し、半導体チップのフェース面を封止する工程である。半導体チップ 111 と半導体チップ接続端子は接続パンプ 112 を用いてフリップチップ接続することによって電氣的に接続される。また、これらの半導体パッケージには、図示するように、半導体チップと半導体チップ搭載基板の間を熱硬化性樹脂等のアンダーフィル材 113 で封止することが好ましい。

さらに、半導体チップの搭載には異方導電性フィルム (ACF) や導電性粒子を含まない接着フィルム (NCF) を用いて行うこともできる。この場合は、アンダーフィル材で封止する工程の必要がないため、効率的である。さらに、半導体チップを搭載する際に超音波を併用すれば、電氣的な接続が低温でしかも短時間で行えるためより好ましい。

【0049】

(工程 f)

(工程 f) は、図 5 (f) に示したように、キャリア層を除去する工程である。除去方法としては前述の方法が使用できるが、さらに接着力低下手段を行うことが好ましい。

【0050】

(工程 g)

(工程 g) は、図 5 (g) に示したように、外部接続端子 103 にはんだボール 114 を搭載する工程である。はんだボールには錫 - 鉛共晶はんだや鉛フリーはんだが用いられる。はんだボールを外部接続端子に固着する方法としては、N₂ リフロー装置を用いることができる。

【0051】

また、図 6 (h) には、ワイヤボンダタイプ半導体パッケージの実施形態の断面図を示した。半導体チップの搭載には、一般のダイボンダペーストも使用できるが、図 6 (f) に示したようにダイボンダフィルム 117 を用いるのがより好ましい。半導体チップと半導体チップ接続端子との電氣的な接続は金ワイヤ 115 を用いたワイヤボンダで行うのが好ましい。半導体チップの封止は、半導体用封止樹脂 116 をトランスファモールドで行うことができる。封止領域は、半導体チップの必要な部分だけを封止しても良いが、図 6 (f) のように半導体パッケージ領域全体を封止してもよい。これは、半導体パッケージ領域を行及び列に複数個配列した図 7 のような半導体チップ搭載基板において、基板と封止樹脂を同時にダイサー等で切断する場合、特に有効な方法である。

最後に、ダイサー等を用いて個々の半導体パッケージに切断する。

【実施例】

【0052】

次に、実施例を挙げて本発明を具体的に説明するが、本発明はこれら実施例に制限されるものではない。

実施例 1

(工程 a)

10

20

30

40

50

図5(a)に示したように、キャリア層110として75 μ m厚のポリエチレンナフタレートフィルムを用意し、その一方の面にシリコン系離型処理を行った後、離型処理側に接着剤である第1の絶縁層100としてポリイミド系接着剤N4(日立化成工業株式会社製、商品名)を10 μ mの厚みに塗布し、120で10分間、加熱・乾燥して、半硬化状にした。絶縁層表面の粗さは $R_a = 0.1\mu$ mであった。

次に、キャリア層110及び第1の絶縁層の外部接続端子が形成される位置に、ドリルを用いて直系0.35mmの開口107を形成した。

【0053】

(工程b)

図5(b)に示したように、第1の絶縁層に厚み18 μ mの銅箔を重ね、250で、2MPaの条件で加熱・加圧して、60分間保持することで積層一体化し、不要な銅箔の箇所をエッチング除去して第1の配線101を形成した。

【0054】

(工程c)

図5(c)に示したように、第1の配線表面に、シランカップリング剤処理をして配線表面にシランカップリング剤を含んだ皮膜(不図示)を形成した。このときの配線表面の粗さは $R_a = 0.15\mu$ mだった。その後(工程a)と同様にして第2の絶縁層102を形成し、250、60分の加熱処理を行い、N4を完全に硬化させた。次に、第2の絶縁層表面から第1の配線101に到達するまで、レーザで直径50 μ mの穴を形成した。レーザにはYAGレーザLAVIA-UV2000(住友重機械工業株式会社製、商品名)を使用し、周波数4KHz、ショット数20、マスク径0.4mmの条件で行い、開口内部のデスマリア処理として真空プラズマ処理を行った。使用したガスは、酸素とフレオンの混合ガスである。

次に、第2の配線104及び接続導体105(ブラインドビア)を形成するために、スパッタリングにより給電層となる下地金属Ni層20nmと薄膜銅層200nmとを形成した。スパッタリングは、日本真空技術株式会社製MLH-6315を用いて以下に示した条件で行った。

[条件]

(ニッケル)

電流：5.0A

電圧：350V

電圧アルゴン流量：35SCCM

圧力： 5×10^{-3} Torr (4.9×10^{-2} Pa)

成膜速度：0.3nm/秒

(銅)

電流：3.5A

電圧：500V

アルゴン流量：35SCCM

圧力： 5×10^{-3} Torr (4.9×10^{-2} Pa)

成膜速度：5nm/秒

【0055】

次に、めっきレジストPMER P-LA900PM(東京応化工業株式会社製、商品名)をスピンコート法で膜厚20 μ mのレジスト層を形成した。1000mJ/cm²の条件で露光し、PMER現像液P-7Gを用いて23で6分間浸漬揺動し、L/S=10 μ m/10 μ mのレジストパターンを形成した。その後、硫酸銅めっき液を用いてパターン銅めっきを約5 μ m行った。めっきレジストの剥離は、メチルエチルケトンを用いて室温(25)で1分間浸漬し除去した。銅スパッタ膜(シード層)のクイックエッチングには、CPE-700(三菱瓦斯化学株式会社製、商品名)の5倍希釈液を用いて、30で30秒間浸漬揺動することによりエッチング除去し、第2の配線104及び接続導体105を形成した。

10

20

30

40

50

【 0 0 5 6 】

(工 程 d)

図 5 (d) に示したように、第 2 の絶縁層 1 0 2 及び第 2 の配線 1 0 4 上にソルダレジストを絶縁被覆 1 0 6 として半導体チップ接続端子を除いて形成して、図 1 (1 パッケージ分の断面図)、図 3 (1 パッケージ分の平面図)、及び図 7 (半導体チップ搭載基板全体図) に示すようなファン - インタイプ B G A 用半導体チップ搭載基板を作製した。

【 0 0 5 7 】

(工 程 e)

図 5 (e) に示したように、前記 (工程 a) ~ (工程 d) により作製された半導体チップ搭載基板の半導体チップ搭載領域に、接続バンプ 1 1 2 の形成された半導体チップ 1 1 1 を、フリップチップボンダを用いて超音波を印加しながら必要な数だけ搭載した。さらに、半導体チップ搭載基板と半導体チップの隙間に、半導体チップ端部からアンダーフィル材 1 1 3 を注入し、オープンを用いて 8 0 で 1 時間の 1 次硬化、及び 1 5 0 で 4 時間の 2 次硬化を行った。

【 0 0 5 8 】

(工 程 f)

図 5 (f) に示したように、接着力低下手段として 8 5 / 8 5 % R H の吸湿処理を 2 4 時間行った後、キャリア層 1 1 0 を機械的に剥離した。吸湿処理後のキャリア層と第 1 の絶縁層の接着力は 1 0 0 N / m であった。

【 0 0 5 9 】

(工 程 g)

図 5 (g) に示したように、外部接続端子 1 0 3 に直径 0 . 4 5 m m の鉛・錫共晶はんだボール 1 1 4 を N₂ リフロー装置で融着した。最後に、幅 2 0 0 μ m のブレードを装着したダイサーで半導体チップ搭載基板を切断し、図 5 (g) に示した半導体パッケージを作製した。半導体パッケージの厚みは 0 . 8 m m であった。

【 0 0 6 0 】

実施例 2

(工 程 a)

図 6 (a) に示したように、キャリア層 1 1 0 として 1 0 0 μ m 厚のガラスクロス入りポリフェニレンサルファイドフィルムを用意し、片面に銅箔を形成した。次に、銅箔の不要な部分をエッチングし、直径 0 . 3 5 m m の外部接続端子 1 0 3 を形成した。さらに、レーザを用いてキャリア層 1 1 0 に、外部接続端子に達する開口 1 0 7 を形成した。

【 0 0 6 1 】

(工 程 b)

図 6 (b) に示したように、外部接続端子 1 0 3 上に第 1 の接続導体 1 0 8 として高さ 1 2 μ m の銅バンプを形成した。次に、キャリア層 1 1 0 の外部接続端子を形成した側に、第 1 の絶縁層 1 0 0 を次のように形成した。すなわち、絶縁樹脂材料である F T F (日立化成工業株式会社製、商品名) を用いて、スピンコート法で、1 7 0 0 r p m で 1 5 μ m 厚の絶縁層を形成し、5 0 、 1 5 分、1 0 0 、 1 5 分、1 5 0 、 1 5 分、2 0 0 、 6 0 分間順次加熱硬化して第 1 の絶縁層 1 0 0 を形成した。その後、第 1 の絶縁層 1 0 0 が約 1 0 μ m になるまで研磨し、表面に第 1 の銅バンプを露出させた。このときの第 1 の絶縁層 1 0 0 の表面粗さは R a = 0 . 0 8 μ m であった。

【 0 0 6 2 】

(工 程 c)

図 6 (c) に示したように、第 1 の配線 1 0 1 を形成するために、スパッタリングにより給電層となる接着金属としてニッケル層 2 0 n m と薄膜銅層 2 0 0 n m とを形成した。スパッタリングは、日本真空技術株式会社製 M L H - 6 3 1 5 を用いて以下に示した条件で行った。

〔 条 件 〕

(ニ ッ ケ ル)

10

20

30

40

50

電流：5.0 A

電圧：350 V

電圧アルゴン流量：35 SCCM

圧力： 5×10^{-3} Torr (4.9×10^{-2} Pa)

成膜速度：0.3 nm / 秒

(銅)

電流：3.5 A

電圧：500 V

アルゴン流量：35 SCCM

圧力： 5×10^{-3} Torr (4.9×10^{-2} Pa)

成膜速度：5 nm / 秒

10

【0063】

次に、めっきレジストPMER P-LA900PM(東京応化工業株式会社製、商品名)をスピンコート法で膜厚20 μ mのレジスト層を形成した。1000mJ/cm²の条件で露光し、PMER現像液P-7Gを用いて23 μ mで6分間浸漬揺動し、L/S=10 μ m/10 μ mのレジストパターンを形成した。その後、硫酸銅めっき液を用いてパターン銅めっきを約5 μ m行った。めっきレジストの剥離は、メチルエチルケトンを用いて室温(25 $^{\circ}$ C)で1分間浸漬し除去した。銅スパッタ膜(シード層)のクイックエッチングには、CPE-700(三菱瓦斯化学株式会社製、商品名)の5倍希釈液を用いて、30 μ mで30秒間浸漬揺動することによりエッチング除去し第1の配線を形成した。

20

【0064】

(工程d)

図6(d)に示したように、(工程b)と同様にして第2の接続導体として直径50 μ m、高さ12 μ mの第2の銅パンプ109をめっきで形成した後、第1の配線101表面に、シランカップリング剤処理をして配線表面にシランカップリング剤を含んだ皮膜(不図示)を形成した。次に(工程b)と同様にして第2の絶縁層102を約10 μ m形成し、表面に第2の銅パンプを露出させた。さらに(工程c)と同様にして第2の配線104を形成した。

【0065】

(工程e)

図6(e)に示したように、第2の絶縁層102及び第2の配線104上にソルダレジスト106を絶縁被覆として半導体チップ接続端子を除いて形成して、図2(1パッケージ分の断面図)、図3(1パッケージ分の平面図)、及び図7(半導体チップ搭載基板全体図)に示すようなファン-インタイプBGA用半導体チップ搭載基板を作製した。

30

【0066】

(工程f)

図6(f)に示したように、前記(工程a)~(工程e)により作製された半導体チップ搭載基板の半導体チップ搭載領域に、ダイボンドフィルムDF-100(日立化成工業株式会社製、商品名)117を仮接着した半導体チップ111を必要な数だけ搭載した。このときダイボンドフィルム117は、まだ半硬化の状態を保つようにした。次に、ワイヤボンダUTC230(株式会社新川製、商品名)で、半導体チップ上の端子と半導体チップ搭載基板の半導体チップ接続端子とを、直径25 μ mの金ワイヤ115で電氣的に接続した。さらに、半導体チップを封止樹脂116であるCEL9200(日立化成工業株式会社製、商品名)を用いて、圧力10MPa、温度180 $^{\circ}$ C、時間90秒で、図7に示す1つのブロック23を一体にトランスファモールドした。次に、温度180 $^{\circ}$ Cのオーブンで5時間の熱処理を行い、封止樹脂116及びダイボンドフィルム117を完全硬化した。

40

【0067】

(工程g)

図6(g)に示したように、接着力低下手段として85 $\%$ / 85%RHの吸湿処理を2

50

4時間行った後、キャリア層110を機械的に剥離した。吸湿処理後のキャリア層と第1の接着剤の接着力は200N/mであった。

【0068】

(工程h)

図6(h)に示したように、外部接続端子103に直径0.45mmの鉛・錫共晶はんだボール114をN₂リフロー装置で融着した。最後に、幅200μmのブレードを装着したダイサーで封止樹脂と半導体チップ搭載基板を同時に切断し、図6(h)に示した半導体パッケージを作製した。半導体パッケージの厚みは1.2mmであった。

【0069】

比較例

図8に示したように、コア基板130として0.4mm厚のガラス布エポキシ樹脂基板を用い、このガラス布エポキシ樹脂基板の半導体チップ搭載面とは反対面に2層の絶縁層及び配線層を設けた半導体チップ搭載基板を作製した。その後、実施例1の(工程e)及び(工程g)と同様にして、ファン-インタイプBGA半導体パッケージを作製した。半導体パッケージの厚みは1.5mmであった。

【0070】

以上のように作製した各半導体パッケージに、以下の試験を行った。

半導体パッケージの信頼性試験：

各々の半導体パッケージサンプルを、吸湿処理を行った後、サンプル数22個を到達温度240℃、長さ2mのリフロー炉に0.5m/分の条件で流してリフローし、クラックの発生を調べた。リフロー後にクラックが発生した数をNG数として、その結果を表1に示した。また、同様に半導体パッケージの数22個を厚さ0.8mmのマザーボードに実装し、-55～125℃、各30分の条件で温度サイクル試験を行い、はんだボールの接続信頼性を調べた。温度サイクル試験後の接続不良の数を温度サイクル試験後のNG数とし、その結果を表2に示した。

【0071】

【表1】

	リフロー後のNG数
実施例1	0/22
実施例2	0/22
比較例	11/22

【0072】

【表2】

	温度サイクル試験後のNG数		
	500回	1000回	1500回
実施例1	0/22	0/22	0/22
実施例2	0/22	0/22	0/22
比較例	2/22	8/22	22/22

【0073】

本発明の半導体チップ搭載基板の製造方法により製造した半導体チップ搭載基板を用いた実施例1、2は、リフロー試験、温度サイクル試験による接続信頼性が優れている。これに対し、本発明の製造方法によらない比較例は、接続信頼性に劣る。このように、本発明によれば、高密度実装可能な、薄型で温度サイクル性等の信頼性に優れた半導体パッケージと、それに用いる半導体チップ搭載基板及びそれらの製造方法を提供することができる。

また、微細配線を精度良く形成でき、高速電気信号を効率よく伝送できる半導体チップ

10

20

30

40

50

搭載基板、半導体パッケージを提供することができる。

【図面の簡単な説明】

【0074】

【図1】本発明の一実施形態が適用される半導体チップ搭載基板の断面図。

【図2】本発明の別の実施形態が適用される半導体チップ搭載基板の断面図。

【図3】本発明の一実施形態であるファン・インタイプ半導体チップ搭載基板の平面図。

【図4】本発明の別の実施形態であるファン・アウトタイプ半導体チップ搭載基板の平面図。

【図5】(a)～(g)は、本発明の半導体チップ搭載基板及び半導体パッケージの製造方法の一実施形態を示す工程図。

10

【図6】(a)～(h)は、本発明の半導体チップ搭載基板及び半導体パッケージの製造方法の別の実施形態を示す工程図。

【図7】(a)は、本発明のフレーム形状半導体チップ搭載基板の一例を表す全体の平面図であり、(b)は、(a)の破線部分の拡大図。

【図8】従来の半導体チップ搭載基板を用いたフリップチップタイプ半導体パッケージの断面図。

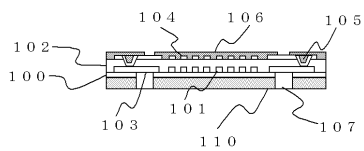
【符号の説明】

【0075】

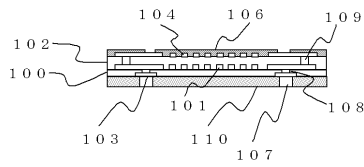
11	位置合わせ用ガイド穴	
13	半導体パッケージ領域	20
14	ダイボンドフィルム接着領域(フリップチップタイプ)	
15	半導体チップ搭載領域(フリップチップタイプ)	
16	半導体チップ接続端子	
17	ダイボンドフィルム接着領域(ワイヤボンドタイプ)	
18	半導体チップ搭載領域(ワイヤボンドタイプ)	
19	外部接続端子	
20	展開配線	
21	ダミーパターン	
22	半導体チップ搭載基板	
23	ブロック	30
24	補強パターン	
25	切断位置合わせマーク	
100	第1の絶縁層	
101	第1の配線	
102	第2の絶縁層	
103	外部接続端子	
104	第2の配線	
105	接続導体(ブラインドビア)	
106	絶縁被覆(ソルダレジスト)	
107	開口	40
108	第1の接続導体(金属バンプ)	
109	第2の接続導体(金属バンプ)	
110	キャリア層	
111	半導体チップ	
112	接続バンプ	
113	アンダーフィル材	
114	はんだボール	
115	金ワイヤ	
116	封止樹脂	
117	ダイボンドフィルム	50

1 3 0 コア基板

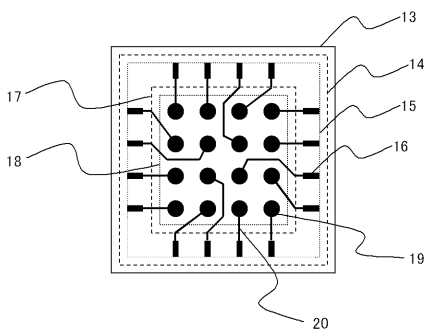
【 図 1 】



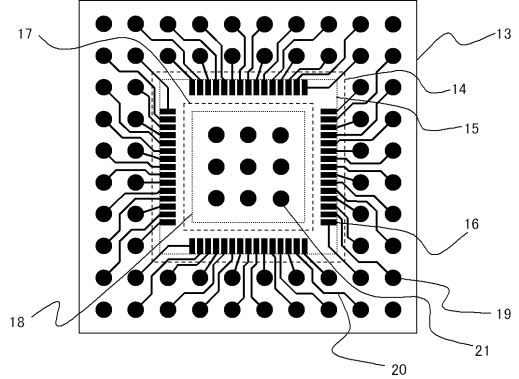
【 図 2 】



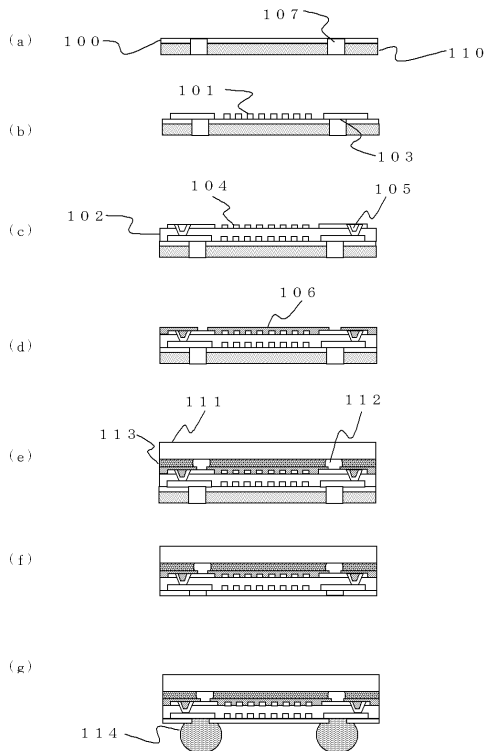
【 図 3 】



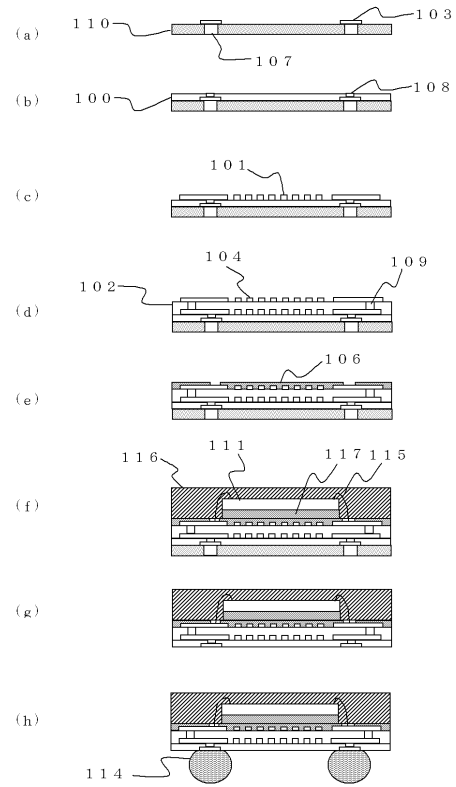
【 図 4 】



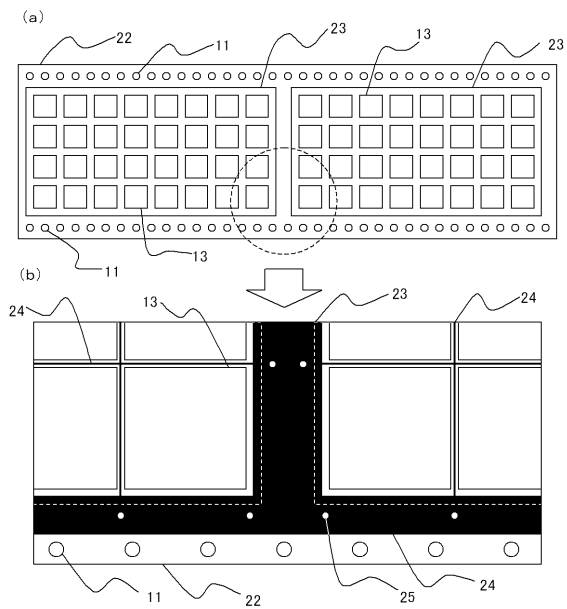
【 図 5 】



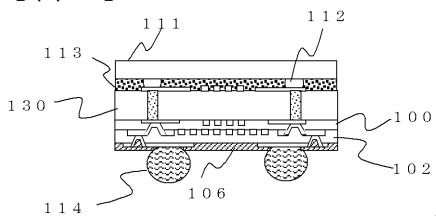
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 中祖 昭士

茨城県下館市大字小川1500番地 日立化成工業株式会社総合研究所内