



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월21일

(11) 등록번호 10-1605026

(24) 등록일자 2016년03월15일

(51) 국제특허분류(Int. Cl.)

H04N 5/335 (2011.01) H01L 27/146 (2006.01)

(21) 출원번호 10-2009-0063027

(22) 출원일자 2009년07월10일

심사청구일자 2014년07월10일

(65) 공개번호 10-2010-0007796

(43) 공개일자 2010년01월22일

(30) 우선권주장

JP-P-2008-180776 2008년07월10일 일본(JP)

(56) 선행기술조사문헌

KR1020060027137 A*

JP2007310628 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시카기이사 한도오마이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

히로세 아쓰시

일본 243-0036, 카나가와켄, 아쓰기시, 하세, 398, 가부시카기이사 한도오마이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 17 항

심사관 : 김응권

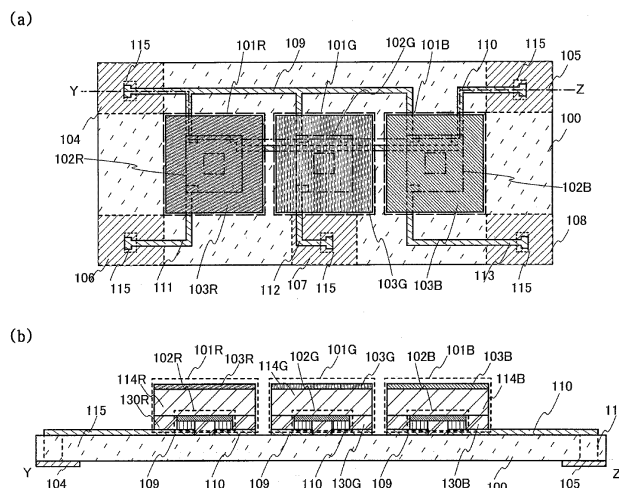
(54) 발명의 명칭 컬러 센서 및 상기 컬러 센서를 구비하는 전자기기

(57) 요약

복수의 광 센서들을 구비하는 컬러 센서는 광 센서의 집적화와 소형화에 수반하여 광 센서의 단자수가 증가되고 있으므로, 외부와 접속하기 위한 단자수의 감소를 도모할 수 있는 컬러 센서를 제공하는 것을 과제의 하나로 한다.

광전 변환 소자, 및 광 필터가 투광성 기관 위에 형성된 복수의 광 센서를 갖고, 복수의 광 센서에 있어서의 광 필터는 각각 상이한 광 투과 특성을 구비하고, 복수의 광 센서가 외부 기기와 전기적으로 접속하기 위한 복수의 단자 전극을 갖는 인터포저 위에 실장되고, 인터포저는 고전원 전위를 입력하기 위한 단자 전극과 복수의 광 센서가 전기적으로 접속, 및 저전원 전위를 입력하기 위한 단자 전극과 복수의 광 센서가 전기적으로 접속되기 위하여 복수의 분기를 갖는 배선을 구비한다.

대표도



명세서

청구범위

청구항 1

반도체 장치에 있어서:

인터포저 및

상기 인터포저의 표면 위의 복수의 광 센서들로서, 상기 복수의 광 센서들의 각각은 광전류 변환 회로부, 투광성 기관과 광 필터를 포함하는, 상기 복수의 광 센서들을 포함하고,

상기 복수의 광 센서들의 상기 광 필터들은 서로 상이한 광 투과성을 갖고,

상기 광전류 변환 회로부는 상기 투광성 기관에 접하고,

상기 인터포저는 제 1 단자 전극과 상기 복수의 광 센서들 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 1 배선과, 제 2 단자 전극과 상기 복수의 광 센서들 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 2 배선을 갖고,

상기 제 1 단자 전극은 고전원 전위를 입력하고, 상기 제 2 단자 전극은 저전원 전위를 입력하고,

상기 인터포저의 상기 표면 위의 상기 광 필터들 중 하나는 상기 인터포저의 이면상에 제공된 제 1 단자 전극과 중첩하는, 반도체 장치.

청구항 2

삭제

청구항 3

반도체 장치에 있어서:

인터포저 및

상기 인터포저의 표면 위의 광 센서로서, 상기 광 센서는 복수의 광전류 변환 회로부들, 복수의 투광성 기관들과 복수의 광 필터들을 포함하는, 상기 광 센서를 포함하고,

상기 복수의 광 필터들은 서로 상이한 광 투과성을 갖고, 상기 복수의 광전류 변환 회로부들의 각각은 상기 복수의 투광성 기관들의 각각에 접하고,

상기 인터포저는 제 1 단자 전극과 상기 광 센서 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 1 배선과, 제 2 단자 전극과 상기 광 센서 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 2 배선을 갖고,

상기 제 1 단자 전극은 고전원 전위를 입력하고, 상기 제 2 단자 전극은 저전원 전위를 입력하고,

상기 인터포저의 상기 표면 위의 상기 복수의 광 필터들 중 제 1 광 필터 및 제 2 광 필터는 각각 상기 인터포저의 이면 상에 제공되는 상기 제 1 단자 전극 및 상기 제 2 단자 전극과 중첩하는, 반도체 장치.

청구항 4

삭제

청구항 5

반도체 장치에 있어서:

인터포저;

상기 인터포저의 표면 위의 복수의 광 센서들로서, 상기 복수의 광 센서들의 각각은 광전류 변환 소자, 광전류

변환 회로부, 투광성 기관 및 광 필터를 포함하는, 상기 복수의 광 센서들;

상기 인터포저의 상기 표면 위의 제 1 및 제 2 배선들로서, 제 1 및 제 2 배선들의 각각은 상기 복수의 광 센서들에 전기적으로 접속되는, 상기 제 1 및 제 2 배선들;

상기 인터포저의 이면 상에 제공되는 제 1 및 제 2 단자 전극들로서, 상기 제 1 및 제 2 단자 전극들은 각각 상기 제 1 및 제 2 배선들에 전기적으로 접속되는, 상기 제 1 및 제 2 단자 전극들을 포함하고,

상기 광 필터들은 서로 상이한 광 투과성을 갖고,

상기 광전류 변환 회로부는 상기 투광성 기관에 접하고,

상기 제 1 단자 전극은 고전원 전위를 입력하고 상기 제 2 단자 전극은 저전원 전위를 입력하고,

제 1 및 제 2 광 필터들은 상기 인터포저를 사이에 두고 각각 상기 제 1 및 제 2 단자 전극들과 중첩하는, 반도체 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

반도체 장치에 있어서:

인터포저;

상기 인터포저의 표면 위의 광 센서로서, 상기 광 센서는 복수의 광전 변환 소자들, 복수의 광전류 변환 회로부들, 복수의 투광성 기관들 및 복수의 광 필터들을 포함하는, 상기 광 센서;

상기 인터포저의 상기 표면 위의 제 1 및 제 2 배선들로서, 제 1 및 제 2 배선들의 각각은 상기 광 센서에 전기적으로 접속되는, 상기 제 1 및 제 2 배선들; 및

상기 인터포저의 이면 상에 제공되는 제 1 및 제 2 단자 전극들로서, 상기 제 1 및 제 2 단자 전극들은 각각 상기 제 1 및 제 2 배선들에 전기적으로 접속되는, 상기 제 1 및 제 2 단자 전극들을 포함하고,

상기 복수의 광 필터들은 서로 상이한 광 투과성을 갖고,

상기 복수의 광전류 변환 회로부들의 각각은 상기 복수의 투광성 기관들의 각각에 접하고,

상기 제 1 단자 전극은 고전원 전위를 입력하고 상기 제 2 단자 전극은 저전원 전위를 입력하고,

제 1 및 제 2 광 필터들은 상기 인터포저를 사이에 두고 각각 상기 제 1 및 제 2 단자 전극들과 중첩하는, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

반도체 장치에 있어서:

표시 장치;

상기 표시 장치에 동작적으로 접속되는 컬러 센서로서, 상기 컬러 센서는 인터포저의 표면 위에 복수의 광 센서들을 포함하고, 상기 복수의 광 센서들의 각각은 광전류 변환 회로부, 투광성 기관과 광 필터를 포함하는, 상기 컬러 센서; 및

상기 인터포저의 이면 상에 제공된 제 1 및 제 2 단자 전극들을 포함하고,

상기 복수의 광 센서들의 상기 광 필터는 서로 상이한 광 투과성을 갖고,

상기 광전류 변환 회로부는 상기 투광성 기관에 접하고,

상기 인터포저는 상기 제 1 단자 전극과 상기 복수의 광 센서들 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 1 배선과, 상기 제 2 단자 전극과 상기 복수의 광 센서들 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 2 배선을 갖고,

상기 제 1 단자 전극은 고전원 전위를 입력하고 상기 제 2 단자 전극은 저전원 전위를 입력하고,

상기 복수의 광 필터들 중 제 1 광 필터 및 제 2 광 필터는 상기 인터포저를 사이에 두고 각각 상기 제 1 및 제 2 단자 전극들과 중첩하는, 반도체 장치.

청구항 14

삭제

청구항 15

제 13 항에 있어서,

상기 복수의 광 센서들의 각각은 광전 변환 소자를 포함하는, 반도체 장치.

청구항 16

제 5 항 또는 제 15 항에 있어서,

상기 광전류 변환 회로부는 상기 광전 변환 소자로부터의 출력을 대수 압축하고, 상기 출력을 출력하기 위한 회로인, 반도체 장치.

청구항 17

제 5 항 또는 제 15 항에 있어서,

상기 광전류 변환 회로부는 상기 광전 변환 소자로부터의 출력을 디지털 신호로서 출력하기 위한 회로인, 반도체 장치.

청구항 18

반도체 장치에 있어서:

표시 장치;

상기 표시 장치에 동작적으로 접속되는 컬러 센서로서, 상기 컬러 센서는 인터포저의 표면 위에 광 센서를 포함하고, 상기 광 센서는 복수의 광전류 변환 회로부들, 복수의 투광성 기관들과 복수의 광 필터들을 포함하는, 상기 컬러 센서; 및

상기 인터포저의 이면 상에 제공되는 제 1 및 제 2 단자 전극들을 포함하고,

상기 복수의 광 필터들은 서로 상이한 광 투과성을 갖고,

상기 복수의 광전류 변환 회로부들의 각각은 상기 복수의 투광성 기관들의 각각에 접하고,

상기 인터포저는 상기 제 1 단자 전극과 상기 광 센서 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 1 배선과, 상기 제 2 단자 전극과 상기 광 센서 사이를 전기적으로 접속하기 위한 복수의 분기들을 갖는 제 2 배선을 갖고,

상기 제 1 단자 전극은 고전원 전위를 입력하고 상기 제 2 단자 전극은 저전원 전위를 입력하고,

상기 복수의 광 필터들 중 제 1 광 필터 및 제 2 광 필터는 상기 인터포저를 사이에 두고 각각 상기 제 1 및 제 2 단자 전극들과 중첩하는, 반도체 장치.

청구항 19

제 1 항, 제 3 항, 제 5 항, 제 9 항, 제 13 항 및 제 18 항 중 어느 한 항에 기재되는 상기 반도체 장치를 포함하는, 전자 장치.

청구항 20

제 18 항에 있어서,

상기 광 센서는 복수의 광전 변환 소자들을 더 포함하는, 반도체 장치.

청구항 21

제 9 항 또는 제 20 항에 있어서,

상기 복수의 광전류 변환 회로부들의 각각은 상기 광전 변환 소자로부터의 출력을 대수 압축하고, 상기 출력을 출력하기 위한 회로인, 반도체 장치.

청구항 22

제 9 항 또는 제 20 항에 있어서,

상기 복수의 광전류 변환 회로부들의 각각은 상기 광전 변환 소자로부터의 출력을 디지털 신호로서 출력하기 위한 회로인, 반도체 장치.

청구항 23

제 1 항, 제 3 항, 제 5 항, 제 9 항, 제 13 항 및 제 18 항 중 어느 한 항에 있어서,

상기 제 1 배선은 상기 인터포저의 제 1 개구를 통하여 상기 제 1 단자 전극에 접속되고, 상기 제 2 배선은 상기 인터포저의 제 2 개구를 통하여 상기 제 2 단자 전극에 접속되는, 반도체 장치.

청구항 24

제 1 항, 제 3 항, 제 5 항, 제 9 항, 제 13 항 및 제 18 항 중 어느 한 항에 있어서,

상기 인터포저의 재료는 유기 폴리머, 무기 폴리머, 유리 에폭시, 세라믹, 폴리이미드, 불소 수지로 구성된 그룹에서 선택된, 반도체 장치.

청구항 25

제 1 항, 제 5 항 및 제 13 항 중 어느 한 항에 있어서,

상기 복수의 광 센서들 각각은 칩 형상인, 반도체 장치.

청구항 26

제 3 항, 제 9 항 및 제 18 항 중 어느 한 항에 있어서,

상기 광 센서는 칩 형상인, 반도체 장치.

발명의 설명

발명의 상세한 설명

기술분야

[0001] 본 발명은 컬러 센서에 관한 것이다. 또한, 상기 컬러 센서를 구비하는 전자기기에 관한 것이다.

배경기술

[0002] 광의 강도를 전기적인 신호로 변환하여 출력하는 광 센서는 많이 알려져 있고, 자외선으로부터 적외선에 걸쳐 감도를 갖는 것이다. 광 센서는 인간의 생활 환경에 따라 조도 조정이나 온 또는 오프 제어 등이 필요한 기기에 많이 사용된다.

[0003] 표시 장치에는 표시 장치의 주위의 밝기를 검출하고, 그 표시 휘도를 조정하는 것도 있다. 광 센서에 의하여 주위의 밝기를 검출하여 적당한 표시 휘도를 얻음으로써, 시인성을 향상시켜 표시 장치의 낭비 전력을 저감할 수 있기 때문이다. 예를 들어, 휘도 조정용의 광 센서를 구비하는 표시 장치로서는, 휴대 전화, 표시부를 갖는 컴퓨터를 들 수 있다. 또한, 표시부 주위의 밝기뿐만 아니라, 표시 장치, 특히 액정 표시 장치의 백 라이트의 휘도를 광 센서에 의하여 검출하고, 표시 화면의 휘도를 조절하기도 한다.

[0004] 광 센서는 광 센싱(sensing) 부분에 포토다이오드 등의 광전 변환 소자를 사용하여 광전 변환 소자에 흐르는 전류량에 의거하여 조도를 검출할 수 있다. 특허문헌 1에는 광 센서의 조도의 다이내믹 레인지(dynamic range)를 얻기 위하여 광전 변환 소자로부터 생기는 광전류를 다이오드 소자에 흘림으로써, 대수 압축된 전압 값에 의한 출력 신호를 얻는 구성에 대하여 기재된다. 또한, 대수 압축이란 광전 변환 소자에 입사하는 광 조도, 즉 광전류의 값을 변수로 하여 출력되는 전류 값 또는 전압 값을 대수의 함수로서 얻는 것을 가리킨다. 또한, 특허문헌 1에는 입사 광량에 따라 포토 다이오드로부터 흐르는 전류에 의하여 얻어지는 아날로그 값을 디지털 값으로 변환한 출력 신호로 하는 구성에 대하여 기재한다.

[0005] 또한, 특허문헌 2에는 복수의 광 센서를 기판 위에 형성하고, 파장이 상이한 광을 수광(受光)하는 컬러 센서에 대하여 기재한다.

[0006] [특허문헌 1] 특개2008-124568호 공보

[0007] [특허문헌 2] 특개2006-135320호 공보

발명의 내용

해결하고자하는 과제

[0008] 특허문헌 2에 제시하는 복수의 광 센서를 구비하는 컬러 센서는 대면적 기판을 반도체 소자층마다 분단하여 기판에 실장한다. 기판에 실장되는 복수의 광 센서는 선택적으로 형성할 수 있기 때문에, 각각 광 투과 특성이 상이한 광 센서를 조합하여 실장하여 컬러 센서를 제작할 수 있다.

[0009] 그러나, 특허문헌 1에 제시하는 바와 같이, 광 센서의 집적화와 소형화에 수반하여, 광 센서의 단자수가 증가되고 있는 것이 현상이다. 따라서, 컬러 센서를 제작할 때 조합하는 광 센서의 실장 수에 비례하여 단자수가 증가되므로, 기판 측에서는 외부 기기와 전기적으로 접속하기 위한 단자 전극의 개수가 증가되어 버린다.

[0010] 본 발명의 일 형태는 상술한 과제를 해결하기 위하여 안출된 것이고, 외부 기기와 전기적으로 접속하기 위한 단자 전극의 감소를 도모할 수 있는 컬러 센서를 제공하는 것을 과제의 하나로 한다.

과제 해결수단

[0011] 본 발명의 일 형태는 광전 변환 소자, 및 광 필터가 투광성 기판 위에 형성된 복수의 광 센서를 갖고, 복수의 상기 광 센서에 있어서의 상기 광 필터는 각각 상이한 광 투과 특성을 구비하고, 복수의 상기 광 센서가 외부 기기와 전기적으로 접속하기 위한 복수의 단자 전극을 갖는 인터포저 위에 실장되고, 상기 인터포저는 고전원 전위를 입력하기 위한 상기 단자 전극과 복수의 상기 광 센서가 전기적으로 접속, 및 저전원 전위를 입력하기 위한 상기 단자 전극과 복수의 상기 광 센서를 전기적으로 접속하기 위하여 복수의 분기를 갖는 배선을 구비하는 컬러 센서이다.

[0012] 또한, 본 발명의 일 형태는 복수의 광전 변환 소자, 및 복수의 광 필터가 투광성 기판 위에 형성된 광 센서를 갖고, 복수의 상기 광 필터는 각각 상이한 광 투과 특성을 구비하고, 상기 광 센서가 외부 기기와 전기적으로 접속하기 위한 복수의 단자 전극을 갖는 인터포저 위에 실장되고, 상기 인터포저는 고전원 전위를 입력하기 위

한 상기 단자 전극과 상기 광 센서가 전기적으로 접속, 및 저전원 전위를 입력하기 위한 상기 단자 전극과 상기 광 센서가 전기적으로 접속하기 위하여 복수의 분기를 갖는 배선을 구비하는 컬러 센서이다.

[0013] 또한, 본 발명의 일 형태는 광전 변환 소자, 광전류 변환 회로부, 및 광 필터가 투광성 기관 위에 형성된 복수의 광 센서를 갖고, 복수의 상기 광 센서에 있어서의 상기 광 필터는 각각 상이한 광 투과 특성을 구비하고, 복수의 상기 광 센서가 외부 기기와 전기적으로 접속하기 위한 복수의 단자 전극을 갖는 인터포저 위에 실장되고, 상기 인터포저는 고전원 전위를 입력하기 위한 상기 단자 전극과 복수의 상기 광 센서가 전기적으로 접속, 및 저전원 전위를 입력하기 위한 상기 단자 전극과 복수의 상기 광 센서가 전기적으로 접속하기 위하여 복수의 분기를 갖는 배선을 구비하고, 복수의 상기 단자 전극과 상기 광전류 변환 회로부는 이간되어 형성되는 컬러 센서이다.

[0014] 또한, 본 발명의 일 형태는 복수의 광전 변환 소자, 복수의 광전류 변환 회로부, 및 복수의 광 필터가 투광성 기관 위에 형성된 광 센서를 갖고, 복수의 상기 광 필터는 각각 상이한 광 투과 특성을 구비하고, 상기 광 센서가 외부 기기와 전기적으로 접속하기 위한 복수의 단자 전극을 갖는 인터포저 위에 실장되고, 상기 인터포저는 고전원 전위를 입력하기 위한 상기 단자 전극과 상기 광 센서가 전기적으로 접속, 및 저전원 전위를 입력하기 위한 상기 단자 전극과 상기 광 센서가 전기적으로 접속하기 위하여 복수의 분기를 갖는 배선을 구비하고, 복수의 상기 단자 전극과 복수의 상기 광전류 변환 회로부는 이간하여 형성되는 컬러 센서이다.

효 과

[0015] 본 발명의 일 형태에 의하여, 외부와 접속하기 위한 단자 전극수의 감소를 도모할 수 있는 컬러 센서로 할 수 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 다만, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 실시형태를 설명하기 위한 모든 도면에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0017] (실시형태 1)

[0018] 본 실시형태에서는, 외부와 접속하기 위한 단자수의 감소를 도모할 수 있는 컬러 센서에 대하여 설명한다. 또한, 본 실시형태에서 설명하는 광 센서는 고전원 전위 Vdd 및 저전원 전위 Vss에 접속된 광전류 변환 회로부에 의하여, 광전 변환 소자에 의하여 얻어지는 입사 광량에 관한 신호를 전류 값 또는 전압 값으로서 외부에 출력, 또는 디지털 신호로서 외부에 출력하는 것이다.

[0019] 도 1a, 도 1b에 본 실시형태의 컬러 센서를 도시한다. 도 1a는 컬러 센서의 상면도이고, 도 1b는 도 1a의 선 Y-Z의 단면도이다.

[0020] 도 1a에 도시하는 상면도에 있어서, 컬러 센서는 광 센서(101R, 101G, 101B)를 인터포저(100)에 실장하여 갖는 구조이다. 광 센서(101R)는 광전류 변환 회로부(102R)를 갖고, 광 입사면에 광 필터(103R)를 구비하는 구성이다. 광 센서(101G)는 광전류 변환 회로부(102G)를 갖고, 광 입사면에 광 필터(103G)를 구비하는 구성이다. 광 센서(101B)는 광전류 변환 회로부(102B)를 갖고, 광 입사면에 광 필터(103B)를 구비하는 구성이다. 또한, 인터포저(100)에는 광 센서(101R, 101G, 101B)가 형성되지 않는 면(이하, 이면이라고도 함)에 외부와의 전기적 접속을 행하기 위한 전극인 단자 전극(104, 105, 106, 107, 108; 단순히 단자라고 함)이 형성된다. 또한, 인터포저(100)에는 광 센서(101R, 101G, 101B)와 접하는 면(이하, 표면이라고 함)에 단자 전극(104, 105, 106, 107, 108)과, 광 센서(101R, 101G, 101B)를 전기적으로 접속하기 위한 도전층인 배선(109, 110, 111, 112, 113)이 형성된다. 또한, 인터포저(100)는 점선(115)으로 도시하는 바와 같이, 배선(109, 110, 111, 112, 113)과 단자 전극(104, 105, 106, 107, 108)을 전기적으로 접속하기 위한 표면과 이면을 관통하는 개구가 복수 형성된다.

[0021] 도 1b에 도시하는 단면도에 있어서, 광 센서(101R)는 광전류 변환 회로부(102R)와 광 필터(103R) 사이에 투광성 기관(114R)을 구비하는 구성이다. 또한, 광 센서(101G)는 광전류 변환 회로부(102G)와 광 필터(103G) 사이에 투광성 기관(114G)을 구비하는 구성이다. 또한, 광 센서(101B)는 광전류 변환 회로부(102B)와 광 필터(103B) 사이에 투광성 기관(114B)을 구비하는 구성이다. 또한, 인터포저(100)는 도 1b의 점선(115)으로 도시하는 바와

같이, 표면과 이면을 관통하는 개구를 복수 갖고, 배선(109, 110, 111, 112, 113)에 의하여 광 센서(101R, 101G, 101B)와 단자 전극(104, 105, 106, 107, 108)을 전기적으로 접속한다. 따라서, 단자 전극(104, 105, 106, 107, 108)은 광 센서(101R, 101G, 101B)의 외부 전극으로서 다른 기판에 실장할 수 있다. 또한, 광 센서(101R, 101G, 101B)와 인터포저(100) 사이에 수지(130R, 130G, 130B)를 형성하여 고착하면 고착 강도가 향상되기 때문에 바람직하다.

[0022] 또한, 광 필터(103R, 103G, 103B)는 유채색의 투광성 수지층으로 구성되고, 각각 상이한 광 투과 특성을 갖는 것이다. 일례로서는 광 센서(101R)는 적색을 투과하는 광 필터(103R), 광 센서(101G)는 녹색을 투과하는 광 필터(103G), 광 센서(101B)는 청색을 투과하는 광 필터(103B)를 각각 갖고, 각각의 광 센서(101R, 101G, 101B)를 투과한 색의 광을 검지할 수 있다. 따라서, 광 필터(103R, 103G, 103B)를 포함하는 본 실시형태의 컬러 센서는 3종류의 색깔(적색, 녹색, 청색)의 광을 각각 검지할 수 있는 컬러 센서이다.

[0023] 유채색은 흑색, 회색, 백색 등의 무채색을 제외한 색깔이고, 광 필터(103R, 103G, 103B)를 컬러 필터로서 기능시키기 때문에, 그 착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색으로서, 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안(cyan), 마젠타(magenta), 옐로우(yellow)(황색) 등을 사용하여도 좋다.

[0024] 또한, 광 센서(101R, 101G, 101B)와 인터포저(100)의 배선의 접속 부분의 구조로서는, 인터포저(100) 위의 배선과 광 센서(101R, 101G, 101B)의 단자에 형성된 도전성의 돌기물인 범프(bump)를 접촉시켜 인터포저(100)와 광 센서(101R, 101G, 101B)를 수지로 고정하여도 좋다. 또한, 인터포저(100)의 배선과, 광 센서(101R, 101G, 101B)의 각 단자 사이에 도전성 입자를 분산시킨 수지를 형성하고, 이 도전성 입자로 광 센서(101R, 101G, 101B)와 인터포저(100)의 배선을 접속하고, 도전성 입자를 분산시킨 유기 수지로 접착하여 고정하여도 좋다. 또한, 접착에 사용하는 수지로서는, 광 경화성의 수지나 열 경화성의 수지, 또는 자연 경화성의 수지 등을 사용할 수 있다.

[0025] 또한, 인터포저(100)의 재료로서는, 유기 폴리머, 무기 폴리머, 유리 에폭시계나 세라믹계, 폴리이미드, 불소 수지 등을 사용할 수 있다.

[0026] 또한, 인터포저(100)의 두께는 50 μ m 내지 300 μ m(대표적으로는 100 μ m 내지 200 μ m) 정도이다. 두께가 더 얇은 인터포저를 사용하면, 컬러 센서의 박형화의 효과를 더 높일 수 있다.

[0027] 또한, 도 1a의 상면도 및 도 1b의 단면도에 도시하는 바와 같이, 인터포저(100)의 표면과 이면에 있어서, 단자 전극(104, 105, 106, 107, 108)과 광전류 변환 회로부(102R, 102G, 102B)의 배치가 중첩하지 않도록 하는 것이 바람직하다. 그 이유는 단자 전극(104, 105, 106, 107, 108)과 외부 기기를 전기적으로 접속하기 위하여 땀납 등의 가열 처리를 수반하는 경우, 단자 전극(104, 105, 106, 107, 108)으로부터 열이 이동함으로써 광전류 변환 회로부(102R, 102G, 102B)의 불량이 발생하는 것을 저감할 수 있기 때문이다. 또한, 열의 방산을 촉진하기 위하여 배선(109 내지 113)은 인터포저(100) 위에서는 광전류 변환 회로부(102R, 102G, 102B)로부터 이간하여 형성하는 것이 바람직하다.

[0028] 또한, 도 1a 및 도 1b에서는 인터포저(100)의 표면과 이면에 있어서, 광 필터(103R, 103G, 103B)와 단자 전극(104, 105, 106, 107, 108)을 이간하여 형성하는 구성에 대하여 도시한다. 도 9a 및 도 9b의 상면도 및 단면도에 도시하는 바와 같이, 인터포저(100) 표면과 이면에서 광 필터(103R, 103G, 103B)와 단자 전극(104, 105, 106, 107, 108)을 중첩하여 형성하는 구성으로 하여도 좋다. 도 9a 및 도 9b의 구성으로 함으로써, 인터포저(100)의 소형화를 도모할 수 있기 때문에, 컬러 센서를 소형화할 수 있다. 또한, 미리 배선의 폭이나 형상을 변경함으로써 배선(109, 110, 111, 112, 113)을 배선 사이의 여분의 면적에 연결시켜 도 22a와 같은 효과를 얻어도 좋다.

[0029] 또한, 도 1a에 도시하는 상면도에서는, 광 필터(103R, 103G, 103B)와 단자 전극(104, 105, 106, 107, 108)을 이간하여 형성하는 구성이기 때문에, 인터포저(100)의 표면 측에서는 단자 전극과 각 광 센서 사이를 전기적으로 접속하기 위한 배선 사이에 여분의 면적을 갖게 된다. 본 실시형태에서는, 도 22a에 도시하는 바와 같이, 배선 사이에 다른 배선과 전기적으로 접속하지 않는 배선(2201A 내지 2201E)을 형성하여도 좋다. 배선(2201A 내지 2201E)을 형성함으로써 굴곡 등에 대한 강도를 향상시킬 수 있으므로, 충격에 강한 컬러 센서로 할 수 있다. 또한, 미리 단자 전극의 크기나 형상을 변경함으로써, 단자 전극(104, 105, 106, 107, 108)을 단자 전극간의 여분의 면적에 형성하여 도 22b와 같은 효과를 얻어도 좋다. 또한, 도 22a의 구성과 조합하여 실시하여도 좋다.

[0030] 또한, 도 22a와 마찬가지로, 인터포저(100)의 이면 측에서는, 단자 전극간에 여분의 면적을 갖게 된다. 본 실

시형태에서는, 도 22b에 도시하는 바와 같이, 단자 전극 사이에 다른 단자 전극과 전기적으로 접속하지 않는 전극(2202A 내지 2202E)을 형성하여도 좋다. 전극(2202A 내지 2202E)을 형성함으로써, 굴곡 등에 대한 강도를 향상시킬 수 있으므로, 충격에 강한 컬러 센서로 할 수 있다.

[0031] 인터포저(100)에 실장되는 복수의 광 센서는 자유로이 선택할 수 있으므로, 유채색의 광 필터(103R, 103G, 103B)를 구비한 광 센서를 인터포저(100)에 실장하여 컬러 센서를 제작할 수 있다. 또한, 인터포저(100)에 실장할 때, 광 센서에 검사 공정을 행하여 양품만을 선별하여 인터포저(100)에 실장할 수 있으므로, 제작 공정에 있어서 컬러 센서의 수율을 향상시킬 수 있다. 특히, 광전류 변환 회로부에 연산 회로 등 복잡한 구성을 포함하는 구성의 경우, 칩 형상의 광 센서에 불량 발생 우려가 있으므로, 인터포저에 실장하기 전에 광 센서의 불량 검사를 행할 수 있는 것은 유효적이다.

[0032] 다음에, 도 2a 내지 도 2c를 사용하여 도 1a 및 도 1b에 도시하는 광 센서(101R, 101G, 101B)의 구성에 대하여 설명한다. 또한, 광 센서(101R, 101G, 101B)의 차이는 광 필터(103R, 103G, 103B)의 광 투과 특성의 차이로 인한 것이다. 도 2a 및 도 2b에서는 컬러 센서를 구성하는 광 센서의 하나인 광 센서(101R)의 구성에 대하여 도시한다. 또한, 광 센서(101G, 101B)와 광 센서(101R)의 큰 차이점은 광 필터가 상이한 점이고, 그 설명은 생략한다.

[0033] 광 센서(101R)는 투광성 기관(114R) 위에 광전 변환 회로부(201)를 갖는다. 광전 변환 회로부(201) 위에 외부와의 신호의 입출력을 행하기 위한 제 1 단자(202A), 제 2 단자(202B), 제 3 단자(202C), 제 4 단자(202D)를 갖는다. 광 센서(101R)에는 투광성 기관(114R) 측으로부터 광이 입사되고, 광전 변환 회로부(201)에 조도에 따른 출력 신호로 변환된다.

[0034] 또한, 본 명세서에서 사용하는 제 1, 제 2, 제 3, 제 N(N은 자연수)이라는 용어는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것은 아니다.

[0035] 제 1 단자(202A), 제 2 단자(202B), 제 3 단자(202C), 제 4 단자(202D)는 습식법을 사용하여 도전성 수지로 형성하여도 좋고, 건식법을 사용하여 도전성 박막에 의하여 형성하여도 좋다. 또한, 도전성 수지층과 도전성 박막을 적층하여도 좋다.

[0036] 예를 들어, 스크린 인쇄법을 사용하여 단자를 형성하는 경우에는, 입자 직경이 수nm 내지 수십 μ m의 도전체 입자를 유기 수지에 용해 또는 분산시킨 도전성의 페이스트를 선택적으로 인쇄함으로써 형성할 수 있다. 도전체 입자로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo) 및 티타늄(Ti) 등의 어느 하나 이상의 금속 입자나 할로겐화 은의 미립자를 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기 수지는 금속 입자의 바인더, 용매, 분산제 및 피복재로서 기능하는 유기 수지 중에서 선택된 하나 또는 복수를 사용할 수 있다. 대표적으로는, 에폭시 수지, 실리콘 수지 등의 유기 수지를 들 수 있다. 또한, 도전층을 형성할 때는, 도전성의 페이스트를 압출한 후에 소성하는 것이 바람직하다. 또한, 땀납이나 납프리의 땀납을 주성분으로 하는 미립자를 사용하여도 좋다.

[0037] 또한, 도 2a에는, 일례로서, 제 1 단자(202A), 제 2 단자(202B), 제 3 단자(202C), 제 4 단자(202D)의 4개의 단자를 갖는 광 센서에 대하여 도시한다. 광 센서에는 고전원 전위 및 저전원 전위가 입력됨과 함께, 전압 값 또는 전류 값의 아날로그 신호가 출력 신호로서 출력되거나 또는 버스 규격에 따른 디지털 신호가 입력되는 것도 있다.

[0038] 또한, 도 2a에서는 제 1 단자(202A) 내지 제 4 단자(202D)의 형상을 같은 형상으로 도시하지만, 상이한 형상으로 하여도 좋다. 단자 전극의 형상을 각각 상이한 형상으로 함으로써, 광 센서를 인터포저에 설치할 때 설치하는 방향을 용이하게 파악할 수 있다.

[0039] 다음에, 도 3을 사용하여 제 1 단자(202A) 내지 제 4 단자(202D)에 입출력되는 신호에 대하여 설명한다. 도 3은 고전원 전위 Vdd 및 저전원 전위 Vss가 입력되고, 광 전류에 따른 출력 신호를 대수 압축하여 출력하는 회로를 구비하는 광 센서의 구성의 일례를 제시하는 블록도이다. 또한, 도 3에 도시하는 예에서는 단자 수는 3개만 있으면 좋고, 도 2a에 도시하는 광 센서에서는 하나의 단자가 남게 된다. 이 경우, 남은 단자를 다른 단자와 같은 전위 또는 신호를 입출력하는 단자로 하거나, 다른 신호를 입출력하는 단자로 하여도 좋다. 또한, 대수 압축이란, 광전 변환 소자에 입사하는 광의 조도, 즉 광 전류의 값을 변수로 하여, 출력되는 전류 값 또는 전압 값을 대수의 함수로서 얻는 것을 가리킨다.

[0040] 도 3에 도시하는 광 센서(300)는 광전 변환 소자(301), 대수 압축 회로(302), 온도 보정 전압 생성 회로(303), 온도 보정 연산 회로(304)를 갖는다. 광전 변환 소자(301)는 외부로부터의 광을 수광하고, 조도에 따른 광 전

류를 대수 압축 회로(302)에 출력한다. 대수 압축 회로(302)는 광 전류를 다이오드 소자에 의하여 대수 압축한 전압 값으로 하여 출력하는 회로이다. 온도 보정 전압 생성 회로(303)는 광 전류를 대수 압축할 때 사용한 다이오드 소자의 온도 의존에 의한 출력의 변화를 보정하기 위한 온도 보정 전압을 출력하기 위한 회로이다. 온도 보정 연산 회로(304)는 대수 압축 회로(302)로부터 출력되는 대수 압축된 전압 값, 및 온도 보정 전압 생성 회로로부터 출력되는 온도 보정 전압에 의거하여, 출력 신호인 전류 값 I_{out} 을 생성하기 위한 회로이다. 또한, 도 1a 및 도 1b에 도시한 광전류 변환 회로부는 대수 압축 회로(302), 온도 보정 전압 생성 회로(303), 및 온도 보정 연산 회로(304)를 갖는 회로부(305)에 상당한다.

[0041] 또한, 광 센서(300)는 외부 저항을 형성함으로써, 도 3에 도시한 출력 신호인 전류 값 I_{out} 을 전압 V_{out} 로서 출력할 수도 있다. 도 4에 전압 V_{out} 로서 출력할 수 있는 광 센서(400)를 도시한다. 도 4에 도시하는 광 센서(400)는 도 3에 도시한 광 센서(300)를 내포하고, 내부 저항(401)을 형성하여 외부로의 출력으로서 전압 V_{out} 를 얻는 구성의 일례이다.

[0042] 또한, 제 1 단자(202A) 내지 제 4 단자(202D)에 입출력되는 신호의 다른 예에 대하여 설명한다. 도 5는 아날로그 신호를 디지털 신호로 변환하여 출력하는 회로를 구비하는 광 센서의 블록도이다. 또한, 도 5에 도시하는 예에서는, 고전원 전위 V_{dd} 및 저전원 전위 V_{ss} 외에, 출력 신호를 입출력하기 위한 단자가 2개 있으면 좋고, 합계의 단자 수는 4개 있으면 좋다. 도 5에 도시하는 광 센서(500)는 광전 변환 소자(501), 아날로그/디지털 변환 회로(502; 이하, AD 변환 회로라고 함), 정전압 회로(503), 발진 회로(504), I2C(Inter Integrated Circuit) 인터페이스 회로(505)를 갖는다.

[0043] 또한, 도 5에 도시하는 광전 변환 소자(501)는 외부로부터의 광을 수광하고, 조도에 따른 광전류를 AD 변환 회로(502)에 출력한다. AD 변환 회로(502)는 연속량인 광 전류의 값을 양자화하고, 디지털 신호로 변환하여 I2C 인터페이스 회로(505)에 출력하는 회로이다. 정전압 회로(503)는 AD 변환 회로(502) 및 발진 회로(504)를 동작하기 위한 일정한 전압을 생성하기 위한 회로이다. 발진 회로(504)는 AD 변환 회로(502)를 동작하기 위한 클럭 신호를 출력하기 위한 회로이다. I2C 인터페이스 회로(505)는 다른 장치와 데이터 통신하기 위한 직렬 데이터 라인(SDA)과, 다른 장치 사이의 데이터 통신을 제어 및 동기화하기 위한 직렬 클럭 라인(SCL)으로 이루어지는 I2C 버스에 의하여 외부 장치와 전기적으로 접속되기 위한 회로이다. SDA와 SCL로 이루어지는 I2C 버스는 각 장치에 형성되는 어드레스 메모리에 할당된 고유한 어드레스에 의하여 마이크로 컴퓨터로부터의 제어를 행하기 위한 버스 규격이다. 또한, 다른 장치가 액정 표시 장치인 경우에는, 디스플레이 드라이버, LED 드라이버가 I2C 버스에 의하여 전기적으로 접속되는 구성이 된다. 또한, 도 1a 및 도 1b에 도시한 광전류 변환 회로부(102R, 102G, 102B)는 AD 변환 회로(502), 정전압 회로(503), 발진 회로(504), I2C 인터페이스 회로(505)를 갖는 회로부(506)에 상당한다.

[0044] 또한, AD 변환 회로(502)는 연속량인 전압 V_{out} 를 양자화하여 디지털 신호로 변환하기 위한 회로이다. AD 변환 회로(502)로서는, 예를 들어, 병렬 비교 방식 AD 변환 회로, 파이프라인 방식 AD 변환 회로, 순차 비교 방식 AD 변환 회로, 델타 시그마 방식 AD 변환 회로, 이중 적분 방식 AD 변환 회로가 있고, 임의로 선택하면 좋다.

[0045] 또한, 도 5에는 I2C 인터페이스를 적용한 광 센서(500)를 도시하지만, I2C 버스 외에, 유니버설 직렬 버스(Universal Serial Bus), 직렬 주변 인터페이스(Serial Peripheral Interface) 등의 버스 규격을 사용할 수 있다.

[0046] 상기 도 3 내지 도 5의 블록도에 도시하는 광 센서를 도 1a에 도시하는 복수의 광 센서에 적용하여 컬러 센서를 구성하는 경우에는, 외부에 접속하기 위한 복수의 단자보다 고전원 전위 V_{dd} 및 저전원 전위 V_{ss} 가 입력된다. 따라서, 복수의 광 센서를 인터포저 위에 실장하기 위하여 고전원 전위 V_{dd} 및 저전원 전위 V_{ss} 의 수에 따라 인터포저 위에 배선을 리드하여 단자 전극과 전기적으로 접속할 필요가 있다.

[0047] 본 실시형태에서 제시하는 구성에서는, 도 1a에 도시하는 바와 같이, 단자 전극과 각 광 센서로부터 리드되는 배선의 전기적인 접속을 공통화하고, 고전원 전위를 공급하기 위하여 단자 전극을 공통화할 수 있다. 도 1a에 있어서는, 고전원 전위를 공급하기 위하여 광 센서 사이에서 공통화하는 단자는 단자 전극(104)이고, 단자 전극(104)과 각 광 센서로부터 리드되는 배선은 배선(109)이다. 즉, 배선(109)은 복수의 광 센서와 단자 전극(104)의 전기적인 접속을 도모하기 위하여 복수의 분기를 갖는 배선이다. 또한, 마찬가지로, 본 실시형태의 구성에서는, 도 1a에 도시하는 바와 같이, 단자 전극과 각 광 센서로부터 리드되는 배선의 전기적인 접속을 공통화하여 저전원 전위를 공급하기 위하여 단자 전극을 공통화할 수 있다. 도 1a에 있어서는, 저전원 전위를 공급하기 위한 광 센서 사이에서 공통화되는 단자는 단자 전극(105)이고, 단자 전극(105)과 각 광 센서로부터 리드되는 배선으로서 배선(110)이다. 즉, 배선(110)은 배선(109)과 마찬가지로, 복수의 광 센서와 단자 전극

(105)과 전기적인 접속을 도모하기 위하여 복수의 분기를 갖는 배선이다.

- [0048] 또한, 각 광 센서로부터 출력되는 출력 신호가 도 3에 도시하는 바와 같은 Iout의 경우는 광 센서마다 단자 전극을 할당하고, 각 광 센서로부터 단자 전극으로 배선을 리드하여 전기적으로 접속함으로써 외부에 출력 신호를 출력할 수 있다. 도 1a에 있어서는, 광 센서(101R)로부터의 출력 신호를 외부에 출력하는 단자는 단자 전극(106)이고, 단자 전극(106)과 광 센서(101R)로부터 리드되는 배선은 배선(111)이다. 도 1a에 있어서는, 광 센서(101G)로부터의 출력 신호를 외부로 출력하는 단자는 단자 전극(107)이고, 단자 전극(107)과 광 센서(101G)로부터 리드되는 배선은 배선(112)이다. 또한, 도 1a에 있어서는, 광 센서(101B)로부터의 출력 신호를 외부로 출력하는 단자는 단자 전극(108)이고, 단자 전극(108)과 광 센서(101B)로부터 리드되는 배선은 배선(113)이다.
- [0049] 또한, 각 광 센서로부터 출력되는 출력 신호가 도 5에 도시하는 바와 같은 직렬 데이터 라인 및 직렬 클록 라인과 같이 복수의 경우는, 광 센서마다 직렬 데이터 라인 및 직렬 클록 라인의 입출력 신호를 위하여 단자 전극을 할당하고, 각 광 센서로부터 단자 전극으로 배선을 리드하여 전기적으로 접속함으로써, 외부로 출력 신호를 출력할 수 있다.
- [0050] 도 6에 고전원 전위 Vdd 및 저전원 전위 Vss 외에, 입출력 신호가 2개 있는 경우의 컬러 센서의 상면도를 도시한다. 도 1a와 마찬가지로, 컬러 센서는 광 센서(101R, 101G, 101B)를 인터포저(100)에 실장하여 갖는 구조이다. 광 센서(101R)는 광전류 변환 회로부(102R)를 갖고, 광 입사면에 광 필터(103R)를 구비하는 구성이다. 광 센서(101G)는 광전류 변환 회로부(102G)를 갖고, 광 입사면에 광 필터(103G)를 구비하는 구성이다. 광 센서(101B)는 광전류 변환 회로부(102B)를 갖고, 광 입사면에 광 필터(103B)를 구비하는 구성이다. 또한, 인터포저(100)에는 이면에 외부와 전기적인 접속하기 위한 전극인 단자 전극(601, 602, 603, 604, 605, 606, 607, 608)이 형성된다. 또한, 인터포저(100) 표면에는 단자 전극(601, 602, 603, 604, 605, 606, 607, 608)과 광 센서(101R, 101G, 101B)를 전기적으로 접속하기 위한 도전층인 배선(609, 610, 611, 612, 613, 614, 615, 616)이 형성된다. 또한, 인터포저(100)는 점선(115)으로 도시하는 바와 같이, 배선(609 내지 616)과 단자 전극(601 내지 608)을 전기적으로 접속하기 위한, 표면과 이면을 관통하는 개구가 복수 형성된다.
- [0051] 도 6에 있어서, 고전원 전위를 공급하기 위하여 광 센서 사이에서 공통화하는 단자는 단자 전극(601)이고, 단자 전극(601)과 각 광 센서로부터 리드되는 배선은 배선(609)에 상당한다. 즉, 배선(609)은 복수의 광 센서와 단자 전극(601)의 전기적인 접속을 도모하기 위하여 복수의 분기를 갖는 배선이 된다. 또한, 도 6에 있어서, 저전원 전위를 공급하기 위하여 광 센서 사이에서 공통화하는 단자는 단자 전극(605)이고, 단자 전극(605)과 각 광 센서로부터 리드되는 배선으로서는 배선(613)에 상당한다. 즉, 배선(613)은 배선(609)과 마찬가지로, 복수의 광 센서와 단자 전극(605)의 전기적인 접속을 도모하기 위하여 복수의 분기를 갖는 배선이다. 또한, 도 6에 있어서, 광 센서(101R)로부터 직렬 데이터 라인을 외부로 출력하는 단자는 단자 전극(602)이고, 단자 전극(602)과 광 센서(101R)로부터 리드되는 배선은 단자 전극(610)이다. 도 6에 있어서, 광 센서(101G)로부터의 직렬 데이터 라인을 외부로 출력하는 단자는 단자 전극(603)이고, 단자 전극(603)과 광 센서(101G)로부터 리드되는 배선은 배선(611)이다. 또한, 도 6에 있어서, 광 센서(101B)로부터의 직렬 데이터 라인을 외부로 출력하는 단자는 단자 전극(604)이고, 단자 전극(604)과 광 센서(101B)로부터 리드되는 배선은 배선(612)이다. 또한, 도 6에 있어서 광 센서(101R)로부터의 직렬 클록 라인을 외부로 출력하는 단자는 단자 전극(606)이고, 단자 전극(606)과 광 센서(101R)로부터 리드되는 배선은 배선(614)이다. 또한, 도 6에 있어서, 광 센서(101G)로부터의 직렬 클록 라인을 외부로 출력하는 단자로서는 단자 전극(607)이고, 단자 전극(607)과 광 센서(101G)로부터 리드되는 배선으로서는 배선(615)이다. 또한, 도 6에서, 광 센서(101B)로부터의 직렬 클록 라인을 외부로 출력하는 단자는 단자 전극(608)이고, 단자 전극(608)과 광 센서(101B)로부터 리드되는 배선은 배선(616)이다.
- [0052] 상술한 바와 같이, 본 실시형태의 도 1a 및 도 1b 및 도 6에서 도시하는 복수의 광 센서를 구비하는 컬러 센서는 도 3 또는 도 5와 같은 광 센서를 복수 구비함으로써 증가해 버리는 단자 수를 인터포저 위에서 삭감할 수 있다. 따라서, 단자 전극의 개수를 대폭으로 삭감할 수 있다. 단자 수를 삭감함으로써 외부 기기와의 접속 불량 감소를 도모할 수 있기 때문에, 수율의 향상을 도모할 수 있다. 본 실시형태에서 제시하는 구성은 특히 고전원 전위 및 저전원 전위를 입력하는 단자와 같이 각 광 센서에서 공통되는 단자를 구비하는 복수의 광 센서를 인터포저 위에 실장하여 제작하는 컬러 센서에 있어서 유효하다. 또한, 본 실시형태의 구성에 있어서는, 복수의 광 센서를 인터포저 위에 형성하여 컬러 센서를 제작할 때 핀 컴패티블(pin compatible; 핀 호환)을 도모할 수 있다.
- [0053] 또한, 도 6에 도시하는 컬러 센서의 상면도는 도 9a와 마찬가지로, 단자 전극(601 내지 608)과, 광 필터(103R, 103G, 103B)를 인터포저(100)의 표면과 이면에서 중첩하여 형성하는 구성으로 하여도 좋다.

- [0054] 다음에, 도 2a에 도시한 광 센서(101R)의 구성에 대하여 도 2b를 사용하여 더 자세히 설명한다. 투광성 기관(114R)의 광이 입사되는 측에는 광 필터(103R)가 형성된다. 또한, 투광성 기관(114R)의 광 필터(103R)가 형성되는 측에는 광전 변환 회로부(201)를 구성하는 광전류 변환 회로(211), 배선층(212), 광전 변환 소자(213)를 갖는다. 광전류 변환 회로(211)는 배선에 의하여 전기적으로 접속된 반도체층을 갖고, 광전 변환 소자(213)에 입사되는 광의 조도에 따른 출력 신호를 생성하는 회로이다. 배선층(212)은 광전류 변환 회로(211), 광전 변환 소자(213), 및 제 1 단자(202A) 내지 제 4 단자(202D)를 전기적으로 접속하기 위한 배선이다. 광전 변환 소자(213)는 PN형 또는 PIN형의 포토 다이오드, 포토 트랜지스터 등에 의하여 입사되는 광량에 따른 광전류로 변환하는 소자이다. 또한, 도 2b에 도시하는 바와 같이, 광전 변환 회로부의 중앙 부근에 배치되는 구조로 함으로써 광 필터를 통과하는 광만을 수광하기 쉬워져 바람직하다.
- [0055] 또한, 본 명세서에서는, 광전 변환 소자로서 PIN형 포토 다이오드를 사용한 구성에 대하여 설명한다. PIN형 포토 다이오드는 PN형 포토 다이오드와 비교하여 광의 조사에 대한 공핍층의 응답 특성이 좋으므로 바람직하다.
- [0056] 다음에, 도 2c에 도시하는 바와 같이, 광 필터(103R)를 갖는 광 센서(101R), 광 필터(103G)를 갖는 광 센서(101G), 광 필터(103B)를 갖는 광 센서(101B)를 각각 인터포저(100) 위에 배치한다. 그리고, 도 1에 도시한 배선(109 내지 113; 도 2c 중의 점선)에 의하여 단자 전극(104 내지 108)과 전기적으로 접속할 수 있다.
- [0057] 도 2c에 도시하는 구성에 의하면, 인터포저(100)에 실장할 때, 광 센서(101R, 101G, 101B) 각각에 대하여 검사 공정을 행하여 양품만을 선별하여 인터포저에 실장할 수 있다. 따라서, 컬러 센서의 수율이 향상된다. 특히, 광 센서가 연산 회로 등 복잡한 구성을 포함하는 광전류 변환 회로부를 갖는 경우, 칩 형상의 광 센서에 불량 발생 우려가 있다. 따라서, 인터포저(100)에 실장하기 전에 광 센서의 불량 검사를 행할 수 있는 것은 유효하다. 또한, 양품 중에서도 고품질의 광 센서를 선별하여 인터포저에 실장함으로써 보다 고품질의 컬러 센서도 제작할 수 있다.
- [0058] 또한, 도 7a 및 도 7b에 도 1a 및 도 1b와 상이한 컬러 센서의 상면도 및 단면도를 도시한다. 도 7a가 도 1a와 상이한 점은 컬러 센서가 광 센서(701)를 인터포저(100)에 실장하는 점에 있고, 광 센서(701)는 광전류 변환 회로부(102R, 102G, 102B)를 갖고, 광 입사면에 광 필터(103R, 103G, 103B)를 구비하는 구성이다. 또한, 도 7a가 도 1a와 상이한 점은 광 필터(103R, 103G, 103B)가 투광성 기관(714)에 접하여 형성되는 점에 있다.
- [0059] 또한, 도 7a의 상면도가 도 1a와 같은 점은 인터포저(100)의 이면에는 외부와 전기적으로 접속하기 위한 전극 단자 전극(104, 105, 106, 107, 108)이 형성되는 점이다. 또한, 도 7a의 상면도가 도 1a와 같은 점은 인터포저(100)의 표면에 단자 전극(104, 105, 106, 107, 108)과 광 센서(701)가 전기적으로 접속하기 위한 도전층인 배선(109, 110, 111, 112, 113)이 형성되는 점이다. 또한, 도 7a의 상면도가 도 1a와 같은 점은 인터포저(100)에는 점선(115)으로 도시하는 바와 같이, 배선(109, 110, 111, 112, 113)과 단자 전극(104, 105, 106, 107, 108)을 전기적으로 접속하기 위한, 표면과 이면을 관통하는 개구가 복수 형성되는 점이다.
- [0060] 도 7b가 도 1b와 상이한 점은 광 센서(701)가 광전류 변환 회로부(102R, 102G, 102B)와 광 필터(103R, 103G, 103B) 사이에 투광성 기관(714)을 구비하는 점에 있다. 또한, 도 7b가 도 1b와 상이한 점은 광 센서(701)와 인터포저(100) 사이에 고착 강도를 향상하기 위한 수지(730)가 광전류 변환 회로부(102R, 102G, 02B) 사이에서 틈이 없이 형성되는 점이다.
- [0061] 도 1b와 달리, 도 7a 및 도 7b에서는 수지(730)를 틈이 없이 형성하는 구성으로 함으로써, 고착 강도를 더 향상시킬 수 있기 때문에 바람직하다.
- [0062] 또한, 도 7b의 단면도가 도 1b와 같은 점은 인터포저(100)가 도 7b의 점선(115)으로 도시하는 바와 같이, 표면과 이면을 관통하는 개구를 복수 갖고, 배선(109, 110, 111, 112, 113)에 의하여 광 센서(101R, 101G, 101B)와 단자 전극(104, 105, 106, 107, 108)을 전기적으로 접속하는 점이다.
- [0063] 다음에, 도 8a 및 도 8b를 사용하여 도 7a 및 도 7b에 도시한 광 센서(701)의 구성에 대하여 설명한다.
- [0064] 광 센서(701)에는 투광성 기관(714) 위에 광전 변환 회로부(801)를 갖는다. 광전 변환 회로부(801) 위에는 광 필터(103R; 도시하지 않음)를 통과하는 광에 관한 외부와의 신호의 입출력을 행하기 위한 제 1 단자(802A), 제 2 단자(802B), 제 3 단자(802C), 제 4 단자(802D)를 갖는다. 또한, 광전 변환 회로부(801) 위에는, 광 필터(103G; 도시하지 않음)를 통과하는 광에 관한 외부와의 신호의 입출력을 행하기 위한 제 1 단자(803A), 제 2 단자(803B), 제 3 단자(803C), 제 4 단자(803D)를 갖는다. 또한, 광전 변환 회로부(801) 위에는 광 필터(103B) (도시하지 않음)를 통과하는 광에 관한 외부와의 신호의 입출력을 행하기 위한 제 1 단자(804A), 제 2 단자

(804B), 제 3 단자(804C), 제 4 단자(804D)를 갖는다. 광 센서(701)에는 투광성 기관(714) 측으로부터 광이 입사되고, 광전 변환 회로부(801)에서 조도에 따른 출력 신호로 변환된다.

[0065] 또한, 도 8a에서는, 일례로서, 하나의 광 필터에 대하여 4개의 단자를 갖는 광 센서, 즉, 12개의 단자를 갖는 광 센서에 대하여 제시한다. 광 센서에는, 하나의 광 필터에 따라 고전원 전위 및 저전원 전위가 입력된다. 또한, 광 센서로부터는 전압 값 또는 전류 값의 아날로그 신호가 출력 신호로서 출력되거나, 또는 버스 규격에 따른 디지털 신호가 입출력된다. 광 센서에 입출력되는 신호의 예로서는, 도 3 내지 도 5에 도시한 바와 같다.

[0066] 다음에, 도 8a에 도시한 광 센서(701)의 구성에 대하여 도 8b를 사용하여 더 자세히 설명한다.

[0067] 다음에, 도 8a에 도시한 광 센서(701)를 인터포저(100) 위에 실장한 상황에 대하여 도 8b에 도시한다. 광 필터(103R, 103G, 103B)를 갖는 광 센서(701)를 인터포저(100) 위에 배치한다. 그리고, 도 7a에 도시한 배선(109 내지 113; 도 8b 중의 점선)에 의하여 단자 전극(104 내지 108)과 전기적으로 접속할 수 있다.

[0068] 도 8b에 도시하는 구성에 의하면, 인터포저(100)에 실장할 때, 광 센서(701)는 상이한 광 투과성을 구비하는 광 필터를 구비한 상태에서 대면적 기관으로부터 분단할 수 있기 때문에 분단에 걸리는 공정 시간의 단축, 및 분단에 사용하는 다이서 등의 가공 수단의 마모를 경감할 수 있다. 또한, 복수의 광 센서를 선택하여 인터포저 위에 실장할 때, 선택한 광 센서의 크기 또는 높이의 편차 등의 문제를 없앨 수 있으므로 바람직하다.

[0069] 또한, 광 센서 내의 광전류 변환 회로부를 공통화하여 센서에 연산 회로 등 복잡한 구성을 포함하는 광전류 변환 회로부를 갖는 구성의 경우, 칩 형상의 광 센서에 불량 생길 우려가 있다. 따라서, 인터포저(100)에 실장하기 전에 광 센서의 불량 검사를 행할 수 있는 것은 유효하다. 또한, 양품 중에서도 고품질의 광 센서를 선별하여 인터포저에 실장함으로써 보다 고품질의 컬러 센서도 제작할 수 있다.

[0070] 다음에, 컬러 센서의 단면도의 형태에 대하여, 도 1b에서 설명한 단면도와 상이한 형태에 대하여 도 10a 내지 도 11c를 사용하여 설명한다.

[0071] 도 10a에 도시하는 컬러 센서의 단면도는 도 1b에 도시한 단면도에 있어서, 광 센서(101R, 101G, 101B)의 광전 변환 소자가 형성되는 영역에 대응하는 광 필터(103R, 103G, 103B) 위에 일부 개구부를 남기고, 차광층(116)으로 덮어 형성하는 예이다. 또한, 차광층(116)은 스핀 코팅법 등의 도포법에 의하여 형성할 수 있고, 그 외, 액적 도출법, 인쇄법, 딥핑법, 디스펜서법, 브러쉬 페인팅(brush painting)법, 스프레이법, 플로 코팅법 등에 의하여 형성할 수도 있다.

[0072] 차광층(116)은 광 센서(101R, 101G, 101B)가 갖는 광전 변환 소자에 외부로부터의 부적절한 광이 조사되어, 오작동이 발생하지 않도록 광을 차단할 수 있다. 따라서, 차광층(116)의 개구로부터 입사되고, 컬러 필터로서 기능하는 유채색의 광 필터(103R, 103G, 103B)를 투과한 광만을 광전 변환 소자는 수광할 수 있으므로, 컬러 센서의 신뢰성이 향상된다. 또한, 광전류 변환 회로부(102R, 102G, 102B)의 반도체 소자에 광이 조사되면, 특성 변동이 생길 우려가 있지만, 차광층을 형성함으로써 이러한 불량을 방지할 수 있다.

[0073] 또한, 도 10b에 도시하는 컬러 센서의 단면도는 도 10a에 도시한 단면도에 있어서, 광 센서(101R, 101G, 101B)의 광전 변환 소자가 형성된 영역에 대응하여 광 필터(103R, 103G, 103B)를 형성하여 광 필터(103R, 103G, 103B) 위에 일부 개구부를 남기고 차광층(116)으로 덮어 형성하는 예이다.

[0074] 광 필터(103R, 103G, 103B)는 광 센서(101R, 101G, 101B)의 광전 변환 소자가 형성되는 영역에 대응하여 형성되기 때문에, 광 필터의 소면적화를 도모할 수 있다. 따라서, 광 필터(103R, 103G, 103B)의 재료인 투광성 수지를 삭감할 수 있고, 저비용화를 도모할 수 있다. 또한, 광 센서(101R, 101G, 101B)가 갖는 광전 변환 소자에 외부로부터의 부적절한 광이 조사되어, 오작동이 발생하지 않도록 광을 차단할 수 있다. 따라서, 차광층(116)의 개구로부터 입사하고, 컬러 필터로서 기능하는 유채색의 광 필터(103R, 103G, 103B)를 투과한 광만을 광전 변환 소자는 수광할 수 있으므로, 컬러 센서의 신뢰성이 향상된다. 또한, 광전류 변환 회로부(102R, 102G, 102B)의 반도체 소자에 광이 조사되면, 특성 변동이 생길 우려가 있지만, 차광층을 형성함으로써 이러한 불량을 방지할 수 있다.

[0075] 또한, 도 10c에 도시하는 컬러 센서의 단면도는 도 10a에 도시한 단면도에 있어서, 광 센서(101R, 101G, 101B)의 광전 변환 소자가 형성된 영역에 대응하여 개구부를 형성한 차광층(116)을 형성한 후에 광 필터(103R, 103G, 103B)를 형성하는 예이다.

[0076] 광 필터(103R, 103G, 103B)는 도 10b와 마찬가지로 광 센서(101R, 101G, 101B)의 광전 변환 소자가 형성되는 영역에 대응하여 형성되기 때문에, 광 필터의 소면적화를 도모할 수 있다. 따라서, 광 필터(103R, 103G, 103B)를 형성하는 예이다.

B)의 재료인 투광성 수지를 삭감할 수 있고, 저비용화를 도모할 수 있다. 그리고, 광 센서(101R, 101G, 101B)가 갖는 광전 변환 소자에 외부로부터의 부적절한 광이 조사되어, 오작동이 발생하지 않도록 광을 차단할 수 있다. 따라서, 광 필터로서 기능하는 유체색의 광 필터(103R, 103G, 103B)를 투과하여 차광층(116)의 개구로부터 입사되는 광만을 광전 변환 소자는 수광할 수 있으므로 컬러 센서의 신뢰성이 향상된다. 또한, 광전류 변환 회로부(102R, 102G, 102B)의 반도체 소자에 광이 조사되면 특성 변동이 생길 우려가 있지만, 차광층을 형성함으로써 이러한 불량을 방지할 수 있다.

[0077] 상술한 도 10a 내지 도10c의 구성에 있어서, 광 센서(101R, 101G, 101B)의 광 필터가 접하는 투광성 기판의 측면을 바닥을 향하여 퍼지는 곡면을 갖는 형상으로 하여도 좋다.

[0078] 도 11a에 도시하는 컬러 센서의 단면도는 광 센서(101R, 101G, 101B)의 광 필터가 접하는 투광성 기판(114R, 114G, 114B)의 측면을 바닥을 향하여 퍼지는 곡면으로 한 예이다.

[0079] 도 11a에 도시하는 바와 같이, 광 센서(101R, 101G, 101B)의 상부를 광 필터(103R, 103G, 103B)가 덮어 형성되는 구성으로 할 수 있기 때문에, 광전 변환 소자에 외부로부터의 부적절한 광이 조사되어, 오작동이 발생하지 않도록 광을 차단할 수 있다. 따라서, 광 필터로서 기능하는 유체색의 광 필터(103R, 103G, 103B)를 투과하여 차광층(116)의 개구로부터 입사되는 광만을 광전 변환 소자는 수광할 수 있으므로, 컬러 센서의 신뢰성이 향상된다. 또한, 광전류 변환 회로부(102R, 102G, 102B)의 반도체 소자에 광이 조사되면, 특성 변동이 생길 우려가 있지만, 차광층을 형성함으로써 이러한 불량을 방지할 수 있다.

[0080] 또한, 도 11b에 도시하는 컬러 센서의 단면도는 광 센서(101R, 101G, 101B)의 광 필터가 접하는 투광성 기판(114R, 114G, 114B)의 측면을 바닥을 향하여 퍼지는 곡면을 갖고, 또한 투광성 수지층(117R, 117G, 117B)으로 광 필터를 덮은 예이다.

[0081] 도 11b에 도시하는 바와 같이, 광 센서(101R, 101G, 101B)의 상부를 광 필터(103R, 103G, 103B)가 덮어 형성되는 구성으로 할 수 있기 때문에, 광전 변환 소자에 외부로부터의 부적절한 광이 조사되어, 오작동이 발생하지 않도록 광을 차단할 수 있다. 따라서, 광 필터로서 기능하는 유체색의 광 필터(103R, 103G, 103B)를 투과하여 차광층(116)의 개구로부터 입사되는 광만을 광전 변환 소자는 수광할 수 있으므로, 컬러 센서의 신뢰성이 향상된다. 또한, 광전류 변환 회로부(102R, 102G, 102B)의 반도체 소자에 광이 조사되면 특성 변동이 생길 우려가 있지만, 차광층을 형성함으로써 이러한 불량을 방지할 수 있다. 그리고, 투광성 수지층(117R, 117G, 117B)을 형성함으로써 보호층으로서 기능시킬 수 있고, 충격 흡수성도 향상시키고, 유체색의 투광성 수지층의 열화도 방지하는 효과가 있다. 또한, 충격 흡수층으로서 기능하는 투광성 수지층의 막 두께는 광 필터(103R, 103G, 103B)보다 두꺼워도 좋다. 따라서, 충격 흡수층으로서 기능하는 투광성 수지층의 막 두께를 두껍게 형성할 수 있어, 충격 흡수층으로서 내충격성을 향상시킬 수 있다.

[0082] 또한, 도 11c에 도시하는 컬러 센서의 단면도는 광 센서(101R, 101G, 101B)의 광 필터가 접하는 투광성 기판(114R, 114G, 114B)의 바닥을 향하여 퍼지는 곡면의 측면에 광 필터를 형성하고, 또, 광 필터 위에 광 센서(101R, 101G, 101B)의 광전 변환 소자가 형성되는 영역에 대응하여 개구부를 형성한 차광층(116R, 116G, 116B)을 형성하고, 또, 투광성 수지층(117R, 117G, 117B)으로 차광층 및 광 필터를 덮은 예이다.

[0083] 도 11c에 도시하는 바와 같이, 광 센서(101R, 101G, 101B)의 상부를 광 필터(103R, 103G, 103B)가 덮는 구성 및 광전 변환 소자가 형성되는 영역에 차광층을 형성하는 구성으로 할 수 있으므로, 광전 변환 소자에 외부로부터의 부적절한 광이 조사되어, 오작동이 발생하지 않도록 광을 차단할 수 있다. 따라서, 광 필터로서 기능하는 유체색의 광 필터(103R, 103G, 103B)를 투과하고, 차광층(116)의 개구로부터 입사하는 광만을 광전 변환 소자는 수광할 수 있으므로, 컬러 센서의 신뢰성이 향상된다. 또한, 광전류 변환 회로부(102R, 102G, 102B)의 반도체 소자에 광이 조사되면, 특성 변동이 생길 우려가 있지만, 차광층을 형성함으로써 이러한 불량을 방지할 수 있다. 그리고, 투광성 수지층(117R, 117G, 117B)을 형성함으로써, 보호층으로서 기능시킬 수 있고, 충격 흡수성도 향상시키고, 유체색의 투광성 수지층의 열화도 방지할 효과가 있다. 또한, 충격 흡수층으로서 기능하는 투광성 수지층의 막 두께는 광 필터(103R, 103G, 103B)보다 두꺼워도 좋다. 따라서, 충격 흡수층으로서 기능하는 투광성 수지층의 막 두께를 두껍게 형성할 수 있어, 충격 흡수층으로서 내충격성을 향상시킬 수 있다.

[0084] 상술한 바와 같이 본 실시형태의 컬러 센서는 광 센서를 복수 구비함으로써 증가하여 버리는 단자 전극 수를 인터포저 위에서 삭감할 수 있다. 구체적으로는, 고전원 전위가 입력되는 단자 전극, 저전원 전위가 입력되는 단자 전극을 인터포저 위에서 공통화할 수 있다. 따라서, 단자 전극의 개수를 대폭으로 삭감할 수 있다. 단자 전극 수를 삭감함으로써, 외부 기기의 접속 불량률의 감소를 도모할 수 있기 때문에, 수율의 향상을 도모할 수 있

다. 또한, 본 실시형태의 구성에 있어서는, 복수의 광 센서를 인터포저 위에 형성하여 컬러 센서로 할 때 핀 컴패티블(핀 호환)를 도모할 수 있다.

[0085] 또한, 본 실시형태에 있어서, 각각의 도면에서 도시한 내용은 다른 실시형태에서 제시한 내용에 대하여 적절히 조합 또는 치환 등을 자유로이 행할 수 있다.

[0086] (실시형태 2)

[0087] 본 실시형태에서는 상기 실시형태 1에서 설명한 광 센서의 제작 방법에 대하여 일례를 제시하여 설명한다. 본 실시형태에서는, 일례로서, 실시형태 1의 도 11b의 단면도에서 설명한 광 센서에 대한 제작 방법에 대하여 설명하는 것으로 한다.

[0088] 도 12a에 투광성 기관(1200) 위에 형성된 광전 변환 소자층을 갖는 복수의 광전류 변환 회로부(이하, 반도체 소자층(1201a, 1201b, 1201c)이라고 함)를 도시한다. 반도체 소자층(1201a, 1201b, 1201c)은 각각 단자 전극(1215a1, 1215a2, 1215b1, 1215b2, 1215c1, 1215c2)을 갖는다.

[0089] 다음에, 연삭, 연마 처리에 의하여 투광성 기관(1200)의 두께를 얇게 하는 공정을 행한다. 공정시의 투광성 기관(1200)을 고정하는 고정 테이프(1203)에 반도체 소자층(1201a, 1201b, 1201c) 측을 향하여 투광성 기관(1200)을 고정하고, 투광성 기관(1200)을 가공하여 두께가 얇은 투광성 기관(1202)으로 한다(도 12b 참조). 투광성 기관(1200)이 두께 0.5mm의 유리 기관이면, 투광성 기관(1202)은 0.25mm 내지 0.3mm 정도로 박형화하는 것이 바람직하다. 투광성 기관의 두께를 얇게 가공함으로써, 투광성 기관의 분단에 걸리는 공정 시간의 단축, 및 분단에 사용하는 다이서 등 가공 수단의 마모를 경감할 수 있다. 연삭 처리 및 연마 처리는 적합하게 조합하여 사용할 수 있고, 본 실시형태에서는, 연삭기에 의하여 연삭한 후, 연마기에 의한 연마 처리로 표면을 평탄화한다. 연마 처리로서 화학적 기계 연마를 행하여도 좋다.

[0090] 본 실시형태에서는, 대면적 기관인 투광성 기관을 분단함으로써 복수의 광 센서를 칩 형상으로 얻는 예에 대하여 제시한다. 분단 공정은 한번에 행하지 않고, 우선, 투광성 기관(1202)에 반도체 소자층(1201a, 1201b, 1201c)을 분단하기 위한 홈(1206a, 1206b, 1206c, 1206d)을 다이서(1204)의 다이싱 블레이드로 형성한다(도 12c 참조). 투광성 기관(1205)의 홈(1206a, 1206b, 1206c, 1206d)에 있어서, 투광성 기관(1205)은 의도적으로 잔존시킨다. 잔존시키는 투광성 기관(1205)의 두께는 30 μ m 내지 100 μ m(바람직하게는 30 μ m 내지 50 μ m) 정도로 하면 좋다.

[0091] 다음에, 홈(1206a, 1206b, 1206c, 1206d)이 형성된 투광성 기관(1202) 위에 투광성 수지층(1213) 및 투광성 수지층(1207)의 적층을 형성한다(도 12d 참조). 투광성 수지층(1213, 1207)의 재료는 투광성 수지층을 형성한 후의 공정에 있어서(예를 들어, 인터포저의 실장시), 가열 처리를 사용하는 경우는 그 가열 온도에 견딜 수 있는 수지 재료를 사용한다. 적층하여 형성되는 투광성 수지층의 한 쪽은 광 필터로서 기능하는 유채색의 착색층이며, 다른 쪽은 충격 흡수층으로서 기능하는 수지층이다. 본 실시형태에서는, 투광성 수지층(1213)을 유채색의 착색 재료를 포함하는 수지층으로 형성한다.

[0092] 충격 흡수층으로서 기능하는 투광성 수지층(1207)을 형성하면, 광 센서 및 컬러 센서에 내(耐) 스트레스성을 더 부여할 수 있다. 예를 들어, 본 실시형태에서 제시하는 투광성 수지층이 형성된 광 센서는 약 20N의 압력을 가하여도 파손되지 않고 견딜 수 있다.

[0093] 투광성 수지층으로서, 비닐 수지, 에폭시 수지, 페놀 수지, 노볼락 수지, 아크릴수지, 멜라민 수지, 우레탄 수지, 실록산 수지 등의 수지 재료로 이루어지는 층을 사용할 수 있다. 수지층의 제작 방법은 스핀코팅법 등의 도포법을 사용할 수 있고, 그 외, 액적 토출법, 인쇄법, 디핑법, 디스펜서법, 브러쉬 페인팅(brush painting)법, 스프레이법, 플로 코팅(flow coating)법 등을 사용할 수도 있다.

[0094] 그 후, 투광성 수지층(1213, 1207) 및 투광성 기관(1205)을 홈(1206a, 1206b, 1206c, 1206d)에서 절단하여, 복수의 광 센서로 분단(분할)한다. 본 실시형태에서는, 투광성 기관(1205) 및 투광성 수지층(1213, 1207)을 고정 테이프(1211)에 고정하여 투광성 기관(1205) 측으로부터 홈(1206a, 1206b, 1206c, 1206d)에 잔존하는 투광성 기관(1202) 및 투광성 수지층(1213, 1207)을 다이서(1208)에 의하여 절단한다. 다이서(1208)에 의하여 투광성 기관(1205) 및 투광성 수지층(1213, 1207)은 분할되고, 투광성 기관(1209a, 1209b, 1209c), 투광성 수지층(1214a, 1214b, 1214c, 1210a, 1210b, 1210c)이 된다(도 12e 참조). 본 실시형태에서는, 고정 테이프(1203, 1211)로서 다이싱 테이프를 사용한다.

[0095] 홈이 형성된 투광성 기관(1205) 및 투광성 수지층(1213, 1207)을 절단할 때는, 투광성 기관(1205) 측과 투광성

수지층(1213, 1207) 측의 어느 쪽으로부터라도 절단할 수 있다. 투광성 기관(1205)에 얼라인먼트의 위치 맞춤의 마커를 형성하는 경우에는, 투광성 기관(1205) 측으로부터 다이서 등의 절단 수단을 사용하여 절단하면, 절단 개소의 정확성을 높게 할 수 있다.

- [0096] 상술한 공정으로 광 센서(1212a, 1212b, 1212c)를 형성할 수 있다(도 12f 참조). 투광성 수지층(1207) 및 투광성 기관(1202)을 절단하는 절단면의 폭을 홈의 폭보다 좁게 함으로써 투광성 기관 측면에 홈에 형성된 수지층을 잔존시킬 수 있다. 본 실시형태에서는, 다이서(1204) 및 다이서(1208)의 폭은 처리 영역(다이서에 의하여 가공되는 영역)을 결정하는 다이싱 블레이드의 두께이다.
- [0097] 절단면의 폭(a1)은 다이서(1204)의 다이싱 블레이드의 폭(a1)에 의하여 제어할 수 있고, 홈의 폭은 다이서(1208)의 다이싱 블레이드의 폭(a2)에 의하여 제어할 수 있으므로, 다이서(1204)의 다이싱 블레이드의 폭(a1)보다 다이서(1208)의 다이싱 블레이드의 폭(a2)을 좁게 하면 좋다. 예를 들어, 본 실시형태에서는, 다이서(1204)의 다이싱 블레이드의 폭(a1)을 0.16mm, 다이서(1208)의 다이싱 블레이드의 폭(a2)을 0.1mm로 한다.
- [0098] 따라서, 광 센서(1212a, 1212b, 1212c)에 있어서, 반도체 소자층(1201a, 1201b, 1201c)이 형성되지 않는 면 및 측면의 일부는 수지층(1210a, 1210b, 1210c)으로 덮이는 구조가 된다.
- [0099] 투광성 기관에 형성되는 홈의 형상은 가공 수단에 의존한다. 본 실시형태에서는 다이서(1204)의 약간 둥그스름해진 다이싱 블레이드의 형상이 반영되어, 홈(1206a, 1206b, 1206c, 1206d)도 도 11b의 단면에 있어서 둥그스름한(곡률을 갖는) 형상이다. 다이싱 블레이드의 형상을 직사각형으로 하면, 홈의 형상도 직사각형이 되고, 분단 후의 광 센서의 투광성 기관의 단부도 직사각형을 갖는 형상으로 할 수 있다.
- [0100] 또한, 기관 단부에서의 피복성을 향상시키기 위하여 투광성 수지층을 두껍게 형성하는 것이 바람직하다. 투광성 수지층의 구조나 막 두께, 또 절단 개소에 따라서도 완성되는 광 센서의 형상을 자유로이 변화시킬(상이하게 할) 수 있다.
- [0101] 다이싱 블레이드의 폭이 가는 다이서를 사용하여 분단하면, 투광성 기관의 홈의 영역을 완성된 광 센서에 많이 남길 수도 있다. 충격 흡수재로서 기능하는 투광성 수지층을 적층하면, 광 센서에 내 스트레스성을 더 부여할 수 있다.
- [0102] 또한, 본 실시형태에서는 홈을 형성하고, 홈 위에 투광성 수지층을 형성하므로, 홈 저면에 두껍게 투광성 수지층을 형성할 수 있다. 또한, 투광성 수지층을 형성한 후, 투광성 수지층과 투광성 기관을 적층하여 절단하므로, 측면에 있어서 투광성 수지층의 단부와 투광성 기관의 단부가 일치한다. 측면에 있어서, 투광성 기관의 위 측의 단부가 노출되지 않으므로, 투광성 기관의 단부의 파손이나 깨짐을 방지할 수 있다. 또한, 투광성 수지층을 적층에 의하여 두껍게 형성하면, 광 센서의 측면에 있어서 투광성 기관의 단부와 투광성 수지층의 단부와의 거리를 길게 할 수 있으므로, 투광성 기관 단부에 주는 대미지를 더 경감할 수 있다.
- [0103] 도 12a 내지 도 12f에 도시하는 바와 같이 각 기관에 형성되어, 분단되어 제작된 복수의 광 센서를 인터포저 위에 실장함으로써 컬러 센서를 제작할 수 있다.
- [0104] 광 센서에 있어서 얇게 형성된 투광성 기관은 투광성 수지층으로 덮이므로 공정상 취급하기 쉽고, 파손 등의 불량률이 쉽게 생기지 않는다. 따라서, 보다 박형의 고성능의 컬러 센서를 수율 좋게 제작할 수 있다.
- [0105] 인터포저에 실장되는 복수의 광 센서는 자유로이 선택할 수 있으므로, 각각 포함하는 유체색의 투광성 수지의 색깔이 상이한 광 센서를 인터포저에 실장하여 컬러 센서를 제작할 수 있다.
- [0106] 또한, 인터포저에 실장할 때, 광 센서에 검사 공정을 행하여 양품만을 선별하고 인터포저에 실장할 수 있으므로, 제작 공정에 있어서, 컬러 센서의 수율이 향상된다. 특히, 광 센서에 증폭 회로 등 복잡한 구성을 포함하는 반도체 소자층을 갖는 구성의 경우, 칩 형상의 광 센서에 불량이 생길 우려가 있으므로, 인터포저에 실장하기 전에 광 센서의 불량 검사를 행할 수 있는 것은 유익하다.
- [0107] 또한, 본 실시형태의 광 센서는 투광성 기관의 반도체 소자층의 형성 면과 반대 측의 일면 및 단부(측면)의 일부를 적어도 유체색의 투광성 수지층으로 덮는 구성이다. 따라서, 투광성 수지층이 제작 공정 또는 검사 공정에 있어서 가해지는 압력 등의 외부 스트레스로부터의 충격 흡수층으로서도 기능하므로, 광 센서의 홈, 크랙 등의 불량을 저감하고, 신뢰성이 높은 컬러 센서를 제작할 수 있다.
- [0108] 분단되는 반도체 소자층으로서 기관 위에 광전 변환 소자 및 전계 효과 트랜지스터를 형성하는 방법을 도 13a 내지 도 15b의 단면도를 사용하여 설명한다.

- [0109] 또한, 투광성 기판(1310)으로서, 유리 기판의 하나인 AN100을 사용한다. 기판 위에 형성하는 전계 효과 트랜지스터로서 박막 트랜지스터를 사용함으로써 기판 위에 광전 변환 소자와 박막 트랜지스터를 동일 공정으로 제작할 수 있으므로, 광 센서를 양산화하기 쉽다는 이점이 있다. 또한, 본 실시형태에서 제시하는 광 센서는 광 필터(이하, 컬러 필터라고 함)로서 기능하는 투광성 수지층 및 투광성 기판을 투과하여 광전 변환 소자에 광이 조사되는 것이다.
- [0110] 플라즈마 CVD법으로 하지 절연막(1312)이 되는 질소를 포함하는 산화실리콘막(막 두께 100nm)을 형성하고, 또 대기에 노출되지 않고, 반도체막, 예를 들어, 수소를 포함하는 비정질 실리콘막(막 두께 54nm)을 적층하여 형성한다. 또한, 하지 절연막(1312)은 산화실리콘막, 질화실리콘막, 질소를 포함하는 산화실리콘막을 사용하여 적층하여도 좋다. 예를 들어, 하지 절연막(1312)으로서, 산소를 포함하는 질화실리콘막을 50nm, 또한 질소를 포함하는 산화실리콘막을 100nm 적층한 막을 형성하여도 좋다. 또한, 질소를 포함하는 산화실리콘막이나 질화실리콘막은 유리 기판으로부터의 알칼리 금속 등의 불순물 확산을 방지하는 블로킹층으로서 기능한다.
- [0111] 반도체 소자가 갖는 반도체층을 형성하는 재료는 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용하여 기상 성장법이나 스퍼터링법으로 제작되는 비정질(아모퍼스; 이하 AS라고도 함) 반도체, 상기 비정질 반도체를 광 에너지나 열 에너지를 이용하여 결정화시킨 다결정 반도체, 또는 미결정(세미 아모퍼스 또는 마이크로 크리스털이라고도 불림. 이하, SAS라고도 함) 반도체 등을 사용할 수 있다. 반도체층은 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등에 의하여 형성될 수 있다.
- [0112] 미결정 반도체막은 깁스 자유 에너지(Gibbs free energy)를 고려하면 비정질과 단결정의 중간적인 준안정 상태에 속하는 것이다. 즉, 자유 에너지적으로 안정된 제 3 상태를 갖는 반도체이고, 단거리 질서를 갖고 격자 왜곡을 갖는다. 기둥 형상 결정 또는 침상(針狀) 결정이 기판 표면에 대하여 법선 방향으로 성장한다. 미결정 반도체의 대표적인 예인 미결정 실리콘은 그 라만 스펙트럼이 단결정 실리콘을 나타내는 520cm^{-1} 보다 저주파수 측으로 시프트(shift)한다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 과 아모퍼스 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(덴글링 본드)를 중단하기 위하여 수소 또는 할로젠을 적어도 1at.%, 또는 그 이상 포함시킨다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희소 가스 원소를 포함시켜, 격자 왜곡을 더 촉진시킴으로써, 안정성이 증가되어 양호한 미결정 반도체막이 얻어진다.
- [0113] 이 미결정 반도체막은 주파수가 수십MHz 내지 수백MHz의 고주파 플라즈마 CVD법 또는 주파수가 1GHz 이상의 마이크로파 플라즈마 CVD 장치에 의하여 형성할 수 있다. 대표적으로는, SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등의 수소화 실리콘을 수소로 희석하여 형성할 수 있다. 또한, 수소화 실리콘 및 수소에 첨가하여 헬륨, 아르곤, 크립톤, 네온 중으로부터 선택된 일종 또는 복수종의 희소 가스로 희석하여 미결정 반도체막을 형성할 수 있다. 이 때의 수소화 실리콘에 대하여 수소의 유량 비율을 5배 이상 200배 이하, 바람직하게는, 50배 이상 150배 이하, 더 바람직하게는 100배로 한다.
- [0114] 아모퍼스 반도체로서는 대표적으로는 수소화 아모퍼스 실리콘, 결정성 반도체로서는 대표적으로는 폴리실리콘 등을 들 수 있다. 폴리실리콘(다결정 실리콘)에는 800°C 이상의 프로세스 온도를 거쳐 형성되는 폴리실리콘을 주재료로서 사용한 소위 고온 폴리실리콘이나, 600°C 이하의 프로세스 온도로 형성되는 폴리실리콘을 주재료로서 사용한 소위 저온 폴리실리콘, 또한 결정화를 촉진하는 원소 등을 사용하여 비정질 실리콘을 결정화시킨 폴리실리콘 등을 포함한다. 물론, 상술한 바와 같이, 미결정 반도체 또는 반도체층의 일부에 결정상을 포함하는 반도체를 사용할 수도 있다.
- [0115] 또한, 반도체의 재료로서는, 실리콘(Si), 게르마늄(Ge) 등의 단체 외에 GaAs, InP, SiC, ZnSe, GaN, SiGe 등과 같은 화합물 반도체도 사용할 수 있다. 또한, 산화물 반도체인 산화아연(ZnO), 산화주석(SnO_2) 등도 사용할 수 있고, ZnO를 반도체층에 사용하는 경우, 게이트 절연층으로서 Y_2O_3 , Al_2O_3 , TiO_2 , 이들 적층 등을 사용하면 좋고, 게이트 전극층, 소스 전극층, 드레인 전극층으로서는 ITO, Au, Ti 등을 사용하면 좋다. 또한, ZnO에 In이나 Ga 등을 첨가할 수도 있다.
- [0116] 반도체층에 결정성 반도체막을 사용하는 경우, 그 결정성 반도체막의 제작 방법은 다양한 방법(레이저 결정화법, 열 결정화법, 또는 니켈 등의 결정화를 촉진시키는 원소를 사용한 열 결정화법 등)을 사용하면 좋다. 또한 SAS인 미결정 반도체를 레이저 조사하여 결정화하여, 결정성을 높일 수도 있다. 결정화를 촉진시키는 원소를 도입하지 않는 경우에는, 비정질 실리콘막에 레이저 광을 조사하기 전에, 질소 분위기하 500°C 로 1시간 가열함으로써 비정질 실리콘막의 함유 수소 농도를 1×10^{20} atoms/cm³ 이하까지 방출시킨다. 이것은 수소를 많이 포

합하는 비정질 실리콘막에 레이저 광을 조사하면 비정질 실리콘막이 파괴되기 때문이다.

- [0117] 비정질 반도체막에 금속 원소를 도입하는 방법으로서는 상기 금속 원소를 비정질 반도체막의 표면 또는 그 내부에 존재시킬 수 있는 수법이면 특히 한정되지 않으며, 예를 들어, 스퍼터링법, CVD법, 플라즈마 처리법(플라즈마 CVD법도 포함함), 흡착법, 금속염의 용액을 도포하는 방법을 사용할 수 있다. 이들 중, 용액을 사용하는 방법은 간편하고, 금속 원소의 농도 조절이 용이하다는 점에서 유용하다. 또한, 이때 비정질 반도체막의 표면의 습윤성을 개선하고, 비정질 반도체막의 표면 전체에 수용액을 퍼지게 하기 위해서 산소 분위기 중에서의 UV광의 조사, 열 산화법, 하이드록시 라디칼을 포함하는 오존수 또는 과산화 수소에 의한 처리 등에 의하여 산화막을 형성하는 것이 바람직하다.
- [0118] 또한, 비정질 반도체막을 결정화하여 결정성 반도체막을 형성하는 결정화 공정에서 비정질 반도체막에 결정화를 촉진하는 원소(촉매 원소, 금속 원소라고도 함)를 첨가하고, 열 처리(550℃ 내지 750℃에서 3분 내지 24시간)에 의하여 결정화하여도 좋다. 결정화를 촉진하는 원소로서는 철(Fe), 니켈(Ni), 코발트(Co), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 구리(Cu) 및 금(Au) 중에서 선택된 일종 또는 복수 종류를 사용할 수 있다.
- [0119] 결정화를 촉진하는 원소를 결정성 반도체막으로부터 제거 또는 경감하기 위하여, 결정성 반도체막에 접하고 불순물 원소를 포함하는 반도체막을 형성하고, 게터링 싱크로서 기능시킨다. 불순물 원소로서는 n형을 부여하는 불순물 원소, p형을 부여하는 불순물 원소나 희소 가스 원소 등을 사용할 수 있고, 예를 들어 인(P), 질소(N), 비소(As), 안티몬(Sb), 비스무트(Bi), 붕소(B), 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 크세논(Xe) 중에서 선택된 일종 또는 복수종을 사용할 수 있다. 결정화를 촉진시키는 원소를 포함하는 결정성 반도체막에 희소 가스 원소를 포함하는 반도체막을 형성하고, 열 처리(550℃ 내지 750℃에서 3분 내지 24시간)를 행한다. 결정성 반도체막 중에 포함되는 결정화를 촉진시키는 원소는 희소 가스 원소를 포함하는 반도체층 중으로 이동하여, 결정성 반도체막 중의 결정화를 촉진시키는 원소는 제거 또는 경감된다. 그 후, 게터링 싱크가 된 희소 가스 원소를 포함하는 반도체막을 제거한다.
- [0120] 비정질 반도체막의 결정화는 열 처리와 레이저 광 조사에 의한 결정화를 조합하여도 좋고, 열 처리나 레이저 광 조사를 단독으로 복수 회 행하여도 좋다.
- [0121] 또한, 플라즈마법에 의하여 결정성 반도체막을 직접 기판에 형성하여도 좋다. 또한, 플라즈마법을 사용하여 결정성 반도체막을 선택적으로 기판에 형성하여도 좋다.
- [0122] 본 실시형태에서는 반도체막으로서 촉매 원소를 사용한 결정화 방법을 사용하여 다결정 실리콘막을 형성한다. 중량 환산으로 10ppm의 니켈을 포함하는 아세트산 니켈 용액을 스피너(spinner)로 첨가한다. 또한, 용액을 첨가하는 방법 대신에 스퍼터링법으로 니켈 원소를 전체 면에 산포하는 방법을 사용하여도 좋다. 다음에, 가열 처리로 결정화시켜 결정 구조를 갖는 반도체막(여기서는 다결정 실리콘막)을 형성한다. 여기서는 열 처리(550℃, 1시간) 후, 결정화를 위한 열 처리(550℃, 4시간)를 행하여 다결정 실리콘막을 얻는다.
- [0123] 이어서, 다결정 실리콘막 표면의 산화막을 희석된 플루오르화 수소산 등으로 제거한다. 그 후, 결정화율을 높이고, 결정립 내에 남는 결함을 보수하기 위한 레이저 광(XeCl: 파장 308nm)의 조사를 대기 중 또는 산소 분위기 중에서 행한다.
- [0124] 레이저 광에는 파장 400nm 이하의 엑시머 레이저 광이나, YAG 레이저의 제 2 고조파 또는 제 3 고조파를 사용한다. 여기서는, 반복 주파수 10Hz 내지 1000Hz 정도의 펄스 레이저 광을 사용하고, 그 레이저 광을 광학계에 의하여 100mJ/cm² 내지 500mJ/cm²로 집광하고, 90% 내지 95%의 오버랩률을 갖고 조사하여, 실리콘막 표면을 주사시키면 좋다. 본 실시예형태에서는, 반복 주파수 30Hz, 에너지 밀도 470mJ/cm²로 레이저 광의 조사를 대기 중에서 행한다.
- [0125] 이때, 대기 중 또는 산소 분위기 중에서 행하기 때문에, 레이저 광의 조사에 의하여 표면에 산화막이 형성된다. 또한, 본 실시형태에서는 펄스 레이저를 사용한 예를 개시하였지만, 연속 발진의 레이저를 사용하여도 좋고, 반도체막을 결정화할 때 대입경의 결정을 얻기 위해서는, 연속 발진이 가능한 고체 레이저를 사용하고, 기본파의 제 2 고조파 내지 제 4 고조파를 적용하는 것이 바람직하다. 대표적으로는, Nd: YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 적용하면 좋다.
- [0126] 연속 발진의 레이저를 사용할 경우에는, 출력 10W의 연속 발진의 YVO₄ 레이저로부터 사출된 레이저 광을 비선형 광학 소자에 의하여 고조파로 변환한다. 또한, 공기중 중에 YVO₄ 결정과 비선형 광학 소자를 넣고, 고조파를

사출하는 방법도 있다. 그리고, 바람직하게는 광학계에 의하여 조사면에서 직사각형 또는 타원형의 레이저 광으로 형성하고, 피처리체에 조사한다. 이 때의 에너지 밀도는 $0.01\text{MW}/\text{cm}^2$ 내지 $100\text{MW}/\text{cm}^2$ 정도(바람직하게는 $0.1\text{MW}/\text{cm}^2$ 내지 $10\text{MW}/\text{cm}^2$)가 필요하다. 그리고 $10\text{cm}/\text{s}$ 내지 $2000\text{cm}/\text{s}$ 정도의 속도로 레이저 광에 대하여 상대적으로 반도체막을 이동시켜 조사하면 좋다.

- [0127] 다음에, 상기 레이저 광의 조사에 의하여 형성된 산화막에 추가로 오존수로 표면을 120초 처리하여 함께 1nm 내지 5nm의 산화막으로 이루어지는 배리어층을 형성한다. 이 배리어층은 결정화시키기 위하여 첨가한 촉매 원소, 예를 들어, 니켈(Ni)을 막 중에서 제거하기 위하여 형성한다. 여기서는 오존수를 사용하여 배리어층을 형성하였지만, 산소 분위기 하의 자외선의 조사로 결정 구조를 갖는 반도체막의 표면을 산화하는 방법이나 산소 플라즈마 처리에 의하여 결정 구조를 갖는 반도체막의 표면을 산화하는 방법이나 플라즈마 CVD법이나 스퍼터링법이나 증착법 등으로 1nm 내지 10nm 정도의 산화막을 퇴적하여 배리어층을 형성하여도 좋다. 또한 배리어층을 형성하기 전에 레이저 광의 조사에 의하여 형성된 산화막을 제거하여도 좋다.
- [0128] 다음에, 배리어층 위에 스퍼터링법으로 게터링 사이트가 되는 아르곤 원소를 포함하는 비정질 실리콘막을 10nm 내지 400nm, 여기서는 막 두께 100nm로 형성한다. 여기서는, 아르곤 원소를 포함하는 비정질 실리콘막은 실리콘 타겟을 사용하여 아르곤을 포함하는 분위기 하에서 형성한다. 플라즈마 CVD법을 사용하여 아르곤 원소를 포함하는 비정질 실리콘막을 형성할 경우, 성막 조건은, 모노실란과 아르곤의 유량 비율(SiH_4 : Ar)을 1:99로 하고, 성막 압력을 6.665Pa 로 하고, RF 파워 밀도를 $0.087\text{W}/\text{cm}^2$ 로 하고, 성막 온도를 350°C 로 한다.
- [0129] 그 후, 650°C 로 가열된 노(爐)에 넣고 3분의 열 처리를 행하여, 촉매 원소를 제거(게터링)한다. 이로써, 결정 구조를 갖는 반도체막 중의 촉매 원소 농도가 저감된다. 노 대신에 램프 어닐링 장치를 사용하여도 좋다.
- [0130] 다음에, 배리어층을 에칭 스톱퍼로서 사용하여, 게터링 사이트인 아르곤 원소를 포함하는 비정질 실리콘막을 선택적으로 제거한 후, 배리어층을 희석된 플루오르화 수소산으로 선택적으로 제거한다. 또한, 게터링할 때 니켈은 산소 농도가 높은 영역으로 이동하기 쉬운 경향이 있기 때문에, 산화막으로 이루어지는 배리어층을 게터링 후에 제거하는 것이 바람직하다.
- [0131] 이때, 촉매 원소를 사용하여 반도체막의 결정화를 행하지 않을 경우에는, 상술한 배리어층의 형성, 게터링 사이트의 형성, 게터링을 위한 열 처리, 게터링 사이트의 제거, 배리어층의 제거 등의 공정은 불필요하다.
- [0132] 다음에, 얻어진 결정 구조를 갖는 반도체막(예를 들어, 결정성 실리콘막)의 표면에 오존수로 얇은 산화막을 형성한 후, 제 1 포토마스크를 사용하여 레지스트로 이루어진 마스크를 형성하고, 원하는 형상으로 에칭 처리하여 섬 형상으로 분리된 반도체막(1331)을 형성한다(도 13a 참조). 반도체층(1331)을 형성한 후, 레지스트로 이루어진 마스크를 제거한다.
- [0133] 다음에, 필요에 따라 트랜지스터의 임계값 전압을 제어하기 위하여, 미량의 불순물 원소(붕소 또는 인)의 도핑을 행한다. 여기서는, 디보란(B_2H_6)을 질량 분리하지 않고 플라즈마 여기한 이온 도핑법을 사용한다.
- [0134] 다음에, 불산을 포함하는 에천트로 산화막을 제거함과 동시에 반도체층(1331)의 표면을 세정한 후, 게이트 절연막(1313)이 되는 절연막을 형성한다.
- [0135] 게이트 절연막(1313)은 산화실리콘, 또는 산화실리콘과 질화실리콘의 적층 구조로 형성하면 된다. 게이트 절연막(1313)은 플라즈마 CVD법이나 감압 CVD법에 의하여 절연막을 퇴적함으로써 형성하여도 좋고, 플라즈마 처리에 의한 고상 산화 또는 고상 질화로 형성하면 좋다. 반도체층을 플라즈마 처리에 의하여 산화 또는 질화함으로써 형성하는 게이트 절연막은 치밀하고 절연 내압이 높아 신뢰성이 뛰어나기 때문이다. 예를 들어, 아산화질소(N_2O)를 Ar로 1배 내지 3배(유량비)로 희석하고, 10Pa 내지 30Pa의 압력으로 3kW 내지 5kW의 마이크로파(2.45GHz) 전력을 인가하여 반도체층의 표면을 산화 또는 질화시킨다. 이 처리에 의하여 1nm 내지 10nm(바람직하게는 2nm 내지 6nm)의 절연막을 형성한다. 또한, 아산화질소(N_2O)와 실란(SiH_4)을 도입하고, 10Pa 내지 30Pa의 압력으로 3kW 내지 5kW의 마이크로파(2.45GHz) 전력을 인가하여 기상 성장법에 의하여 산화질화실리콘막을 형성하여 게이트 절연막을 형성한다. 고상 반응과 기상 성장법에 의한 반응을 조합함으로써 계면 준위 밀도가 낮고 절연 내압이 뛰어난 게이트 절연막을 형성할 수 있다.
- [0136] 또한, 게이트 절연막(1313)으로서, 이산화티르코늄, 산화하프늄, 이산화티타늄, 오산화탄탈 등의 고유전율 재료를 사용하여도 좋다. 게이트 절연막(1313)에 고유전율 재료를 사용함으로써, 게이트 리크 전류를 저감할 수 있다.

- [0137] 본 실시형태에서는, 게이트 절연막(1313)으로서 플라즈마 CVD법에 의하여 115nm의 두께로 질소를 포함하는 산화실리콘막을 형성한다.
- [0138] 다음에, 게이트 절연막(1313) 위에 금속막을 형성한 후, 제 2 포토마스크를 사용하여, 게이트 전극(1334), 배선(1314 및 1315), 단자 전극(1350)을 형성한다(도 13b 참조). 이 금속막으로서, 예를 들어, 질화탄탈 및 텅스텐(W)을 각각 30nm, 370nm 적층한 막을 사용한다.
- [0139] 또한, 게이트 전극(1334), 배선(1314 및 1315), 단자 전극(1350)으로서, 상기 외에도 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 네오디뮴(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 알루미늄(Al), 금(Au), 은(Ag), 구리(Cu) 중에서 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 단층막, 또는, 이들의 질화물, 예를 들어, 질화티타늄, 질화텅스텐, 질화탄탈, 질화몰리브덴으로 이루어지는 단층막을 사용할 수 있다.
- [0140] 또한, 게이트 전극(1334), 배선(1314 및 1315), 단자 전극(1350)에 가시광(可視光)에 대하여 투광성을 갖는 투광성의 재료를 사용할 수도 있다. 투광성의 도전 재료로서는, 인듐 주석 산화물(ITO), 산화실리콘을 포함하는 인듐 주석 산화물(ITSO), 유기 인듐, 유기 주석, 산화아연 등을 사용할 수 있다. 또한, 산화아연(ZnO)을 포함하는 인듐아연산화물(IZO(Indium Zinc Oxide)), 산화아연(ZnO), ZnO에 갈륨(Ga)을 도핑한 것, 산화주석(SnO₂), 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티탄을 포함하는 인듐산화물, 산화티탄을 포함하는 인듐주석산화물 등을 사용하여도 좋다.
- [0141] 다음에, 반도체층(1331)에 일 도전형을 부여하는 불순물을 도입하여, 트랜지스터(1373)의 소스 영역 또는 드레인 영역(1337)을 형성한다(도 13c 참조). 본 실시형태에서는 n 채널형 트랜지스터를 형성하므로, n형을 부여하는 불순물, 예를 들어, 인(P), 비소(As) 등을 반도체층(1331)에 도입한다. p 채널형 트랜지스터를 형성하는 경우는, p형을 부여하는 불순물, 예를 들어, 붕소(B)를 반도체층(1331)에 도입하면 좋다.
- [0142] 다음에, CVD법에 의하여 산화실리콘막을 포함하는 제 1 층간 절연막(도시하지 않음)을 50nm 형성한 후, 각각의 섬 형상 반도체 영역에 첨가된 불순물 원소를 활성화 처리하는 공정을 행한다. 이 활성화 공정은 램프 광원을 사용한 래피드 서멀 어닐법(RTA법), 또는 YAG 레이저 또는 엑시머 레이저를 이면으로부터 조사하는 방법, 또는 노를 사용한 열 처리, 또는 이들 방법 중의 어느 것과 조합한 방법에 의하여 행한다.
- [0143] 다음에, 수소 및 산소를 포함하는 질화실리콘막을 포함하는 제 2 층간 절연막(1316)을, 예를 들어 10nm의 막 두께로 형성한다.
- [0144] 다음에, 제 2 층간 절연막(1316) 위에 절연성 재료로 이루어지는 제 3 층간 절연막(1317)을 형성한다(도 13d 참조). 제 3 층간 절연막(1317)은 CVD법으로 얻어지는 절연막을 사용할 수 있다. 본 실시형태에 있어서는 밀착성을 향상시키기 위하여, 제 3 층간 절연막(1317)으로서, 900nm의 막 두께로 형성한 질소를 포함하는 산화실리콘막을 형성한다.
- [0145] 다음에, 열 처리(300℃ 내지 550℃로 1시간 내지 12시간의 열 처리, 예를 들어, 질소 분위기 중 410℃로 1시간)를 행하여, 반도체층을 수소화한다. 이 공정은 제 2 층간 절연막(1316)에 포함되는 수소에 의하여 반도체층의 땀글링 본드를 중단시키기 위하여 행하는 것이다. 게이트 절연막(1313)의 존재에 상관없이 반도체층을 수소화할 수 있다.
- [0146] 또한, 제 3 층간 절연막(1317)으로서, 실록산을 사용한 절연막, 및 그들의 적층 구조를 사용할 수도 있다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 골격 구조로 구성된다. 치환기로서, 적어도 수소를 포함하는 화합물(예를 들어, 알킬기, 아릴기)이 사용된다. 치환기로서, 불소를 사용하여도 좋다. 또는 치환기로서, 적어도 수소를 포함하는 화합물과, 불소를 사용하여도 좋다.
- [0147] 제 3 층간 절연막(1317)으로서 실록산을 사용한 절연막, 및 이들의 적층 구조를 사용한 경우에는, 제 2 층간 절연막(1316)을 형성한 후, 반도체층을 수소화하기 위한 열 처리를 행하고, 다음에 제 3 층간 절연막(1317)을 형성할 수도 있다.
- [0148] 다음에, 제 3 포토 마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 제 1 층간 절연막, 제 2 층간 절연막(1316) 및 제 3 층간 절연막(1317) 또는 게이트 절연막(1313)을 선택적으로 에칭하여 콘택트 홀을 형성한다. 그리고 레지스트로 이루어지는 마스크를 제거한다.
- [0149] 또한, 제 3 층간 절연막(1317)은 필요에 따라 형성하면 좋고, 제 3 층간 절연막(1317)을 형성하지 않는 경우에

는, 제 2 층간 절연막(1316)을 형성한 후에 제 1 층간 절연막, 제 2 층간 절연막(1316) 및 게이트 절연막(1313)을 선택적으로 에칭하여 콘택트 홀을 형성한다.

[0150] 다음에, 스퍼터링법으로 금속 적층막을 형성한 후, 제 4 포토 마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 선택적으로 금속막을 에칭하여, 배선(1319), 접속 전극(1320), 단자 전극(1351), 트랜지스터(1373)의 소스 전극 또는 드레인 전극(1341)을 형성한다. 그리고, 레지스트로 이루어지는 마스크를 제거한다. 이때, 본 실시형태의 금속막은 막 두께 100nm의 Ti막과, Si를 미량으로 포함하는 막 두께 350nm의 Al막과, 막 두께 100nm의 Ti막의 3층을 적층한 것으로 한다.

[0151] 또한, 배선(1319), 접속 전극(1320), 단자 전극(1351), 및 트랜지스터(1373)의 소스 전극 또는 드레인 전극(1341)을 단층의 도전막으로 형성하는 경우는, 내열성 및 도전율 등의 점에서 티타늄막(Ti막)이 바람직하다. 또한, 티타늄막 대신에, 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 네오디뮴(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt) 중에서 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 단층막, 또는, 이들의 질화물, 예를 들어, 질화 티타늄, 질화 텅스텐, 질화 탄탈, 질화 몰리브덴으로 이루어지는 단층막을 사용할 수 있다. 배선(1319), 접속 전극(1320), 단자 전극(1351), 및 트랜지스터(1373)의 소스 전극 또는 드레인 전극(1341)을 단층막으로 함으로써, 제작 공정에 있어서 성막 횟수를 감소시킬 수 있다.

[0152] 상술한 공정으로, 다결정 실리콘막을 반도체층으로서 사용한 톱 게이트형 트랜지스터(1373)를 제작할 수 있다.

[0153] 본 실시형태에서는, 반도체 소자층에 포함되는 반도체 소자로서, n채널형 트랜지스터를 예로 들어 제시하지만, p채널형 트랜지스터를 사용하여도 좋다. 다양한 형태의 전계 효과 트랜지스터를 사용할 수 있고, 사용하는 트랜지스터의 종류에 한정은 없다.

[0154] 본 실시형태에서는, 싱글 게이트 구조의 트랜지스터를 설명하지만, 더블 게이트 구조 등의 멀티 게이트 구조이어도 좋다. 이 경우, 반도체층의 위쪽, 아래쪽에 게이트 전극층을 형성하는 구조이어도 좋고, 반도체층의 한쪽(위쪽 또는 아래쪽)에만 복수의 게이트 전극층을 형성하는 구조이어도 좋다.

[0155] 잉크 젯이나 인쇄법을 사용하여 형성한 트랜지스터 등을 사용할 수 있다. 이들에 의하여, 실온으로 제작, 저진공도로 제작, 또는 대형 기판 위에 제작할 수 있다. 또한, 마스크(레티클)를 사용하지 않아도 제작할 수 있기 때문에, 트랜지스터의 배치를 용이하게 변경할 수 있다. 또한, 레지스트를 사용할 필요가 없기 때문에, 재료 비용이 낮아지고, 공정수를 삭감할 수 있다. 또한, 필요한 부분에만 막을 형성하기 때문에, 전체 면에 형성한 후에 에칭하는 제작 방법보다 재료가 낭비되지 않고, 비용을 낮출 수 있다.

[0156] 또는, 유기 반도체나 카본 나노 튜브를 갖는 트랜지스터 등을 사용할 수 있다. 이들을 사용함으로써, 구부릴 수 있는 기판 위에 트랜지스터를 형성할 수 있다. 따라서, 충격에 강하게 할 수 있다.

[0157] 또는, 반도체층으로서 단결정 반도체층을 사용한 투광성의 SOI 구조를 갖는 기판 등을 사용하여 트랜지스터를 형성하여도 좋다. 이들을 사용함으로써, 특성이나 사이즈나 형상 등의 편차가 적고, 전류 공급 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이들 트랜지스터를 사용하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.

[0158] 본 실시형태의 광 센서는 박막 트랜지스터를 사용하여 전계 효과 트랜지스터를 구성함으로써, 유리 기판 등의 투광성 기판 위에 형성할 수 있다. 그래서, 광전 변환 소자를 기판 상면에 형성하여도 기판의 이면으로부터 투광성 기판을 투과한 광을 광전 변환 소자로 수광할 수 있게 된다.

[0159] 다음에, 이후 형성되는 광전 변환층(대표적으로는 아모퍼스 실리콘)과 반응하여 합금이 되기 어려운 도전성의 금속막(티타늄(Ti) 또는 몰리브덴(Mo) 등)을 형성한 후, 제 5 포토 마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 선택적으로 도전성 금속막을 에칭하여 배선(1319)을 덮는 보호 전극(1318), 보호 전극(1345), 보호 전극(1346), 및 보호 전극(1348)을 형성한다(도 14a 참조). 여기서는, 스퍼터링법으로 얻어지는 막 두께 200nm의 Ti막을 사용한다. 또한, 마찬가지로 접속 전극(1320), 단자 전극(1351), 트랜지스터(1373)의 소스 전극 또는 드레인 전극(1341)도 도전성 금속막으로 덮인다. 따라서, 도전성 금속막은 이들 전극의 2층째의 Al막이 노출된 측면도 덮으므로, 도전성 금속막은 광전 변환층으로 알루미늄 원자가 확산되는 것도 방지할 수 있다.

[0160] 다만, 배선(1319), 접속 전극(1320), 단자 전극(1351), 및 트랜지스터(1373)의 소스 전극 또는 드레인 전극(1341)을 단층의 도전막으로 형성하는 경우, 보호 전극(1318), 보호 전극(1345), 보호 전극(1346), 및 보호 전

극(1348)은 형성하지 않아도 좋다.

- [0161] 다음에, 제 3 층간 절연막(1317) 위에, p형 반도체층(1371p), i형 반도체층(1371i) 및 n형 반도체층(1371n)을 포함하는 광전 변환층(1371)을 형성한다.
- [0162] p형 반도체층(1371p)은 주기율표 제 13족의 불순물 원소, 예를 들어, 붕소(B)를 포함하는 세미아모퍼스(미결정, 마이크로 크리스털이라고도 함) 실리콘막을 플라즈마 CVD법으로 성막하여 형성하면 좋다.
- [0163] 미결정 실리콘막을 형성하는 방법의 일례는, 실란 가스와 수소 및/또는 희가스를 혼합하여, 글로우 방전 플라즈마에 의하여 형성하는 방법을 들 수 있다. 실란은 수소 및/또는 희가스로 10배 내지 200배로 희석된다. 따라서, 다량의 수소 및/또는 희가스가 필요하게 된다. 기관의 가열 온도는 100℃ 내지 300℃, 바람직하게는, 120℃ 내지 220℃로 행한다. 미결정 실리콘막의 성장 표면을 수소로 불활성화하고, 미결정 실리콘의 성장을 촉진시키기 위해서는, 120℃ 내지 220℃에서 성막하는 것이 바람직하다. 성막 처리 중, 활성종인 SiH 라디칼, SiH₂ 라디칼, SiH₃ 라디칼은 결정 핵을 기초로 하여 결정 성장한다. 또한, 실란 등의 가스 중에 GeH₄, GeF₄ 등의 수소화 게르마늄, 불화 게르마늄을 혼합하거나, 또는 실리콘에 탄소 또는 게르마늄을 더하여, 에너지 밴드 폭을 조절하여도 좋다. 실리콘에 탄소를 더한 경우는 에너지 밴드 폭은 확대되고, 또한 실리콘에 게르마늄을 더한 경우는 에너지 밴드 폭은 축소된다.
- [0164] 또한, 배선(1319), 보호 전극(1318)은 광전 변환층(1371)의 최하층, 본 실시형태에서는 p형 반도체층(1371p)과 접한다.
- [0165] p형 반도체층(1371p)을 형성한 후에, i형 반도체층(1371i) 및 n형 반도체층(1371n)을 순차적으로 형성한다. 이로써, p형 반도체층(1371p), i형 반도체층(1371i) 및 n형 반도체층(1371n)을 갖는 광전 변환층(1371)이 형성된다.
- [0166] i형 반도체층(1371i)으로서는, 예를 들어, 플라즈마 CVD법으로 미결정 실리콘막을 형성하면 좋다. 또한, n형 반도체층(1371n)으로서는, 주기율표 제 15족의 불순물 원소, 예를 들어, 인(P)을 포함하는 미결정 실리콘막을 형성하여도 좋고, 미결정 실리콘막을 형성한 후, 주기율표 제 15족의 불순물 원소를 도입하여도 좋다.
- [0167] 또한, p형 반도체층(1371p), i형 반도체층(1371i), n형 반도체층(1371n)으로서, 미결정 반도체막뿐만 아니라, 아모퍼스 반도체막을 사용하여도 좋다. 또한, 상술한 촉매나 레이저 결정화 처리에 의하여 형성되는 다결정 반도체막을 사용하여도 좋다.
- [0168] 또한, 미결정 실리콘, 스마트 컷법에 의하여 형성되는 단결정 실리콘으로 형성되는 광전 변환층은 기관 면 내의 특성의 편차를 저감할 수 있다.
- [0169] 다음에, 전체 면에 절연성 재료(예를 들어, 실리콘을 포함하는 무기 절연막)로 이루어지는 밀봉층(1324)을 두께 1μm 내지 30μm로 형성하여, 도 14b의 상태를 얻는다. 여기서는 절연성 재료막으로서 CVD법에 의하여, 막 두께 1μm의 질소를 포함하는 산화실리콘막을 형성한다. CVD법에 의한 절연막을 사용함으로써 밀착성의 향상을 도모한다.
- [0170] 다음에, 밀봉층(1324)을 에칭하여 개구부를 형성한 후, 스퍼터링법에 의하여 배선(1374 및 1375)을 형성한다. 배선(1374 및 1375)은 티타늄막(Ti막)(200nm)을 스퍼터링법에 의하여 형성한다.
- [0171] 다음에, 노출된 면을 덮어, 보호막(1377)을 형성한다(도 15a 참조). 보호막(1377)으로서, 본 실시형태에서는, 질화실리콘막을 사용한다. 이 보호층(1377)에 의하여 광전 변환층(1371)이나 트랜지스터(1373)에 수분이나 유기물 등의 불순물이 혼입되는 것을 방지할 수 있다.
- [0172] 다음에, 보호막(1377) 위에 밀봉막(1378)을 형성한다. 밀봉막(1378)도 외부 스트레스로부터 반도체 소자층을 보호하는 기능을 갖는다. 본 실시형태에서는, 밀봉막(1378)으로서 감광성의 에폭시-페놀계 수지를 사용하여 20μm의 두께로 형성한다. 밀봉막(1378)으로서는 에폭시-페놀계 수지인 옴 코트(Ohmcoat)를 사용한다.
- [0173] 다음에, 상층의 단자 전극이 하층의 배선(1374) 또는 배선(1375)과 전기적으로 접속되는 영역의 보호막을 에칭하여 콘택트 홀을 형성한다.
- [0174] 다음에, 밀봉막(1378) 위에, 예를 들어, 니켈(Ni) 페이스트를 사용하고, 또한 스퍼터링법으로 티타늄막(Ti막; 150nm)과, 니켈막(Ni막; 750nm)과, 금막(Au막; 50nm)의 적층막을 형성한다. 상술한 바와 같이 얻어지는 단자 전극(1215a1) 및 단자 전극(1215a2)의 고착 강도는 5N를 초과하고, 단자 전극으로서 충분한 고착 강도를

갖는다.

- [0175] 상술한 공정에 의하여, 뿔납으로 접속될 수 있는 단자 전극(1215a1) 및 단자 전극(1215a2)이 형성되고, 도 15b에 도시하는 구조를 얻을 수 있다.
- [0176] 실제로는, 도 15b의 시점에서 형성된, 광전 변환 소자 및 트랜지스터 등을 포함하는 1개의 반도체 소자층은 대면적 기판 위에 각각 소자 재료가 형성됨으로써 대량 생산이 가능하다. 1장의 대면적 기판(예를 들어, 600cm×720cm)으로부터는 대량의 반도체 소자층을 포함하는 광 센서(예를 들어, 2mm×1.5mm)를 제조할 수 있다.
- [0177] 반도체 소자층이 형성된 투광성 기판(1309)은, 또, 단자 전극(1215a1, 1215a2)의 부분에서 뿔납(1363 및 1364)으로 인터포저(1360)에 실장되는 예이다(도 15b 참조). 또한, 인터포저(1360) 위의 전극(1361)은 뿔납(1363)으로 단자 전극(1215a1)에 실장된다. 또한, 인터포저(1360)의 전극(1362)은 뿔납(1364)으로 단자 전극(1215a2)에 실장된다.
- [0178] 도 15b에 도시하는 광전 변환 소자에 있어서, 광전 변환층(1371)에 입사하는 광은 투광성 기판(1309) 및 투명한 투광성 수지층(1210, 1214)을 사용함으로써 투광성 기판(1309) 및 투광성 수지층(1210, 1214) 측으로부터 입사될 수 있다.
- [0179] 본 실시형태에 있어서, 광 센서는 광전 변환 소자에 조사하는 광의 입사 영역에 개구 또는 투광성 재료를 사용하여 형성하는 투광성 영역을 갖는 케이스에 형성되어도 좋다. 본 실시형태에서는 유체색의 투광성 수지층을 투과한 광을 광전 변환 소자에 검지시키므로, 유체색의 투광성 수지층의 피형성 영역을 케이스로 덮음으로써, 외부로부터 투광성 수지층의 피형성 영역을 투과하여 광전 변환 소자에 입사하는 광을 차단할 수 있다. 따라서, 센서로서 광 센서의 정밀도를 높이고, 오차를 경감시킬 수 있다.
- [0180] 상술한 바와 같은 제작 방법으로 광 센서를 제작하면, 단가가 저렴하고, 또 수율을 향상시킬 수 있다.
- [0181] 투광성 기판을 분단하기 전에, 투광성 기판의 두께를 얇게 하고, 분단 공정을 2단계로 행함으로써, 투광성 기판을 분단 가공할 때의 절삭 공구의 소모를 저감할 수 있다. 투광성 기판의 대형화, 분단하는 광 센서의 소형화에 따라, 절삭 공구의 처리 영역은 증가되므로 절삭 공구의 소모는 한층 더 커진다. 따라서, 절삭 공구의 소모를 저감할 수 있는 본 실시형태의 구성은 대면적 기판, 보다 소형의 광 센서에 있어서 특히 유익하다. 이에 따라, 광 센서 및 컬러 센서를 보다 염가로 제조할 수 있다. 투광성 기판의 두께가 얇기 때문에, 광 센서 및 컬러 센서의 사이즈를 박형화할 수 있다.
- [0182] 따라서, 박형이어도 취급하기 쉽고, 신뢰성이 높은 컬러 센서를 제공할 수 있다. 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 또는 치환 등을 자유로이 행할 수 있다. 따라서, 컬러 센서는 광 센서를 복수 구비함으로써, 증가해 버리는 단자 수를 인터포저 위에서 삭감할 수 있다. 구체적으로는, 고전원 전위가 입력되는 단자, 저전원 전위가 입력되는 단자를 인터포저 위에서 공통화할 수 있다. 따라서, 단자 전극의 개수를 크게 삭감할 수 있다. 단자 수를 삭감함으로써, 외부 기기와의 접속 불량률의 감소를 도모할 수 있기 때문에, 수율의 향상을 도모할 수 있다. 또한, 본 실시형태의 구성에 있어서는, 복수의 광 센서를 인터포저 위에 형성하여 컬러 센서로 할 때 핀 컴패티블을 도모할 수 있다.
- [0183] (실시형태 3)
- [0184] 상기 실시형태의 컬러 센서에 있어서, 광 센서가 갖는 반도체 소자층에 포함되는 반도체 소자로서 다양한 형태의 전계 효과 트랜지스터를 사용할 수 있다. 본 실시형태에서는 광 센서에 적용할 수 있는 반도체 소자로서 단결정 반도체층을 갖는 전계 효과 트랜지스터에 대하여 자세히 설명한다.
- [0185] 이하, 투광성 기판 위에 단결정 반도체 기판으로부터 단결정 반도체층을 형성하고, 반도체 소자층에 포함되는 반도체 소자를 형성하는 방법을 도 16a 내지 도 17c를 사용하여 설명한다.
- [0186] 도 16a에 도시하는 단결정 반도체 기판(1608)은 청정화(淸淨化)되고, 그 표면으로부터 전계에 의하여 가속된 이온을 소정의 깊이로 조사하여, 취약화층(1610)을 형성한다. 이온의 조사는 투광성 기판에 전치하는 단결정 반도체층의 두께를 고려하여 행해진다. 이온을 조사할 때의 가속 전압은 이러한 두께를 고려하여 단결정 반도체 기판(1608)에 조사되도록 한다. 본 실시형태에서는, 단결정 반도체 기판에 이온을 조사하여, 이온에 의하여 미소한 공동(空洞)을 갖도록 취약화된 영역을 취약화층이라고 한다.
- [0187] 단결정 반도체 기판(1608)에는 시판되는 단결정 반도체 기판을 사용할 수 있고, 예를 들어, 단결정 실리콘 기판, 단결정 게르마늄 기판, 단결정 실리콘게르마늄 기판 등, 제 4족 원소로 이루어지는 단결정 반도체 기판을

사용할 수 있다. 또한, 갈륨비소나 인듐인 등의 화합물 반도체 기판도 사용할 수 있다. 반도체 기판으로서 다결정 반도체 기판을 사용하여도 좋다. 물론, 단결정 반도체 기판은 원형의 웨이퍼에 한정되지 않고, 다양한 형상의 단결정 반도체 기판을 사용할 수 있다. 예를 들어, 원형, 장방형, 오각형, 육각형 등의 다각형 기판을 사용할 수 있다. 물론, 시판되는 원형상의 단결정 반도체 웨이퍼를 단결정 반도체 기판에 사용할 수도 있다. 원형상의 단결정 반도체 웨이퍼에는 실리콘이나 게르마늄 등의 반도체 웨이퍼, 갈륨비소나 인듐인 등의 화합물 반도체 웨이퍼 등이 있다. 단결정 반도체 웨이퍼의 대표적인 예는 단결정 실리콘 웨이퍼이고, 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm) 사이즈, 직경 400mm, 직경 450mm의 원형의 웨이퍼를 사용할 수 있다. 또한, 장방형의 단결정 반도체 기판은 시판되는 원형상의 단결정 반도체 웨이퍼를 절단함으로써 형성할 수 있다. 기판의 절단에는 다이서(dicer) 또는 와이어 소(wire-saw) 등의 절단 장치, 레이저 절단, 플라즈마 절단, 전자 빔 절단, 그 외 임의의 절단 수단을 사용할 수 있다. 또한, 기판으로서 박편화하기 전의 반도체 기판 제조용의 잉곳을, 그 단면이 장방형이 되도록 직방체형으로 가공하고, 이 직방체형상의 잉곳을 박편화함으로써, 장방형상의 단결정 반도체 기판을 제조할 수 있다. 또한, 단결정 반도체 기판의 두께는 특히 한정되지 않지만, 단결정 반도체 기판을 재활용하는 것을 고려하면, 두꺼울수록 1장의 원료 웨이퍼로부터 더 많은 단결정 반도체층을 형성할 수 있기 때문에 바람직하다. 시장에 유통되는 단결정 실리콘 웨이퍼의 두께는 그 사이즈가 SEMI 규격에 준하고, 예를 들어, 직경 6인치의 웨이퍼는 막 두께 625 μm , 직경 8인치의 웨이퍼는 막 두께 725 μm , 직경 12인치의 웨이퍼는 775 μm 이다. 또한, SEMI 규격의 웨이퍼의 두께는 공차 $\pm 25\mu\text{m}$ 를 포함한다. 물론, 원료가 되는 단결정 반도체 기판의 두께는 SEMI 규격에 한정되지 않고, 잉곳을 슬라이스할 때, 그 두께를 적절히 조절할 수 있다. 물론, 재활용된 단결정 반도체 기판(1608)을 사용할 때는, 그 두께는 SEMI 규격보다 얇게 된다. 투광성 기판 위에 얻어지는 단결정 반도체층은 모체가 되는 반도체 기판을 선택함으로써 결정할 수 있다.

[0188] 또한, 단결정 반도체 기판(1608)은 제작하는 반도체 소자(본 실시형태에 있어서는 전계 효과 트랜지스터)에 의하여 결정면 방위를 선택하면 좋다. 예를 들어, 결정면 방위로서 {100}면, {110}면 등을 갖는 단결정 반도체 기판을 사용할 수 있다.

[0189] 본 실시형태는 단결정 반도체 기판의 소정의 깊이에 수소, 헬륨, 또는 불소를 이온 조사하여 첨가하고, 그 후, 열 처리를 행하여 표층의 단결정 반도체층을 박리하는 이온 조사 박리법으로 형성하지만, 다공성(porous) 실리콘 위에 단결정 실리콘을 에피택시얼 성장(epitaxial growth)시킨 후, 다공성 실리콘층을 워터 젯(water jet)으로 벽개하여 박리하는 방법을 적용하여도 좋다.

[0190] 단결정 반도체 기판(1608)으로서 단결정 실리콘 기판을 사용하여, 희석된 플루오르화 수소산으로 표면을 처리하여, 자연산화막의 제거와 표면에 부착되는 먼지 등의 오염물도 제거하여 단결정 반도체 기판(1608) 표면을 청정화한다.

[0191] 취약화층(1610)은 이온을 이온 도핑법(ID법이라고 약기함)이나 이온 주입법(II법이라고 약기함)에 의하여 조사하면 좋다. 취약화층(1610)은 수소, 헬륨 또는 불소로 대표되는 할로겐의 이온을 조사함으로써 형성된다. 할로겐 원소로서 불소 이온을 조사할 경우에는 소스 가스로서 BF_3 를 사용하면 좋다. 또한, 이온 주입이란 이온화된 가스를 질량 분리하여 반도체 기판에 조사하는 방식을 가리킨다.

[0192] 예를 들어, 이온 주입법을 사용하여, 이온화된 수소 가스를 질량 분리하고, H^+ 만(또는, H_2^+ 만)을 선택적으로 가속하여 단결정 반도체 기판에 조사할 수 있다.

[0193] 이온 도핑법은 이온화된 가스를 질량 분리하지 않고, 플라즈마 중에서 복수종의 이온종을 만들고, 이들을 가속하여 단결정 반도체 기판에 조사한다. 예를 들어, H^+ 이온, H_2^+ 이온, H_3^+ 이온을 함유하는 수소에서는, 조사되는 이온은 대표적으로 H_3^+ 이온이 50% 이상, 예를 들어, H_3^+ 이온이 80%, 다른 이온(H_2^+ 이온, H^+ 이온)이 20%가 일반적이다. H_3^+ 이온의 이온종만을 조사하는 것도 여기서는 이온 도핑이라고 한다.

[0194] 또한, 하나 또는 복수의 동일 원자로 이루어지는 질량이 상이한 이온을 조사하여도 좋다. 예를 들어, 수소 이온을 조사하는 경우에는, H^+ 이온, H_2^+ 이온, H_3^+ 이온을 포함시킴과 함께, H_3^+ 이온의 비율을 높여 두는 것이 바람직하다. 수소 이온을 조사하는 경우에는, H^+ , H_2^+ , H_3^+ 이온을 함유시킴과 함께, H_3^+ 이온의 비율을 높여 두면 조사 효율을 높일 수 있어, 조사 시간을 단축할 수 있다. 이와 같은 구성으로 함으로써, 박리를 용이하게 행할

수 있다.

- [0195] 이하, 이온 도핑법과 이온 주입법에 대하여 자세히 설명한다. 이온 도핑법에 사용하는 이온 도핑 장치(ID 장치라고도 함)에서는 플라즈마 공간이 크고, 대량의 이온을 단결정 반도체 기판에 조사할 수 있다. 한편, 이온 주입 장치에 사용하는 이온 주입 장치(II 장치라고도 함)는 플라즈마로부터 추출한 이온을 질량 분석하여 특정한 이온종만을 반도체 기판에 주입할 수 있다는 특징이 있고, 기본적으로 점 빔을 스캔시켜 처리한다.
- [0196] 플라즈마 발생 방법은 어느 쪽의 장치나, 예를 들어, 필라멘트를 가열함으로써 발생하는 열 전자에 의하여 플라즈마 상태를 만든다. 그러나, 생성되는 수소 이온(H^+ , H_2^+ , H_3^+)이 반도체 기판에 조사될 때의 수소 이온종의 비율은 이온 도핑법과 이온 주입법에서 크게 다르다.
- [0197] H_3^+ 를 더 많이 조사한다는 관점에서 보면, 이온 주입 장치보다 이온 도핑 장치를 사용하는 것이 바람직하다고 말할 수 있다.
- [0198] 단결정 실리콘 기판에 수소 이온이나 불소 이온과 같은 할로겐 이온을 조사한 경우, 첨가된 불소가 실리콘 결정 격자 내의 실리콘 원자를 녹 아웃(추출)함으로써 공백 부분을 효과적으로 만들어 내어, 취약화층에 미소한 공동을 만든다. 이 경우, 비교적 저온의 열 처리에 의하여 취약화층에 형성된 미소한 공동의 체적 변화가 일어나, 취약화층을 따라 분리함으로써 얇은 단결정 반도체층을 형성할 수 있다. 불소 이온을 조사한 후에, 수소 이온을 조사하여 공동 내에 수소를 포함하도록 하여도 좋다. 단결정 반도체 기판으로부터 얇은 반도체층을 박리하기 위하여 형성하는 취약화층은 취약화층에 형성된 미소한 공동의 체적 변화를 이용하여 분리하므로, 이와 같이 불소 이온이나 수소 이온의 작용을 유효 이용하는 것이 바람직하다.
- [0199] 또한, 단결정 반도체 기판과 상기 단결정 반도체층과 접합하는 절연층 사이에 보호층을 형성하여도 좋다. 보호층은 질화실리콘층, 산화실리콘층, 질화산화실리콘층, 또는 산화질화실리콘층 중에서 선택된 한 층 또는 복수층으로 이루어지는 적층 구조로 형성할 수 있다. 이들 층은 단결정 반도체 기판에 취약화층이 형성되기 전에 단결정 반도체 기판 위에 형성할 수 있다. 또한, 단결정 반도체 기판에 취약화층을 형성한 후에 단결정 반도체 기판 위에 형성하여도 좋다.
- [0200] 또한, 산화질화실리콘막이란 그 조성으로서 질소보다 산소의 함유량이 많은 것이며, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정할 경우에, 농도 범위로서 산소가 50at.% 내지 70at.%, 질소가 0.5at.% 내지 15at.%, Si가 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화실리콘막이란 그 조성으로서 산소보다 질소의 함유량이 많은 것이며, RBS 및 HFS를 사용하여 측정할 경우에, 농도 범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, Si가 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.%의 범위로 포함되는 것을 가리킨다. 다만, 산화질화실리콘 또는 질화산화실리콘을 구성하는 원자의 합계를 100at.%로 할 때, 질소, 산소, Si 및 수소의 함유 비율이 상기 범위 내에 포함되는 것으로 한다.
- [0201] 취약화층의 형성에 있어서는 이온을 고도즈 조건으로 조사할 필요가 있고, 단결정 반도체 기판(1608)의 표면이 거칠게 되어 버릴 경우가 있다. 그래서, 이온이 조사되는 표면에 질화실리콘막, 질화산화실리콘막 또는 산화실리콘막 등에 의하여 이온 조사에 대한 보호층을 50nm 내지 200nm의 두께로 형성해 두어도 좋다.
- [0202] 예를 들어, 단결정 반도체 기판(1608) 위에 보호막으로서 플라즈마 CVD법에 의하여 산화질화실리콘막(막 두께 5nm 내지 300nm, 바람직하게는 30nm 내지 150nm(예를 들어 50nm))과 질화산화실리콘막(막 두께 5nm 내지 150nm, 바람직하게는 10nm 내지 100nm(예를 들어 50nm))의 적층을 형성한다. 일례로서는, 단결정 반도체 기판(1608) 위에 산화질화실리콘막을 막 두께 50nm 형성하고, 상기 산화질화실리콘막 위에 질화산화실리콘막을 막 두께 50nm 형성함으로써 적층한다. 산화질화실리콘막은 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제작되는 산화실리콘막이어도 좋다.
- [0203] 또한, 단결정 반도체 기판(1608)을 탈지 세정하여 표면의 산화막을 제거하고 열 산화를 행하여도 좋다. 열 산화로서는 일반적인 드라이 산화도 좋지만, 산화 분위기 중에 할로겐을 첨가한 산화를 행하는 것이 바람직하다. 예를 들어, 산소에 대하여 HCl을 부피 0.5부피% 내지 10부피%(바람직하게는 3부피%)의 비율로 포함하는 분위기 중에서, 700℃ 이상의 온도에서 열 처리를 행한다. 바람직하게는 950℃ 내지 1100℃의 온도로 열산화를 행하면 좋다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 3.5시간으로 하면 좋다. 형성되는 산화막의 막 두께로서는, 10nm 내지 1000nm(바람직하게는 50nm 내지 200nm), 예를 들어 100nm의 두께로 한다.

- [0204] 할로젠을 함유하는 것으로서는 HCl 외에, HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂, Br₂, 디클로로에틸렌 등으로부터 선택된 1종 또는 복수종을 적용할 수 있다.
- [0205] 이와 같은 온도 범위에서 열 처리를 행함으로써 할로젠 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으로서는, 특히 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의하여, 금속 등의 불순물이 휘발성의 염화물이 되어 기상 증으로 이탈함으로써 제거된다. 단결정 반도체 기판(1608)의 표면을 화학적 기계 연마(CMP) 처리를 한 것에 대해서는 유효하다. 또한, 수소는 단결정 반도체 기판(1608)과, 형성되는 절연층의 계면의 결합을 보강하여, 계면의 국제 준위밀도를 저감하는 작용을 가지므로, 단결정 반도체 기판(1608)과 절연층의 계면이 불활성화되어 전기적 특성이 안정화된다.
- [0206] 이 열 처리에 의하여 형성되는 산화막 중에 할로젠을 함유시킬 수 있다. 할로젠 원소는 $1 \times 10^{17} / \text{cm}^2$ 내지 $5 \times 10^{20} / \text{cm}^2$ 의 농도로 함유됨으로써, 금속 등의 불순물을 포획하여 단결정 반도체 기판(1608)의 오염을 방지하는 보호층으로서의 기능을 발현시킬 수 있다.
- [0207] 취약화층(1610)을 형성할 때, 가속 전압과 이온의 총수는 단결정 반도체 기판 위에 퇴적한 막의 두께와, 목적으로 하는 단결정 반도체 기판으로부터 분리하여 투광성 기판 위에 전치되는 단결정 반도체층의 막 두께와, 조사하는 이온종에 의하여 조정할 수 있다.
- [0208] 예를 들어, 이온 도핑법으로 원료로서 수소 가스를 사용하여, 가속 전압을 40kV, 이온의 총수 2×10^{16} ions/cm²로 이온을 조사하여 취약화층을 형성할 수 있다. 보호층의 막 두께를 두껍게 하면, 동일 조건으로 이온을 조사하여 취약화층을 형성한 경우, 목적으로 하는 단결정 반도체 기판으로부터 분리하여 투광성 기판 위에 전치(전재(轉載))되는 단결정 반도체층으로서, 막 두께가 얇은 단결정 반도체층을 형성할 수 있다. 예를 들어, 이온종(H⁺ 이온, H₂⁺ 이온, H₃⁺ 이온)의 비율에 따라 다르지만, 상기 조건으로 취약화층을 형성하고, 보호층으로서 단결정 반도체 기판 위에 산화질화실리콘막(막 두께 50nm)과 질화산화실리콘막(막 두께 50nm)을 보호층으로서 적층하는 경우, 투광성 기판에 전치되는 단결정 반도체층의 막 두께는 약 120nm가 되고, 단결정 반도체 기판 위에 산화질화실리콘막(막 두께 100nm)과 질화산화실리콘막(막 두께 50nm)을 보호층으로서 적층하는 경우에는, 투광성 기판에 전치되는 단결정 반도체층의 막 두께는 약 70nm가 된다.
- [0209] 헬륨(He)이나 수소를 원료 가스로 하는 경우, 가속 전압을 10kV 내지 200kV의 범위에서, 도즈량을 1×10^{16} ions/cm² 내지 6×10^{16} ions/cm²의 범위에서 조사하여 취약화층을 형성할 수 있다. 헬륨을 원료 가스로 하면, 질량 분리를 하지 않아도 He⁺ 이온을 주된 이온으로서 조사할 수 있다. 또한, 수소를 원료 가스로 하면 H₃⁺ 이온이나 H₂⁺ 이온을 주된 이온으로서 조사할 수 있다. 이온종은 플라즈마의 생성 방법, 압력, 원료 가스 공급량, 가속 전압에 따라라도 변화한다.
- [0210] 취약화층 형성의 예로서는, 단결정 반도체 기판 위에 산화질화실리콘막(막 두께 50nm), 질화산화실리콘막(막 두께 50nm) 및 산화실리콘막(막 두께 50nm)을 보호층으로서 적층하고, 수소를 가속 전압 40kV, 도즈량 2×10^{16} ions/cm²로 조사함으로써 단결정 반도체 기판에 취약화층을 형성한다. 그 후, 보호층의 최상층인 상기 산화실리콘막 위에 접합면을 갖는 절연층으로서 산화실리콘막(막 두께 50nm)을 형성한다. 취약화층 형성의 다른 예로서는, 단결정 반도체 기판 위에 산화실리콘막(막 두께 100nm), 및 질화산화실리콘막(막 두께 50nm)을 보호층으로서 적층하여, 수소를 가속 전압 40kV, 도즈량 2×10^{16} ions/cm²로 조사함으로써 단결정 반도체 기판에 취약화층을 형성한다. 그 후, 보호층의 최상층인 상기 질화산화실리콘막 위에 접합면을 갖는 절연층으로서 산화실리콘막(막 두께 50nm)을 형성한다. 또한, 상기 산화질화실리콘막 및 질화산화실리콘막은 플라즈마 CVD법에 의하여 형성하면 좋고, 상기 산화실리콘막은 유기 실란 가스를 사용하여 CVD법에 의하여 형성하면 좋다.
- [0211] 또한, 투광성 기판과 단결정 반도체 기판 사이에 절연층을 형성하여도 좋다. 절연층은 투광성 기판 측과 단결정 반도체 기판 측의 어느 한쪽에 형성하여도 좋고, 양쪽 모두에 형성하여도 좋다. 접합을 형성하는 면에 형성하는 절연층은 평활면을 갖고, 친수성 표면을 형성한다. 상기 절연층으로서, 산화실리콘막을 사용할 수 있다. 산화실리콘막으로서는 유기 실란 가스를 사용하여 화학 기상 성장법으로 제작되는 산화실리콘막이 바람직하다. 그 외에, 실란 가스를 사용하여 화학 기상 성장법에 의하여 제작되는 산화실리콘막을 적용할 수도 있다.

- [0212] 유기 실란 가스로서는, 규산에틸(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 트리메틸실란(TMS: $(\text{CH}_3)_3\text{SiH}$), 테트라메틸실란(화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다. 또한, 원료 가스에 유기 실란을 사용하여 화학 기상 성장법에 의하여, 산화실리콘층을 형성하는 경우, 산소를 부여하는 가스를 혼합시키는 것이 바람직하다. 산소를 부여하는 가스로서는, 산소, 아산화질소, 이산화질소 등을 사용할 수 있다. 또, 아르곤, 헬륨, 질소 또는 산소 등의 불활성 가스를 혼합시켜도 좋다.
- [0213] 또한, 접합을 형성하는 면에 형성하는 절연층으로서, 모노실란, 디실란, 또는 트리실란 등의 실란을 원료 가스에 사용하여 화학 기상 성장법에 의하여 형성되는 산화실리콘막을 적용할 수도 있다. 이 경우에도, 산소를 부여하는 가스나 불활성 가스 등을 혼합시키는 것이 바람직하다. 또한, 단결정 반도체층과 접합하는 절연층이 되는 산화실리콘막은 염소를 함유하여도 좋다. 또, 본 명세서에 있어서, 화학 기상 성장(CVD; Chemical Vapor Deposition)법은 플라즈마 CVD법, 열 CVD법, 광 CVD법을 그 범주에 포함한다.
- [0214] 그 외, 접합을 형성하는 면에 형성하는 절연층으로서, 산화성 분위기하에 있어서 열 처리함으로써 형성되는 산화실리콘, 산소 라디칼의 반응에 의하여 성장하는 산화실리콘, 산화성 약액에 의하여 형성되는 케미컬 옥사이드 등을 적용할 수도 있다. 절연층으로서, 실록산(Si-O-Si) 결합을 포함하는 절연층을 적용하여도 좋다. 또한, 상기 유기 실란 가스와, 산소 라디칼 또는 질소 라디칼을 반응시켜 절연층을 형성하여도 좋다.
- [0215] 절연층에 있어서, 접합을 형성하는 면의 표면은 산술 평균 거칠기 Ra가 0.8nm 미만, 제곱 평균 평방근 거칠기 Rms가 0.9nm 미만인 것이 바람직하고, Ra가 0.4nm 이하, Rms가 0.5nm 이하가 더 바람직하고, 또한 Ra가 0.3nm 이하, Rms가 0.4nm 이하가 더 바람직하다. 예를 들어, Ra가 0.27nm, Rms가 0.34nm이다. 본 명세서에 있어서 Ra는 산술 평균 거칠기이고, Rms는 제곱 평균 평방근 거칠기이고, 측정 범위는 $2\mu\text{m}^2$, 또는 $10\mu\text{m}^2$ 이다.
- [0216] 투광성 기판과 단결정 반도체 기판을 접합할 때, 접합을 형성하는 면의 한쪽 또는 양쪽 모두에, 바람직하게는 유기 실란을 원재료로 하여 성막한 산화 실리콘 막으로 이루어지는 절연층을 형성함으로써 강고한 접합을 형성할 수 있다.
- [0217] 본 실시형태에서는, 도 16b에서 도시하는 바와 같이, 투광성 기판과 접합을 형성하는 면에 절연층(1604)으로서 산화실리콘막을 형성한다. 산화실리콘막으로서, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제작되는 산화실리콘막이 바람직하다. 이 외, 실란 가스를 사용하여 화학 기상 성장법에 의하여 제작되는 산화실리콘막을 적용할 수도 있다. 화학 기상 성장법에 의한 성막에서는 단결정 반도체 기판에 형성한 취약화층(1610)으로부터 탈 가스가 일어나지 않는 온도로서, 예를 들어, 350℃ 이하(구체적인 예로서는, 300℃)의 성막 온도가 적용된다. 또한, 단결정 반도체 기판으로부터 단결정 반도체층을 박리하는 열 처리는 성막 온도보다 높은 열 처리 온도가 적용된다.
- [0218] 투광성 기판에는, 불순물 원소의 확산을 방지하는 질화실리콘막 또는 질화산화실리콘막을 블로킹층(배리어층이라고도 함)으로서 형성하여도 좋다. 또한, 응력을 완화하는 작용이 있는 절연막으로서 산화질화실리콘막을 조합하여도 좋다.
- [0219] 도 16c는 투광성 기판(1601) 위에 형성된 블로킹층(1609)과 단결정 반도체 기판(1608)의 절연층(1604)이 형성된 면을 밀착시키고, 이 양자를 접합시키는 형태를 도시한다. 접합을 형성하는 면은 충분히 청정화한 상태로 한다. 투광성 기판(1601) 위에 형성된 블로킹층(1609)과 단결정 반도체 기판(1608)의 절연층(1604)이 형성된 면은 메가소닉(megasonic) 세정 등에 의하여 청정화시키면 좋다. 또한, 메가소닉 세정한 후에 오존수로 세정함으로써, 유기물을 제거시키고 표면의 친수성을 향상시켜도 좋다.
- [0220] 투광성 기판(1601) 위의 블로킹층(1609)과 절연층(1604)을 대향시키고, 1개소를 외부로부터 가압하면, 국소적으로 접합면들의 거리가 줄어들므로써, 반데르발스 힘(Van der Waal's forces)이 강해지거나 수소 결합이 기여하여, 서로 끌어당긴다. 또한, 인접한 영역에서도 대향하는 투광성 기판(1601) 위의 블로킹층(1609)과 절연층(1604) 사이의 거리가 줄어들므로, 반데르발스 힘이 강하게 작용하는 영역이나 수소 결합이 관여하는 영역이 넓어짐으로써, 접합(본딩이라고도 함)이 진행되어 접합면 전역에 접합이 확대된다.
- [0221] 가압할 때, 기판 네 구석 중 1개소를 100kPa 내지 5000kPa의 압력으로 가압하면, 접합면들이 가까워지며, 반데르발스 힘으로부터 수소 결합으로 이행할 수 있다. 기판 내에 있어서, 1군데의 접합면이 근접되면, 인접하는 접합면도 근접되어 수소 결합으로 이행하므로, 접합면 전역이 수소 결합으로 이행할 수 있다.

- [0222] 양호한 접합을 형성하기 위하여, 표면을 활성화해 두어도 좋다. 예를 들어, 접합을 형성하는 면에 원자 빔 또는 이온 빔을 조사한다. 원자 빔 또는 이온 빔을 이용할 경우에는, 아르곤 등의 불활성 가스 중성 원자 빔 또는 불활성 가스 이온 빔을 사용할 수 있다. 그 외에, 플라즈마 조사 또는 라디칼 처리를 행한다. 이와 같은 표면 처리에 의하여 200℃ 내지 400℃의 온도라도 이종 재료간의 접합을 형성하기 용이해진다.
- [0223] 또한, 투광성 기관과 절연층의 접합 계면의 접합 강도를 향상시키기 위하여, 가열 처리를 행하는 것이 바람직하다. 예를 들어, 오븐이나 노 등으로 70℃ 내지 350℃(예를 들어, 200℃로 2시간)의 온도 조건으로 열 처리를 행한다.
- [0224] 도 16d에 있어서, 투광성 기관(1601)과 단결정 반도체 기관(1608)을 부착한 후, 가열 처리를 행하여 취약화층(1610)을 벽개면으로 하여 단결정 반도체 기관(1608)을 투광성 기관(1601)으로부터 박리한다. 예를 들어, 400℃ 내지 700℃의 열 처리를 행함으로써, 취약화층(1610)에 형성된 미소한 공동의 체적 변화가 일어나, 취약화층(1610)을 따라 벽개할 수 있게 된다. 절연층(1604)은 블로킹층(1609)을 통하여 투광성 기관(1601)과 접합하므로 투광성 기관(1601) 위에는 단결정 반도체 기관(1608)과 같은 결정성 단결정 반도체층(1602)이 잔존하게 된다.
- [0225] 400℃ 내지 700℃의 온도 영역에서의 열 처리는 상술한 접합 강도를 향상시키기 위한 열 처리와 같은 장치로 연속하여 행하여도 좋고, 다른 장치로 행하여도 좋다. 예를 들어, 노에서 200℃로 2시간 열 처리한 후, 600℃ 근방까지 승온(昇溫)시켜 2시간 유지하고, 400℃로부터 실온까지의 온도 영역으로 강온시킨 후에 노에서 꺼낸다. 또한, 열 처리는 실온으로부터 승온시켜도 좋다. 또한, 노에서 200℃로 2시간 열 처리한 후에, 순간 열 어닐링(RTA) 장치에 의하여 600℃ 내지 700℃의 온도 영역에서, 1분간 내지 30분간(예를 들어, 600℃로 7분간, 650℃로 7분간) 열 처리를 행하여도 좋다.
- [0226] 400℃ 내지 700℃의 온도 영역에서의 열 처리에 의하여, 절연층과 투광성 기관의 접합은 수소 결합으로부터 공유 결합으로 이행하고, 취약화층에 첨가된 원소가 석출되어 압력이 상승됨으로써, 단결정 반도체 기관으로부터 단결정 반도체층을 박리할 수 있다. 열 처리를 행한 후에는 투광성 기관과 단결정 반도체 기관은 한쪽이 다른 쪽에 실린 상태이므로, 큰 힘을 가하지 않고 투광성 기관과 단결정 반도체 기관을 분리할 수 있다. 예를 들어, 위쪽에 실린 기관을 진공 척(chuck)으로 들어 올림으로써 간단히 분리할 수 있다. 이 때, 하측의 기관을 진공 척이나 메커니컬 척으로 고정해 두면, 수평 방향으로 어긋나지 않고 투광성 기관 및 단결정 반도체 기관의 양쪽 기관을 분리할 수 있다.
- [0227] 또한, 도 16a 내지 도 17c에 있어서는, 단결정 반도체 기관(1608)이 투광성 기관(1601)보다 작은 사이즈의 예를 도시하지만, 본 실시형태는 이것에 한정되지 않고, 단결정 반도체 기관(1608)과 투광성 기관(1601)이 같은 사이즈이어도 좋고, 단결정 반도체 기관(1608)이 투광성 기관(1601)보다 큰 사이즈이어도 좋다.
- [0228] 도 17a 내지 도 17c는 투광성 기관 측에 절연층을 형성하여 단결정 반도체층을 형성하는 공정을 도시한 것이다. 도 17a는 보호층(1621)으로서 산화실리콘막이 형성된 단결정 반도체 기관(1608)에 전계에 의하여 가속된 이온을 소정의 깊이로 조사하여, 취약화층(1610)을 형성하는 공정을 도시한 것이다. 이온의 조사는 도 16a의 경우와 같다. 단결정 반도체 기관(1608)의 표면에 보호층(1621)을 형성함으로써, 이온 조사에 의하여 표면이 대미지를 받아, 평탄성이 손상되는 것을 방지할 수 있다. 또한, 보호층(1621)에 의하여, 단결정 반도체 기관(1608)으로부터 형성되는 단결정 반도체층(1602)에 대한 불순물의 확산 방지 효과가 발현된다.
- [0229] 도 17b는 블로킹층(1609) 및 절연층(1604)이 형성된 투광성 기관(1601)과 단결정 반도체 기관(1608)의 보호층(1621)이 형성된 면을 밀착시켜, 접합을 형성하는 공정을 도시한다. 투광성 기관(1601) 위의 절연층(1604)과 단결정 반도체 기관(1608)의 보호층(1621)을 밀착시킴으로써 접합이 형성된다.
- [0230] 그 후에, 도 17c에 도시하는 바와 같이, 단결정 반도체 기관(1608)을 박리한다. 단결정 반도체층을 박리하는 열 처리는 도 16d의 경우와 같은 방법으로 행한다. 이렇게 함으로써, 도 17c에서 도시하는 절연층을 사이에 두고 단결정 반도체층을 갖는 본 실시형태의 SOI 구조의 반도체 기관을 얻을 수 있다.
- [0231] 또한, 단결정 반도체 기관으로부터 분리하고 투광성 기관에 전치된 단결정 반도체층은 분리 공정 및 이온 주입 공정으로 인하여 결정 결함이 생기고, 또한, 그 표면은 평탄성이 손상되어 요철이 형성되어 버리는 경우가 있다. 단결정 반도체층을 사용하여 반도체 소자로서 트랜지스터를 제작하는 경우, 이와 같은 요철이 있는 단결정 반도체층의 상면에 얇고 절연 내압성이 높은 게이트 절연층을 형성하기 어렵다. 또한, 단결정 반도체층에 결정 결함이 있으면, 게이트 절연층과의 국제 계면 준위 밀도가 높아지는 등, 트랜지스터의 성능 및 신뢰성에 영향을 준다.

- [0232] 따라서, 단결정 반도체층에 레이저 광과 같은 전자파를 조사하여 결정 결함을 저감시키는 것이 바람직하다. 전자파를 조사함으로써, 단결정 반도체층의 적어도 일부의 영역을 용융시켜, 단결정 반도체층 중의 결정 결함을 저감시킬 수 있다. 또한, 전자파를 조사하기 전에, 단결정 반도체층 표면에 형성된 산화막(자연 산화막, 또는 케미컬 산화막)을 희석된 플루오르화 수소산으로 제거하면 좋다.
- [0233] 전자파는 단결정 반도체층에 높은 에너지를 공급할 수 있는 것이면 좋고, 적합하게는 레이저 광을 사용할 수 있다.
- [0234] 또한, 에너지의 공급은 고에너지를 갖는 입자를 조사 등에 의하여, 단결정 반도체층에 충돌시켜, 주로 열 전도에 의하여 행할 수도 있다. 고에너지를 갖는 입자를 제공하는 열원으로서의 플라즈마를 사용할 수 있고, 상압 플라즈마, 고압 플라즈마, 열 플라즈마 젯, 가스 버너 등의 불꽃(炎)을 사용할 수 있고, 또한, 다른 열원으로서의 전자 빔 등을 사용할 수 있다.
- [0235] 전자파의 파장은 단결정 반도체층에 흡수되는 파장으로 한다. 그 파장은 전자파의 표피 깊이(skin depth) 등을 고려하여 결정할 수 있다. 예를 들어, 전자파의 파장은 190nm 내지 600nm를 사용할 수 있다. 또한, 전자파의 에너지는 전자파의 파장, 전자파의 표피 깊이, 조사하는 단결정 반도체층의 막 두께 등을 고려하여 결정할 수 있다.
- [0236] 레이저 광을 발진하는 레이저는 연속 발진 레이저, 의사 연속 발진 레이저 및 펄스 발진 레이저를 사용할 수 있다. 부분 용융시키기 위하여 펄스 발진 레이저가 바람직하다. 예를 들어, KrF 레이저 등의 엑시머 레이저, Ar 레이저, Kr 레이저 등의 기체 레이저가 있다. 이 외, 고체 레이저로서, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAIO₃ 레이저, GdVO₄ 레이저, KGW 레이저, KYW 레이저, 알렉산드라이트 레이저, Ti: 사파이어 레이저, Y₂O₃ 레이저 등이 있다. 또한, 엑시머 레이저는 펄스 발진 레이저이지만, YAG 레이저 등의 고체 레이저에는 연속 발진 레이저, 의사 연속 발진 레이저, 펄스 발진 레이저 중 어느 것이라도 될 수 있는 레이저가 있다. 또한, 고체 레이저에 있어서는, 기본파의 제 2 고조파 내지 제 5 고조파를 적용하는 것이 바람직하다. 또한, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저도 사용할 수 있다.
- [0237] 또한, 전자파의 에너지를 단결정 반도체층에 조사할 수 있으면 램프 광을 사용하여도 좋다. 예를 들어, 자외선 램프, 블랙 라이트, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프로부터 사출된 광을 사용하여도 좋다. 상기 램프 광을 사용한 플래시 어닐링을 사용하여도 좋다. 할로겐 램프나 크세논 램프 등을 적합하게 사용하여 행하는 플래시 어닐링은 매우 단시간의 처리로 충분하기 때문에, 투광성 기관의 온도 상승을 억제할 수 있다.
- [0238] 전자파의 형상이나 전자파의 진로를 조정하기 위하여, 셔터, 미러 또는 하프 미러 등의 반사체, 실린드릭 렌즈나 볼록 렌즈 등으로 구성되는 광학계가 설치되어도 좋다.
- [0239] 또한, 전자파의 조사 방법은 선택적으로 전자파를 조사하여도 좋고, 광(전자파)을 XY축 방향으로 주사하여 광(전자파)을 조사할 수 있다. 이 경우, 광학계에 폴리곤 미러나 갈바노 미러를 사용하는 것이 바람직하다.
- [0240] 전자파의 조사는 대기 분위기와 같은 산소를 포함하는 분위기, 또는 질소 분위기와 같은 불활성 분위기에서 행할 수 있다. 불활성 분위기 중에서 전자파를 조사하기 위해서는, 기밀성이 있는 챔버 내에서 전자파를 조사하여 이 챔버 내의 분위기를 제어하면 좋다. 챔버를 사용하지 않는 경우는, 전자파의 피조사면에 질소 가스 등 불활성 가스를 분사함으로써 질소 분위기를 형성할 수도 있다.
- [0241] 또한, 전자파 조사 등의 고에너지가 공급되어 결정 결함이 저감된 단결정 반도체층 표면에 연마 처리를 행하여도 좋다. 연마 처리에 의하여 단결정 반도체층 표면의 평탄성을 높일 수 있다.
- [0242] 연마 처리로서는 화학적 기계 연마(CMP)법이나 액체 젯 연마법을 사용할 수 있다. 또한, 연마 처리하기 전에 단결정 반도체층 표면을 세정하여 청정화한다. 세정은 메가소닉 세정이나 2류체 젯 세정(two-fluid jet cleaning) 등을 사용하면 좋고, 세정에 의하여 단결정 반도체층 표면의 먼지 등을 제거한다. 또한, 희석된 플루오르화 수소산을 사용하여 단결정 반도체층 표면 위의 자연 산화막 등을 제거하여 단결정 반도체층을 노출시키면 바람직하다.
- [0243] 또한, 전자파를 조사하기 전에도 단결정 반도체층 표면에 연마 처리(또는 에칭 처리)를 행하여도 좋다.
- [0244] 또한, 단결정 반도체 기관으로부터 단결정 반도체층을 전재(轉載)할 때, 단결정 반도체 기관을 선택적으로 에칭하여, 형상이 가공된 복수의 단결정 반도체층을 투광성 기관에 전재하여도 좋다. 투광성 기관에는 복수의 섬

형상의 단결정 반도체층을 형성할 수 있다. 미리, 단결정 반도체 기판에서 형상을 가공하여 전제하기 때문에, 단결정 반도체 기판의 크기나 형상에 제한을 받지 않는다. 그래서, 대형 투광성 기판으로 단결정 반도체층을 더 효율 좋게 전제할 수 있다.

[0245] 또한, 투광성 기판 위에 부착된 단결정 반도체층에 대하여 에칭을 행함으로써, 단결정 반도체층의 형상을 가공, 수정하여 정밀하게 제어하여도 좋다. 이로써, 반도체 소자의 단결정 반도체층의 형상으로 가공할 수 있고, 레지스트 마스크 형성시에 노광의 회절 등으로 인한 패턴 어긋남이나, 전제시의 접합 공정에 의한 위치 어긋남 등에 의한 단결정 반도체층의 형성 위치의 오차나 형상 불량을 수정할 수 있다.

[0246] 따라서, 투광성 기판에 원하는 형상의 복수의 단결정 반도체층을 수율 좋게 형성할 수 있다. 따라서, 대면적 기판에 의하여 정밀한 고성능의 반도체 소자 및 집적 회로를 갖는 광 센서를 고(高)스루 풋으로 생산성 좋게 제작할 수 있다.

[0247] 또한, 단결정 반도체 기판으로부터 단결정 반도체층을 분리하고 나서, 투광성 기판에 접합하여도 좋다. 벽개에 의하여 노출되는 단결정 반도체층의 표면을 투광성 기판 측을 향하여 접합하여도 좋고, 벽개에 의하여 노출되는 단결정 반도체층의 표면과 게이트 절연막이 접하도록 단결정 반도체층을 투광성 기판 위에 접합하여도 좋다.

[0248] 본 실시형태에 있어서, 단결정 반도체 기판(1608)으로서 단결정 실리콘 기판을 적용한 경우는, 단결정 반도체층(1602)으로서 단결정 실리콘층을 얻을 수 있다. 또한, 본 실시형태의 광 센서의 제조 방법은 프로세스 온도를 700℃ 이하로 할 수 있기 때문에, 투광성 기판(1601)으로서 유리 기판을 적용할 수 있다. 즉, 종래의 박막 트랜지스터와 마찬가지로 유리 기판 위에 형성할 수 있고, 또 단결정 실리콘층을 반도체층에 적용할 수 있게 된다. 따라서, 고속 동작이 가능하고, 서브 임계 값이 낮고, 전계 효과 이동도가 높고, 저소비 전압으로 구동 가능한 등, 고성능, 고신뢰성의 트랜지스터를 유리 기판 등의 투광성 기판 위에 제작할 수 있다.

[0249] 본 실시형태는 실시형태 1과 적절히 조합할 수 있다.

[0250] (실시형태 4)

[0251] 본 실시형태에서는 실시형태 2에 제시한 단결정 반도체 기판으로부터 투광성 기판으로 단결정 반도체층을 접합하는 공정의 다른 예를 제시한다. 따라서, 실시형태 2와 동일 부분 또는 같은 기능을 갖는 부분의 반복 설명은 생략한다.

[0252] 우선, 단결정 반도체 기판 측의 처리를 설명한다. 본 실시형태에서는, 단결정 반도체 기판을 탈지 세정하여, 표면의 산화막을 제거하여 열 산화를 행한다. 열 산화로서는 산화 분위기 중에 할로젠을 첨가한 산화를 하는 것이 바람직하다. 예를 들어, 산소에 대하여 HCl를 0.5부피% 내지 10부피% (바람직하게는 3부피%)의 비율로 함유하는 분위기 중에서, 700℃ 이상의 온도로 열 처리를 행한다. 적합하게는, 950℃ 내지 1100℃의 온도로 열 산화를 행하면 좋다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 3.5시간으로 하면 좋다. 형성되는 산화막의 막 두께는 10nm 내지 1000nm(바람직하게는, 50nm 내지 200nm), 예를 들어, 100nm의 두께로 한다.

[0253] 할로젠을 함유하는 것으로서는 HCl 외에, HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂, Br₂ 등 중에서 선택된 일종 또는 복수 종을 적용할 수 있다.

[0254] 상술한 바와 같은 온도 범위에서 열 처리를 행함으로써, 할로젠 원소에 의한 케터링 효과를 얻을 수 있다. 케터링으로서, 특히 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의하여, 금속 등의 불순물이 휘발성의 염화물이 되어, 기상 중으로 이탈하여 제거된다. 단결정 반도체 기판의 표면을 화학적 기계 연마(CMP) 처리한 것에 대해서는 유효하다. 또한, 수소는 단결정 반도체 기판과, 투광성 기판에 형성되는 절연층의 계면의 결함을 보상하여 계면의 국제 준위 밀도를 저감하는 작용을 갖고, 단결정 반도체 기판과 절연층의 계면이 불활성화되어 전기적 특성이 안정화된다.

[0255] 이 열 처리에 의하여 형성되는 산화막 중에 할로젠을 함유시킬 수 있다. 할로젠 원소는 1×10¹⁷/cm³ 내지 5×10²⁰/cm³의 농도로 함유됨으로써 금속 등의 불순물을 포획하여 단결정 반도체 기판의 오염을 방지하는 보호층으로서의 기능을 발현시킬 수 있다.

[0256] 단결정 반도체 기판에 이온을 도입하여 취약화층을 형성한다. 취약화층이 형성되는 영역의 깊이는 도입되는 이온의 가속 에너지와 입사각에 의하여 조절할 수 있다. 가속 에너지는, 가속 전압 도즈량 등에 의하여 조절할

수 있다.

- [0257] 이온을 도입할 때 사용하는 가스로서는, 수소 가스, 희가스 등이 있지만, 본 실시형태에서는 수소 가스를 사용하는 것이 바람직하다. 이온 도핑법으로 수소 가스를 사용한 경우, 생성하는 이온 종은 H^+ , H_2^+ 및 H_3^+ 이지만, H_3^+ 가 가장 많이 도입되는 것이 바람직하다. H_3^+ 는 H^+ , H_2^+ 보다 이온의 도입 효율이 좋고, 도입 시간의 단축을 도모할 수 있다. 또한, 이후의 공정에 있어서, 취약화층에 균열이 생기기 쉬워진다.
- [0258] 다음에, 투광성 기관 층의 처리를 설명한다. 우선, 투광성 기관의 표면을 세정한다. 세정은 염산 과수(HPM), 황산 과수(SPM), 암모니아 과수(APM), 희석된 플루오르화 수소산(DHF) 등을 사용하여 초음파 세정을 행하면 좋고, 본 실시형태에서는, 염산 과수를 사용하여 초음파 세정을 행한다.
- [0259] 다음에, 세정에 의하여 표면의 먼지 등의 불순물 등이 제거된 투광성 기관에 플라즈마 처리에 의한 평탄화 처리를 행한다. 본 실시형태에서는, 플라즈마 처리는 진공 챔버 내에서 아르곤(Ar) 가스 등의 불활성 가스를 사용하여, 피처리물인 투광성 기관에 바이어스 전압을 인가함으로써 플라즈마 상태로 하여 행한다. 불활성 가스외 함께, 산소(O_2) 가스, 질소(N_2) 가스를 도입하여도 좋다.
- [0260] 투광성 기관을 음극 방향으로 하고, 플라즈마 중의 Ar의 양 이온을 음극 방향으로 가속하여 투광성 기관에 충돌시킨다. Ar의 양 이온의 충돌에 의하여 투광성 기관 표면이 스퍼터 에칭되어, 투광성 기관 표면의 불록부를 에칭함으로써, 투광성 기관의 표면을 평탄화할 수 있다. 반응 가스는 투광성 기관 표면의 스퍼터 에칭에 의하여 생기는 결함을 보수하는 효과가 있다.
- [0261] 다음에, 투광성 기관 위에 절연층을 형성한다. 본 실시형태에서는, 실리콘계의 절연층 외의 절연층인 산화알루미늄을 주성분으로 하는 산화막을 사용한다. 산화알루미늄을 주성분으로 하는 산화막이란, 상기 산화막에 함유되는 성분의 합계를 100중량%로 할 때, 산화알루미늄을 10중량% 이상 함유하는 산화막을 가리킨다. 이 외에도, 절연층으로서 산화알루미늄을 주성분으로 하고 산화마그네슘과 산화스트론튬 중, 한 쪽 또는 양쪽 모두가 포함되는 막을 적용할 수 있다. 또한, 질소를 포함하는 산화알루미늄을 사용하여도 좋다.
- [0262] 절연층은 스퍼터링법에 의하여 형성할 수 있다. 스퍼터링법에 사용하는 타깃으로서, 예를 들어, 알루미늄을 함유하는 금속 또는 산화알루미늄 등의 금속 산화물을 사용할 수 있다. 또한, 타깃의 재료는 형성하는 막에 따라 적절히 선택하면 좋다.
- [0263] 타깃으로서 금속을 사용하는 경우에는, 반응 가스(예를 들어, 산소)를 도입하면서 스퍼터링함으로써(반응성 스퍼터링법에 의하여) 절연층을 형성한다. 금속으로서 알루미늄 외에 마그네슘(Mg), 알루미늄과 마그네슘을 함유하는 합금, 알루미늄과 스트론튬(Sr)을 함유하는 합금, 알루미늄과 마그네슘과 스트론튬(Sr)을 함유하는 합금을 사용할 수 있다. 이 경우, 스퍼터링은 직류(DC) 전원 또는 고주파(RF) 전원을 사용하여 행하면 좋다.
- [0264] 타깃으로서 금속 산화물을 사용하는 경우에는, 고주파(RF) 전원을 사용하여 스퍼터링함으로써(RF 스퍼터링법에 의하여) 절연층을 형성한다. 금속 산화물로서는, 산화알루미늄 외에 산화마그네슘, 산화스트론튬, 알루미늄과 마그네슘을 함유하는 산화물, 알루미늄과 스트론튬을 포함하는 산화물, 알루미늄과 마그네슘과 스트론튬을 함유하는 산화물을 사용할 수 있다.
- [0265] 이 외에도, 바이어스 스퍼터링법을 사용하여, 절연층을 형성하여도 좋다. 바이어스 스퍼터링법을 사용하면, 막의 퇴적과 표면의 평탄화의 양쪽 모두를 행할 수 있다.
- [0266] 알루미늄을 주성분으로 하는 산화막은 투광성 기관에 함유되는 가동 이온이나 수분 등의 불순물이 이후 투광성 기관 위에 형성되는 단결정 반도체막에 확산하는 것을 방지할 수 있다.
- [0267] 다음에, 단결정 반도체 기관의 표면과 투광성 기관의 표면을 대향시켜 단결정 반도체 기관과 절연층을 본딩한다. 단결정 반도체 기관과 투광성 기관 위에 형성된 절연층의 표면을 밀착시킴으로써 접합이 형성된다.
- [0268] 또한, 단결정 반도체 기관과 투광성 기관을 본딩시키기 전에, 투광성 기관 위에 형성된 절연층의 표면 처리를 행하는 것이 바람직하다.
- [0269] 다음에, 본 실시형태 2와 마찬가지로 가열 처리를 행하여 취약화층에서 분리(벽개)함으로써, 투광성 기관 위에 절연층을 사이에 두고 단결정 반도체층을 형성할 수 있다.
- [0270] 투광성 기관 위에 형성된 단결정 반도체층을 사용하여, 반도체 소자층을 형성할 수 있다.

- [0271] 다음에, 분리된 단결정 반도체 기판을 반복하여 이용하는 공정(반도체 기판 재생 처리)에 대하여 설명한다.
- [0272] 우선, 분리된 단결정 반도체 기판을 꺼낸다. 에지 롤 오프의 영향에 의하여 단결정 반도체 기판의 단부에 있어서, 투광성 기판의 접합이 충분히 행해지지 않는 경우가 있다. 결과적으로, 단부에서 단결정 반도체 기판은 취약화층에서 분리되지 않고 절연층 등이 잔존되는 경우가 있다.
- [0273] 단결정 반도체 기판의 단부에 있어서의 잔사(殘渣) 부분을 제거한다. 잔사 부분은 웨트 에칭을 행함으로써 제거할 수 있다. 구체적으로는, 불화수소산과 불화암모늄과 계면활성제를 포함하는 혼합 용액(예를 들어, STELLA CHEMIFA CORPORATION 제, 상품명: LAL500)을 에천트로서 사용하여 웨트 에칭을 행한다.
- [0274] 또한, 수소 이온이 도입된 취약화층은 TMAH(Tetra Methyl Ammonium Hydroxide, 테트라메틸암모늄하이드록시)로 대표되는 유기 알칼리계 수용액을 사용하여 웨트 에칭을 함으로써 제거할 수 있다. 이러한 처리를 행함으로써, 단결정 반도체 기판의 단부에서의 잔사물에 의한 단차가 완화된다.
- [0275] 다음에, 단결정 반도체 기판을 할로겐 분위기 중에서 산화함으로써 산화막을 형성하고, 그 후, 상기 산화막을 제거한다. 할로겐으로서 염화수소(HCl)를 사용할 수 있다. 이로써, 할로겐 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으로서 특히 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의하여, 금속 등의 불순물이 휘발성의 염화물이 되어 기상 중으로 이탈하여 제거된다.
- [0276] 다음에, 단결정 반도체 기판에 연마 처리로서 CMP 처리를 행한다. 결과적으로, 단결정 반도체 기판의 단부에 있어서의 단차를 제거하여, 단결정 반도체 기판의 표면을 평탄화할 수 있다. 그 후, 얻어진 단결정 반도체 기판을 모체 웨이퍼로서 다시 사용한다.
- [0277] 본 실시형태에서 제시하는 바와 같이, 단결정 반도체 기판의 재생 처리 공정에 의하여 단결정 반도체 기판을 반복하여 사용함으로써, 저비용화를 도모할 수 있다. 또한, 본 실시형태에서 제시한 단결정 반도체 기판의 재생 처리 공정을 사용함으로써, 단결정 반도체 기판을 반복하여 사용한 경우에도, 단결정 반도체 기판의 표면을 충분히 평탄화할 수 있으므로, 단결정 반도체 기판과 투광성 기판의 밀착성을 향상시켜 접합 불량률을 저감시킬 수 있다.
- [0278] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 또는 치환 등을 자유로이 행할 수 있다. 따라서, 컬러 센서는 광 센서를 복수 구비함으로써 증가해 버리는 단자 수를 인터포저 위에서 삭감할 수 있다. 구체적으로는, 고전원 전위가 입력되는 단자, 저전원 전위가 입력되는 단자를 인터포저 위에서 공통화할 수 있다. 따라서, 단자 전극의 개수를 대폭으로 삭감할 수 있다. 단자 수를 삭감함으로써, 외부 기기와의 접속 불량률의 감소를 도모할 수 있기 때문에, 수율의 향상을 도모할 수 있다. 또한, 본 실시형태의 구성에 있어서는, 복수의 광 센서를 인터포저 위에 형성하여 컬러 센서로 할 때 핀 컴패티블을 도모할 수 있다.
- [0279] (실시형태 5)
- [0280] 본 실시예에서는 상기 실시형태에 의하여 얻어진 컬러 센서를 포함하는 다양한 전자기기의 예에 대하여 설명한다. 전자기기로서 컴퓨터, 디스플레이, 휴대 전화, 텔레비전 장치 등을 들 수 있다. 이들 전자기기의 구체적인 예를 도 18a 내지 도 21b에 도시한다.
- [0281] 도 18a 내지 도 18c는 휴대 전화이며, 도 18a는 본체(A; 1801), 본체(B; 1802), 케이스(1803), 조작 키(1804), 음성 출력부(1806), 음성 입력부(1805), 회로 기판(1807), 표시 패널(A; 1808), 표시 패널(B; 1809), 경첩(1810), 투광성 재료부(1811), 컬러 센서(1812)를 갖는다.
- [0282] 컬러 센서(1812)는 투광성 재료부(1811)를 투과한 광을 색 요소마다 검지하고, 검지한 외부 광의 조도에 맞추며 표시 패널(A; 1808) 및 표시 패널(B; 1809)의 휘도 컨트롤이나, 조명 제어를 행한다. 이로써, 휴대 전화의 소비 전류를 억제하고, 또 외부 환경의 색미에 따라 최적화된 표시를 행할 수 있다.
- [0283] 또한, 색 요소란, 일례로서는, 적(R), 녹(G), 청(B)이고, 광 센서가 구비하는 광 필터의 광 투과성 특성을 조정하면 좋다.
- [0284] 도 18b 및 도 18c에 휴대 전화의 다른 예를 도시한다. 도 18b에 있어서, 본체(1821), 케이스(1822), 표시 패널(1823), 조작 키(1824), 음성 출력부(1825), 음성 입력부(1826), 컬러 센서(1827), 컬러 센서(1828)를 도시하고, 도 18c에 있어서, 도 18b의 구성에 추가하여 컬러 센서(1828)를 도시한다.
- [0285] 도 18b에 도시하는 휴대 전화는 본체(1821)에 설치된 컬러 센서(1827)에 의하여 외부 광을 색 요소마다 검지함

으로써 표시 패널(1823) 및 조작 키(1824)의 휘도를 제어하고, 외부 환경의 색미에 따라 최적화된 표시를 행할 수 있다.

- [0286] 또한, 도 18c에 도시하는 휴대 전화는 도 18a의 구성에 추가하여, 본체(1821)의 내부에 센서(1828)를 설치한다. 컬러 센서(1828)에 의하여 표시 패널(1823)에 설치되는 백 라이트의 휘도를 제어하고, 외부 환경의 색미에 따라 최적화된 표시를 행할 수 있다. 특히, 백 라이트를 적(R), 녹(G), 청(B)의 3색의 LED로 구성함으로써 표시의 색미를 조정하는 경우에는 컬러 센서에 의하여 백 라이트의 조광을 행함으로써 화질의 향상을 도모할 수 있다.
- [0287] 도 19에 도시하는 액정 패널(1862)은 케이스(1861A), 백 라이트(1853) 사이에 있고 기관(1851a 및 1851b)에 끼워진 액정층(1852), 편광 필터(1852a 및 1852b) 등을 갖는다. 또한, 케이스(1861A)에는 컬러 센서(1854A)가 부설된다. 또한, 백 라이트의 뒤에는 제어 회로 기관(1861B)이 형성되고, 제어 회로 기관(1861B)에는 컬러 센서(1854B)가 부설된다.
- [0288] 컬러 센서(1854A)는 외부 광을 색 요소마다 검지하고, 그 정보가 피드백되어 액정 패널(1862)의 휘도 보정, 및 비디오 데이터의 색조 보정을 행한다. 또한, 컬러 센서(1854B)는 백 라이트(1853)의 광을 색 요소마다 검지하고, 검지한 외부 광의 조도에 맞추어 백 라이트의 제어를 행한다. 컬러 센서에 의한 백 라이트의 조광을 행함으로써 화질의 향상을 도모할 수 있다.
- [0289] 도 20a는 컴퓨터이며, 본체(1831), 케이스(1832), 표시부(1833), 키보드(1834), 외부 접속 포트(1835), 포인팅 디바이스(1836) 등을 포함한다.
- [0290] 또한, 도 20b는 표시 장치의 예인 텔레비전 장치이며, 케이스(1841), 지지대(1842), 표시부(1843) 등으로 구성된다.
- [0291] 도 20a의 컴퓨터에 설치되는 표시부(1833), 및 도 20b에 도시하는 표시 장치의 표시부(1843)는 도 19에 도시하는 바와 같이, 내부에 컬러 센서(1854B)를 구비하는 제어 회로 기관(1861B), 백 라이트(1853), 기관 위에 컬러 센서(1854A)가 설치된 액정 패널(1862)을 갖는다. 또한, 액정 패널의 기관 위에 설치되는 컬러 센서(1854A)에는 케이스에 형성된 도광부를 통하여 케이스의 외부 광을 검출하는 구성으로 하여도 좋다.
- [0292] 도 21a 및 도 21b는 상기 실시형태에 의한 컬러 센서(2110)를 포함하는 카메라, 예를 들어, 디지털 카메라의 예를 도시하는 도면이다. 도 21a는 디지털 카메라의 전면 방향으로부터 본 사시도, 도 21b는 후면 방향으로부터 본 사시도이다. 도 21a에 있어서, 디지털 카메라에는 릴리스 버튼(2101), 메인 스위치(2102), 파인더 창(2103), 플래시(2104), 렌즈(2105), 경동(2106), 케이스(2107), 컬러 센서(2110)가 구비된다.
- [0293] 또한, 도 21b에 있어서, 파인더 접안창(2111), 모니터(2112), 조작 버튼(2113a, 2113b)이 구비된다.
- [0294] 릴리스 버튼(2101)은 절반의 위치까지 눌러면 초점 조정 기구 및 노출 조정 기구가 작동하고, 최하부까지 눌러면 셔터가 열린다.
- [0295] 메인 스위치(2102)는 가압 또는 회전에 의하여 디지털 카메라의 전원의 온 및 오프를 전환한다.
- [0296] 파인더 접안창(2103)은 디지털 카메라의 전면의 렌즈(2105)의 상부에 배치되고, 도 21b에 도시하는 파인더 접안창(2111)에서 촬영하는 범위나 핀트의 위치를 확인하기 위한 장치이다.
- [0297] 플래시는(2104)는 디지털 카메라의 전면 상부에 배치되고, 피사체 휘도가 낮을 때 릴리스 버튼이 눌러 셔터가 열릴과 동시에 보조 광을 조사한다.
- [0298] 렌즈(2105)는 디지털 카메라의 전면에 배치된다. 렌즈는 포커싱 렌즈, 줌 렌즈 등으로 구성되고, 도시하지 않는 셔터와 및 조리개와 함께 촬영 광학계를 구성한다. 또한, 렌즈 뒤쪽에는 CCD(Charge Coupled Device) 등의 촬상 소자가 설치된다.
- [0299] 경동(2106)은 포커싱 렌즈 및 줌 렌즈 등의 초점을 조절하기 위하여 렌즈 위치를 이동하는 것이며, 촬영시에는 경동을 슬라이드시킴으로써 렌즈(2105)를 앞으로 이동시킨다. 또한, 휴대시에는 렌즈(2105)를 집어 넣어서 콤팩트하게 한다. 또한, 본 실시형태에 있어서는, 경동을 슬라이드시킴으로써 피사체를 줌 촬영하는 구조로 하지만, 이 구조에 한정되지 않고, 케이스(2107) 내부의 촬영 광학계의 구성에 의하여 경동을 슬라이드시키지 않아도 줌 촬영할 수 있는 디지털 카메라이어도 좋다.
- [0300] 파인더 접안창(2111)은 디지털 카메라의 후면 상부에 설치되고, 촬영하는 범위나 초점의 위치를 확인할 때 접안하기 위하여 설치된 창이다.

- [0301] 조작 버튼(2113)은 디지털 카메라의 후면에 설치된 각종 기능 버튼이며, 셋업 버튼, 메뉴 버튼, 디스플레이 버튼, 기능 버튼, 선택 버튼 등에 의하여 구성된다.
- [0302] 상기 실시형태에서 기술한 컬러 센서(2110)를 도 21a 및 도 21b에 도시하는 카메라에 내장하면 컬러 센서(2110)가 광의 유무 및 외부 광의 색 요소마다의 강도를 검지할 수 있고, 이로써, 카메라의 노출 조정 및 색조 조정 등을 행할 수 있다. 상기 실시형태에서 기술한 컬러 센서는 박형이므로, 실장하여도 장치를 소형화할 수 있다. 컬러 센서와 같은 부품의 소형화는 휴대용 전자기기에 이용하는 경우에 특히 유용하다.
- [0303] 또한, 본 상기 실시형태에서 기술한 컬러 센서는 그 외의 전자기기, 예를 들어, 프로젝션 텔레비전 및 네비게이션 시스템 등에 응용할 수 있다. 즉, 광을 검출할 필요가 있는 것이면 어떤 것이나 사용할 수 있다.
- [0304] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합 또는 치환 등을 자유로이 행할 수 있다. 따라서, 컬러 센서는 광 센서를 복수 구비함으로써 증가해 버리는 단자 수를 인터포저 위에서 삭감할 수 있다. 구체적으로는, 고전원 전위가 입력되는 단자, 저전원 전위가 입력되는 단자를 인터포저 위에서 공통화할 수 있다. 따라서, 단자 전극의 개수를 대폭으로 삭감할 수 있다. 단자 수를 삭감함으로써, 외부 기기의 접속 불량률의 감소를 도모할 수 있기 때문에, 수율의 향상을 도모할 수 있다. 또한, 본 실시형태의 구성에 있어서는, 복수의 광 센서를 인터포저 위에 형성하여 컬러 센서로 할 때 핀 컴패티블을 도모할 수 있다.

도면의 간단한 설명

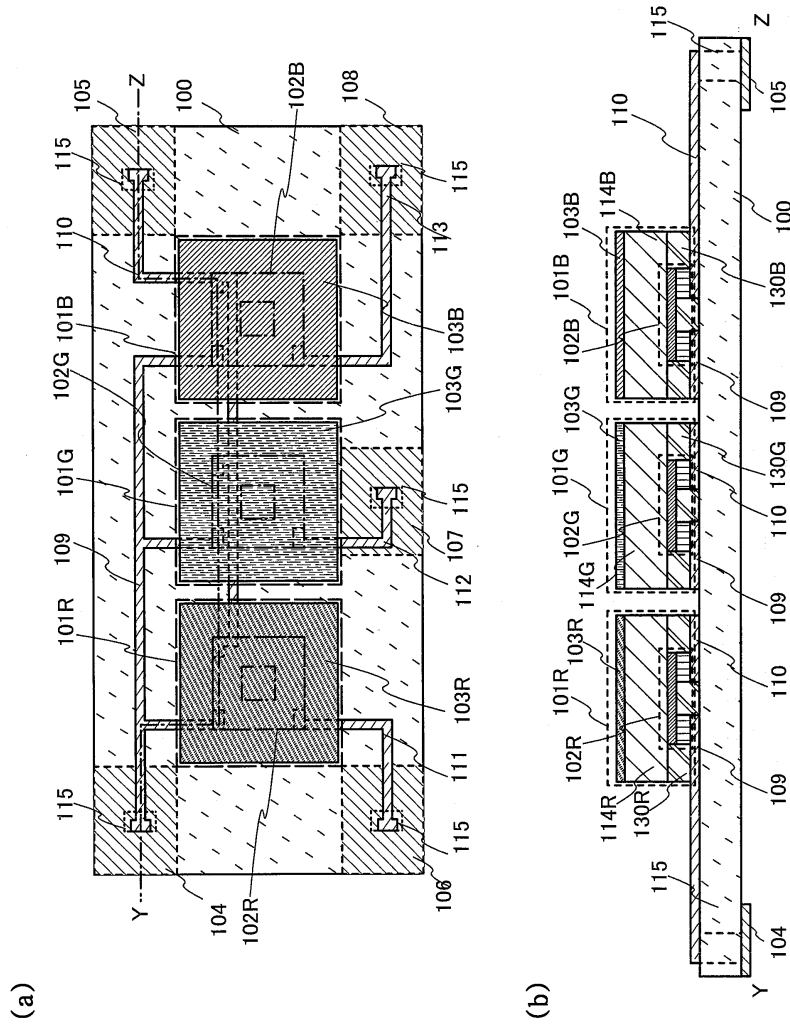
- [0305] 도 1a 및 도 1b는 컬러 센서를 설명하는 도면.
- [0306] 도 2a 내지 도 2c는 컬러 센서를 설명하는 도면.
- [0307] 도 3은 컬러 센서를 설명하는 도면.
- [0308] 도 4는 컬러 센서를 설명하는 도면.
- [0309] 도 5는 컬러 센서를 설명하는 도면.
- [0310] 도 6은 컬러 센서를 설명하는 도면.
- [0311] 도 7a 및 도 7b는 컬러 센서를 설명하는 도면.
- [0312] 도 8a 및 도 8b는 컬러 센서를 설명하는 도면.
- [0313] 도 9a 및 도 9b는 컬러 센서를 설명하는 도면.
- [0314] 도 10a 내지 도 10c는 컬러 센서를 설명하는 도면.
- [0315] 도 11a 내지 도 11c는 컬러 센서를 설명하는 도면.
- [0316] 도 12a 내지 도 12f는 컬러 센서를 구성하는 트랜지스터를 설명하는 도면.
- [0317] 도 13a 내지 도 13d는 컬러 센서를 구성하는 트랜지스터를 설명하는 도면.
- [0318] 도 14a 내지 도 14c는 컬러 센서를 구성하는 트랜지스터를 설명하는 도면.
- [0319] 도 15a 및 도 15b는 컬러 센서를 구성하는 트랜지스터를 설명하는 도면.
- [0320] 도 16a 내지 도 16d는 컬러 센서를 구성하는 트랜지스터를 설명하는 도면.
- [0321] 도 17a 내지 도 17c는 컬러 센서를 구성하는 트랜지스터를 설명하는 도면.
- [0322] 도 18a 및 도 18c는 컬러 센서를 구비하는 전자기기를 설명하는 도면.
- [0323] 도 19는 컬러 센서를 구비하는 전자기기를 설명하는 도면.
- [0324] 도 20a 및 도 20b는 컬러 센서를 구비하는 전자기기를 설명하는 도면.
- [0325] 도 21a 및 도 21b는 컬러 센서를 구비하는 전자기기를 설명하는 도면.
- [0326] 도 22a 및 도 22b는 컬러 센서를 설명하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

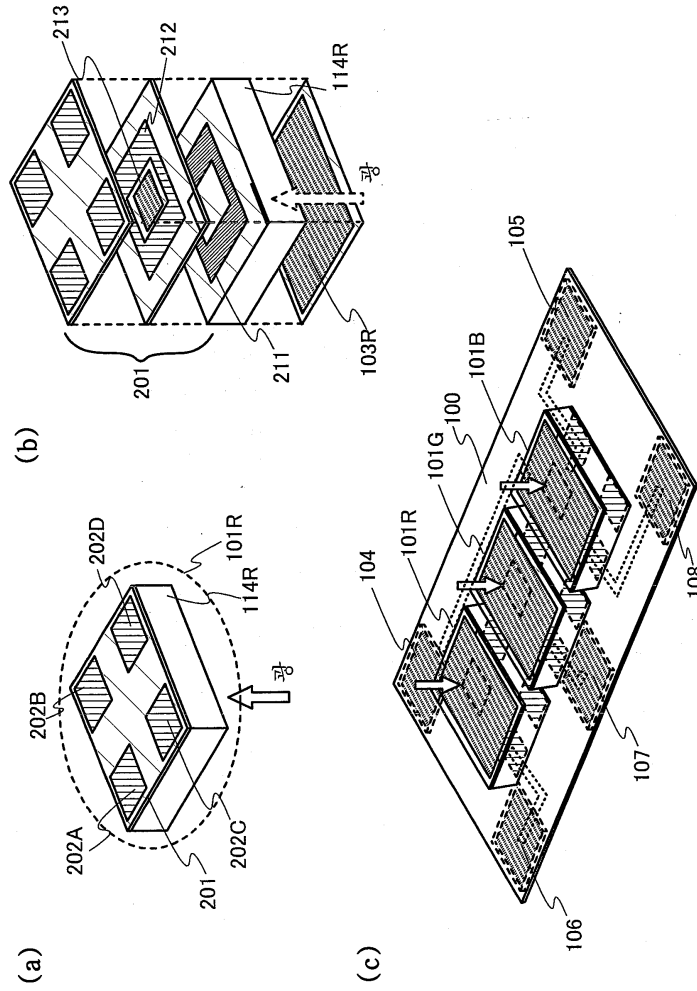
[0328]	100: 인터포저	104: 단자 전극
[0329]	105: 단자 전극	106: 단자 전극
[0330]	107: 단자 전극	108: 단자 전극
[0331]	109: 배선	110: 배선
[0332]	111: 배선	112: 배선
[0333]	113: 배선	115: 점선
[0334]	101B: 광 센서	101G: 광 센서
[0335]	101R: 광 센서	102B: 광전류 변환 회로부
[0336]	102G: 광전류 변환 회로부	102R: 광전류 변환 회로부
[0337]	103B: 광 필터	103G: 광 필터
[0338]	103R: 광 필터	114B: 투광성 기관
[0339]	114G: 투광성 기관	114R: 투광성 기관
[0340]	130B: 수지	130G: 수지
[0341]	130R: 수지	

도면

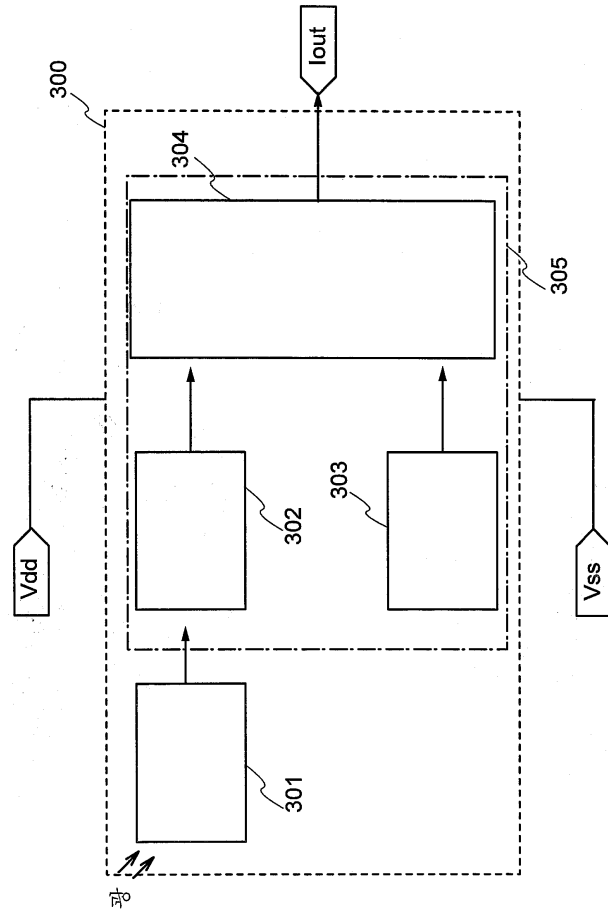
도면1



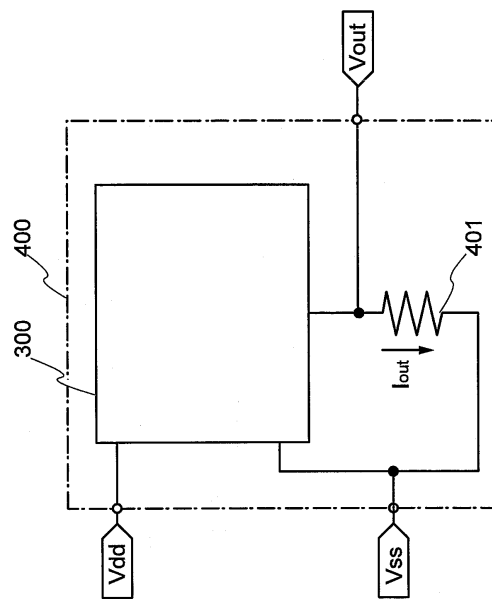
도면2



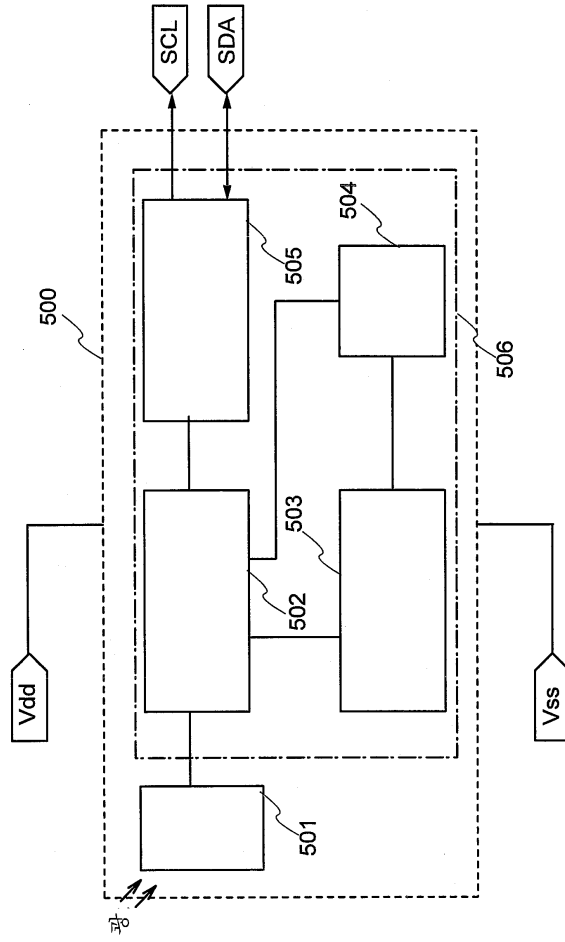
도면3



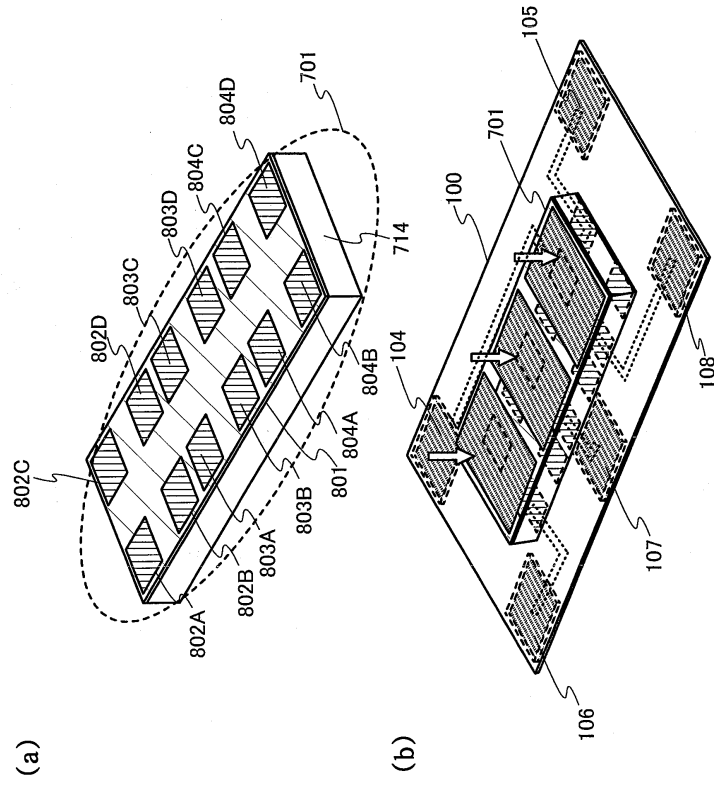
도면4



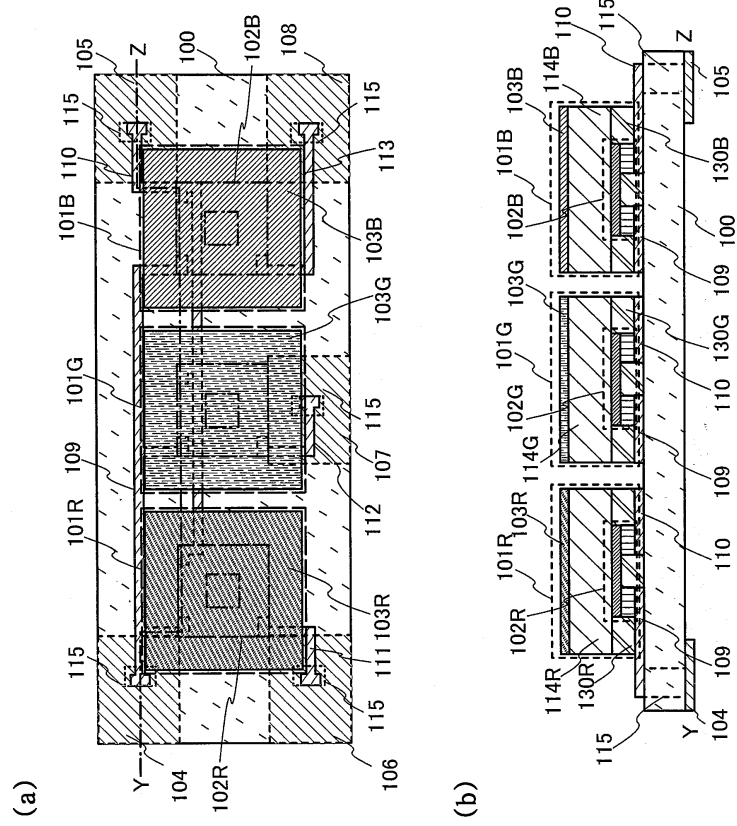
도면5



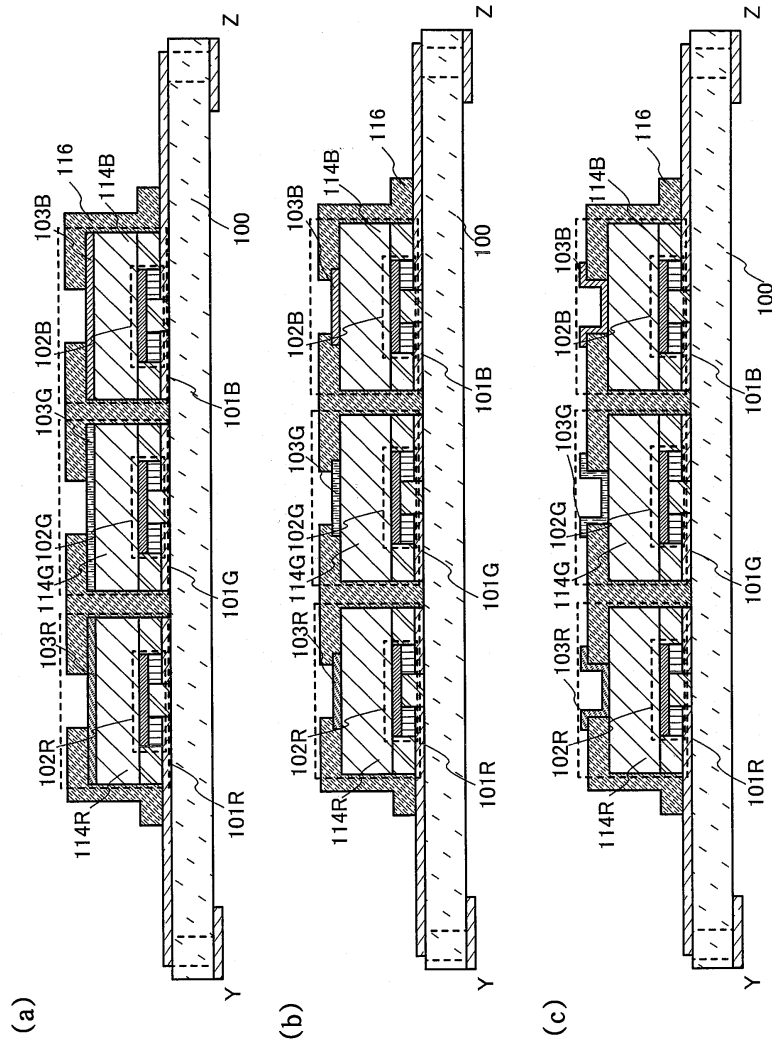
도면8



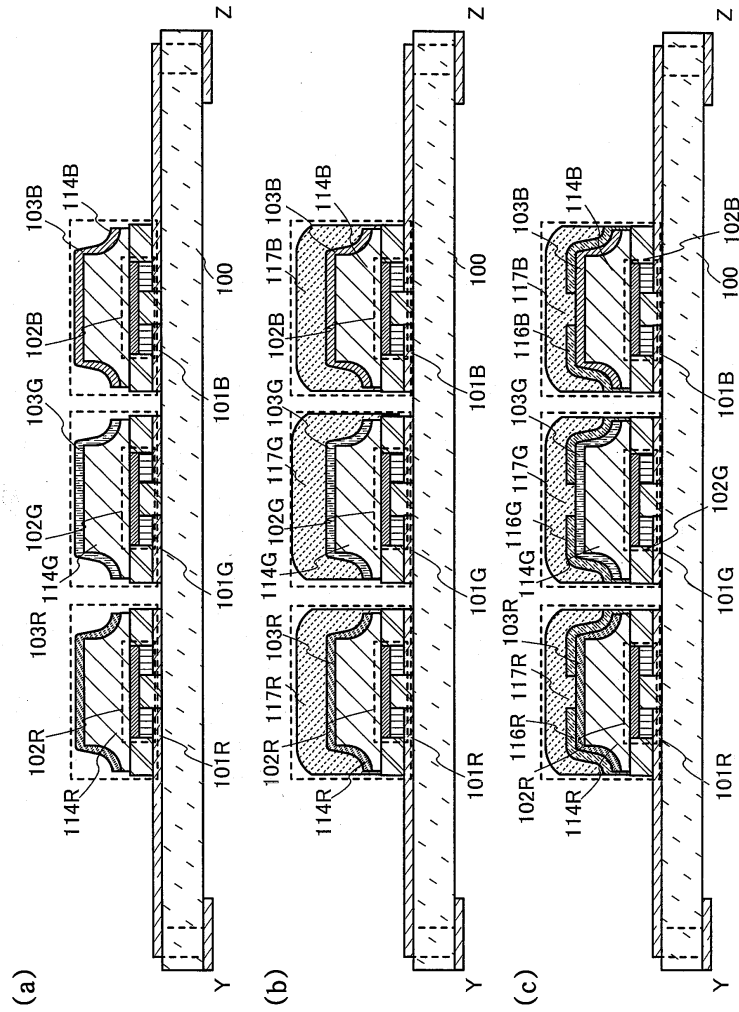
도면9



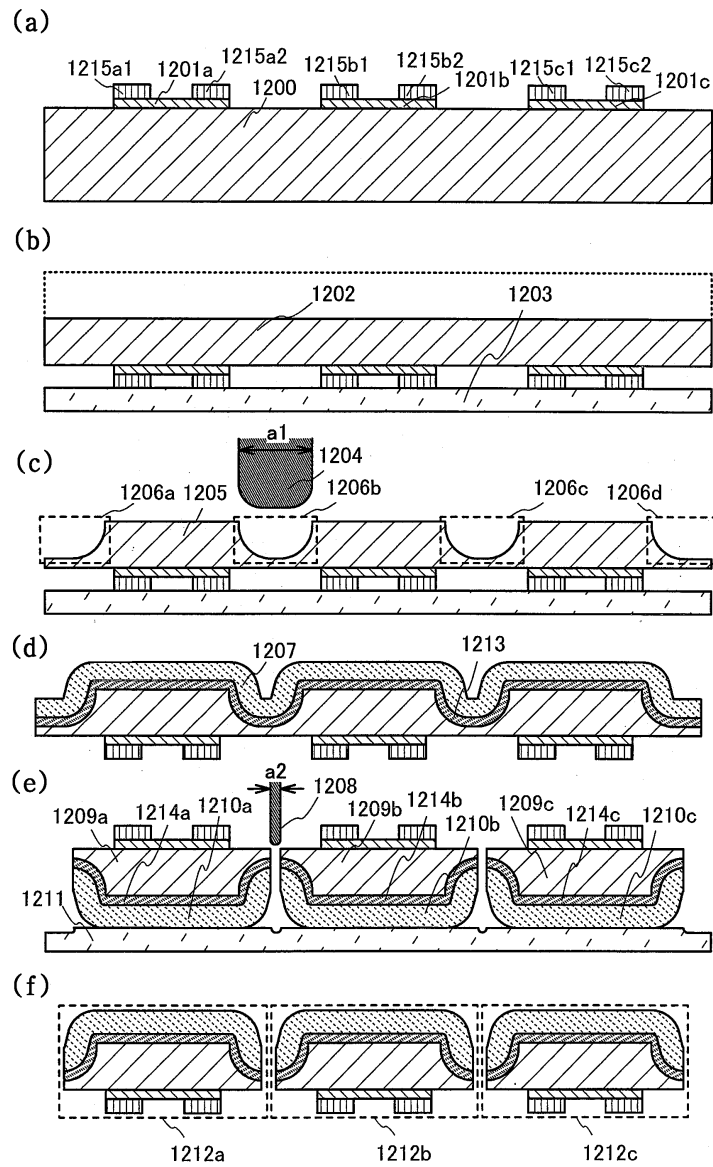
도면10



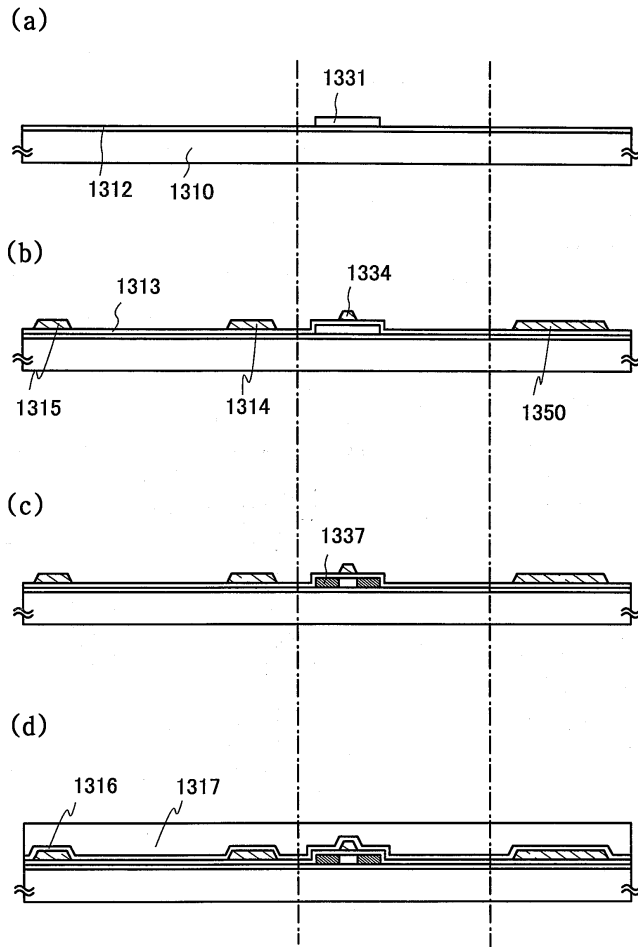
도면11



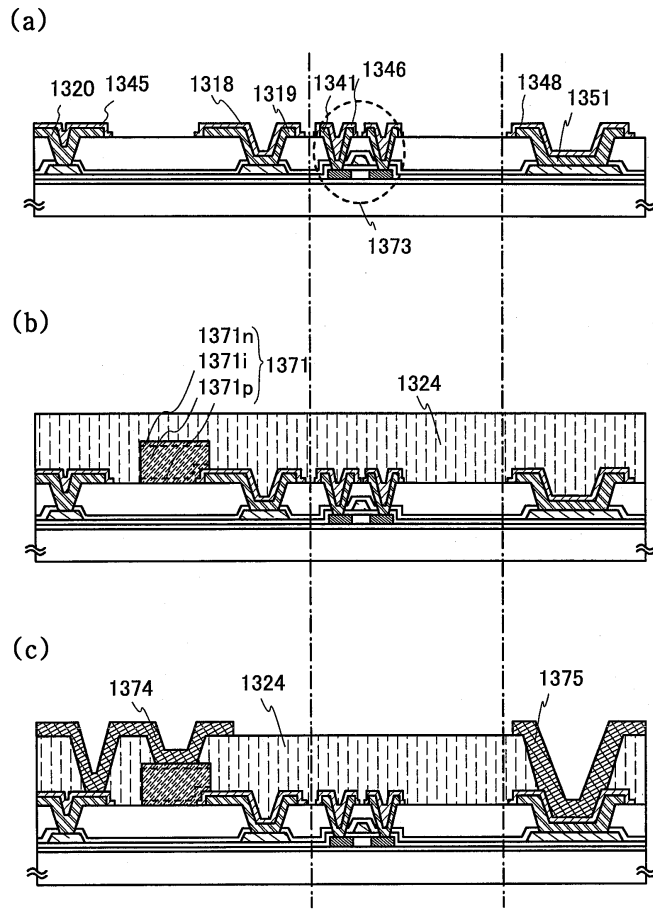
도면12



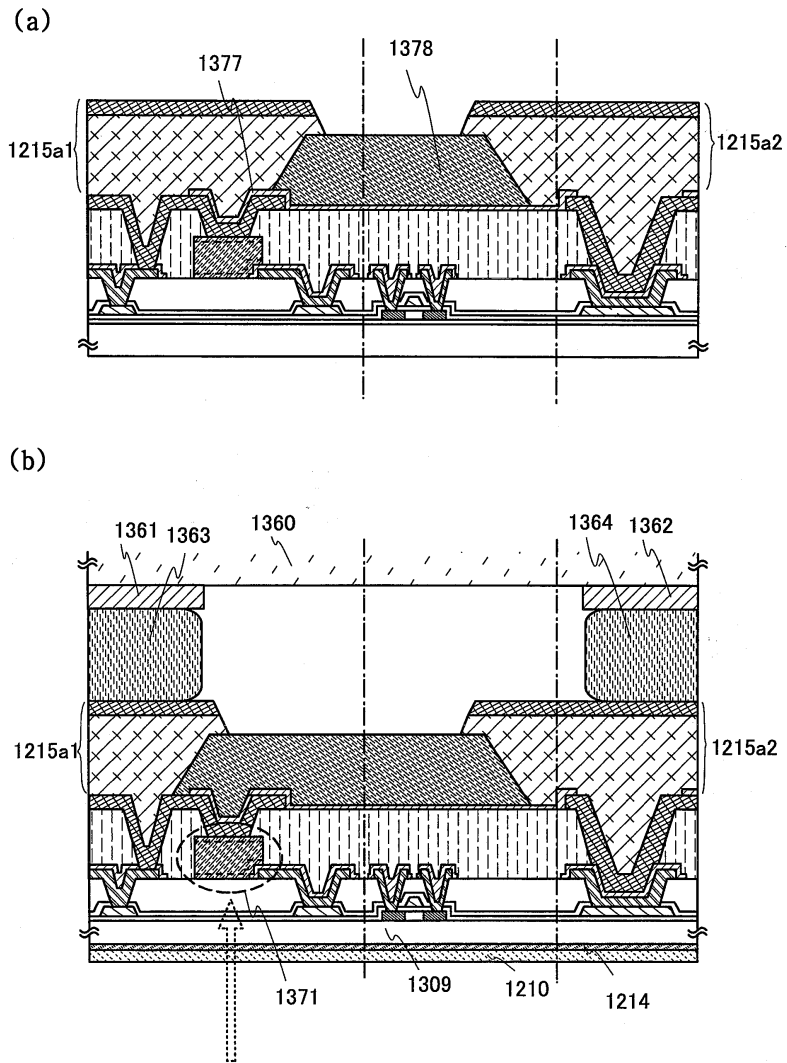
도면13



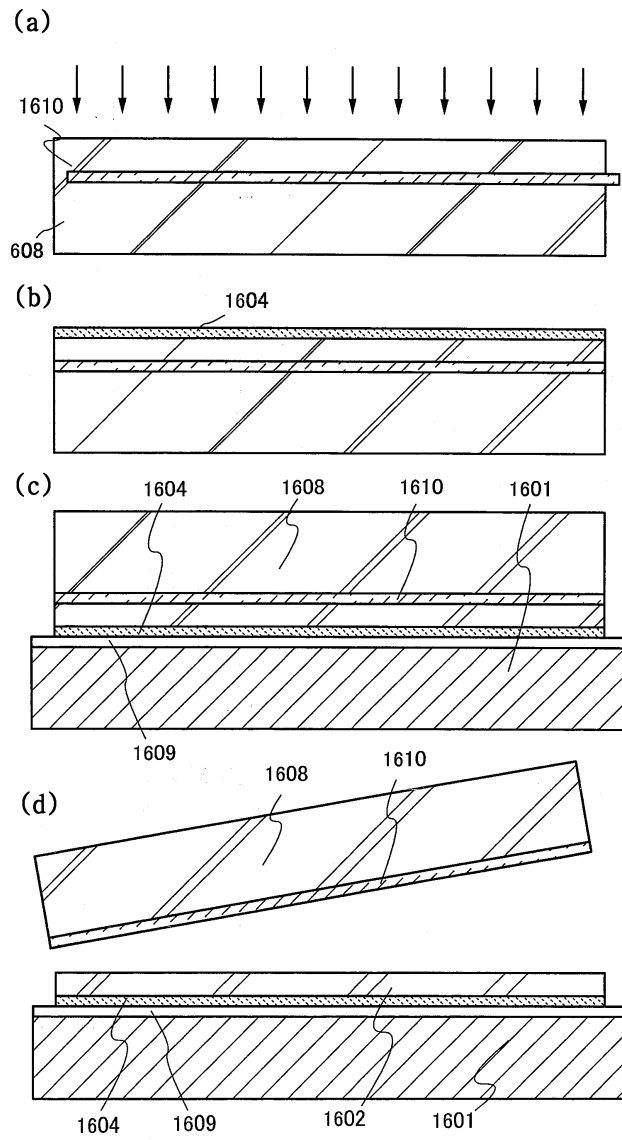
도면14



도면15

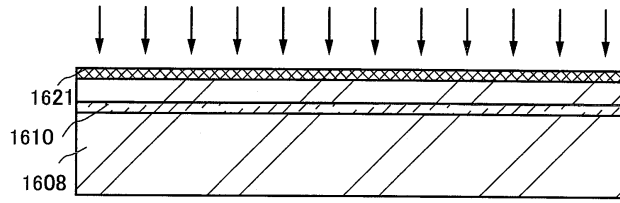


도면16

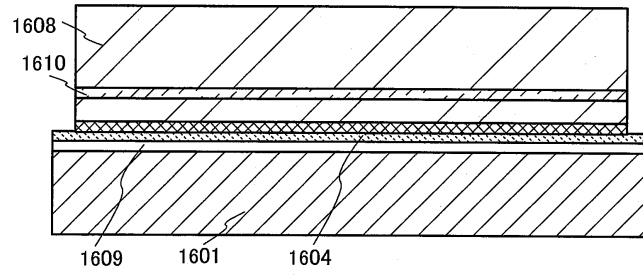


도면17

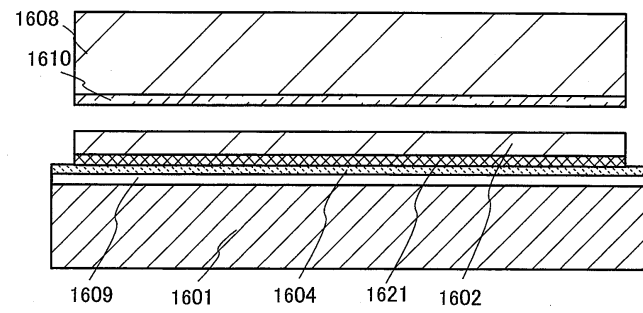
(a)



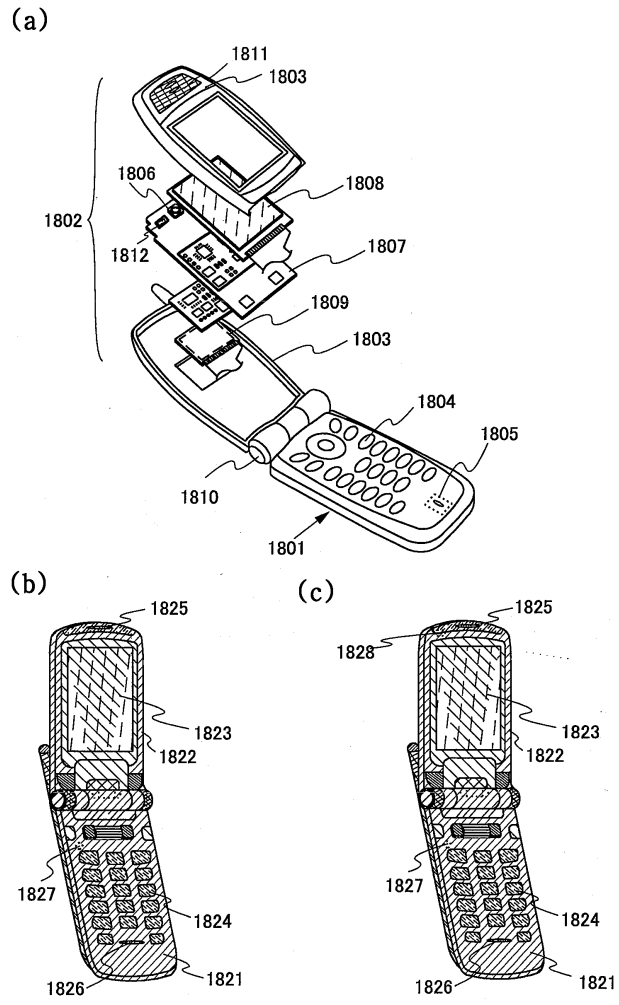
(b)



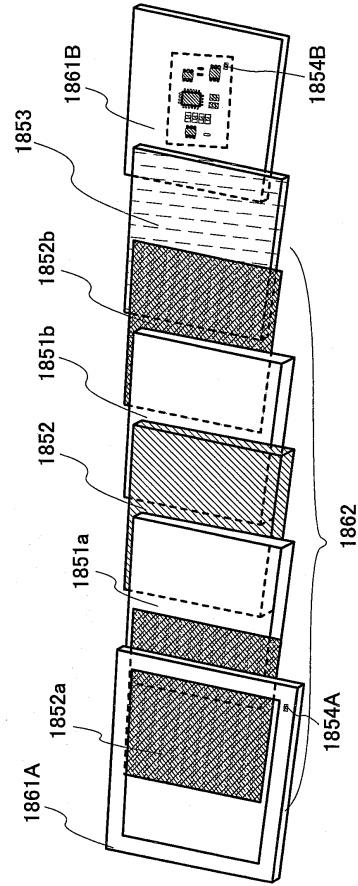
(c)



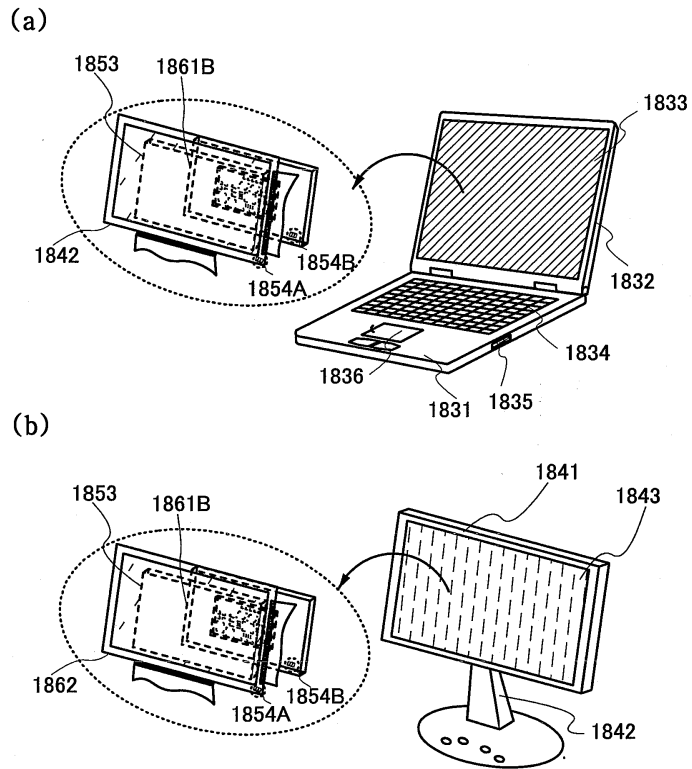
도면18



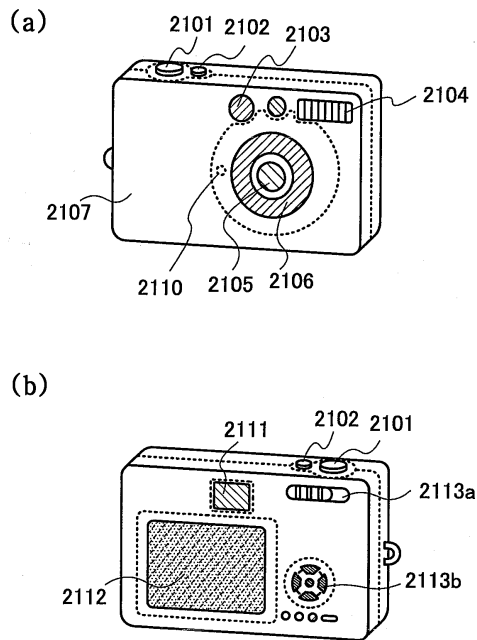
도면19



도면20



도면21



도면22

