

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4747543号
(P4747543)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int. Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 338
H01L 27/32 (2006.01)	G09F 9/30 365Z
H01L 51/50 (2006.01)	H05B 33/14 A

請求項の数 4 (全 35 頁)

(21) 出願番号	特願2004-283571 (P2004-283571)	(73) 特許権者	000001443
(22) 出願日	平成16年9月29日(2004.9.29)		カシオ計算機株式会社
(65) 公開番号	特開2006-98622 (P2006-98622A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成18年4月13日(2006.4.13)	(74) 代理人	110001254
審査請求日	平成19年9月12日(2007.9.12)		特許業務法人光陽国際特許事務所
		(74) 代理人	100090033
			弁理士 荒船 博司
		(74) 代理人	100093045
			弁理士 荒船 良男
		(72) 発明者	白崎 友之
			東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内

最終頁に続く

(54) 【発明の名称】 ディスプレイパネル

(57) 【特許請求の範囲】

【請求項1】

基板と、

駆動トランジスタと、スイッチトランジスタと、有機EL素子と、をそれぞれ有する複数のサブピクセルと、

前記駆動トランジスタ及び前記スイッチトランジスタのゲート、ソース・ドレインとは異なる導電層によって形成された複数の配線と、

前記スイッチトランジスタに電流を流す信号線と、を備え、

前記有機EL素子は、

前記各配線の間において前記各配線に沿って前記基板上に配列され、前記駆動トランジスタのソースまたはドレインの一方に接続されたサブピクセル電極と、

前記サブピクセル電極上に成膜された発光層と、

前記信号線と重ならないように前記発光層を被覆した対向電極と、を備え、

前記複数の配線は、前記スイッチトランジスタを選択する選択配線と、前記駆動トランジスタのソースまたはドレインの他方に接続された給電配線と、前記対向電極に接続された共通配線とを有し、

前記サブピクセルは、赤サブピクセル、緑サブピクセル及び青サブピクセルを有し、

前記赤サブピクセルの前記発光層は前記給電配線及び前記共通配線の間配置され、

前記緑サブピクセルの前記発光層は前記共通配線及び前記選択配線の間配置され、

前記青サブピクセルの前記発光層は前記選択配線及び前記給電配線の間配置され、

10

20

前記選択配線、前記給電配線及び前記共通配線は、前記発光層より凸設されていることを特徴とするディスプレイパネル。

【請求項 2】

発光期間に前記駆動トランジスタのソース - ゲート間の電圧を保持する保持トランジスタを有することを特徴とする請求項 1 に記載のディスプレイパネル。

【請求項 3】

前記共通配線は分割されているストライプ形状であることを特徴とする請求項 1 または 2 に記載のディスプレイパネル。

【請求項 4】

複数の配線は、ダミー配線を有することを特徴とする請求項 1 から 3 の何れか一項に記載のディスプレイパネル。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子をサブピクセルに用いたディスプレイパネルに関する。

【背景技術】

【0002】

発光素子である有機エレクトロルミネッセンスディスプレイパネルは、大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。

20

【0003】

例えば、特許文献 1 に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機 EL 素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機 EL 素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。

【0004】

この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチ用トランジスタがオンになり、その時に輝度を表すレベルの電圧が信号線を介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソース - ドレインを介して有機 EL 素子に流れ、有機 EL 素子が電流の大きさに応じた輝度で発光する。

30

【0005】

その際、回路内に設けられたコンデンサであるストレージキャパシタに、駆動トランジスタのゲートに印加された電圧が記憶され、走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになってもストレージキャパシタが駆動トランジスタのゲートに電圧を印加するため、ゲート電圧のレベルが保持され続け、有機 EL 素子が電圧に応じた駆動電流の大きさに従った輝度で発光し続ける。

40

【0006】

有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、信号線、電源線等に電圧を印加することが行われている。

【0007】

また、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルでは、電源線のような有機 EL 素子に電流を流す配線はスイッチ用トランジスタ、駆動トランジスタ等といった薄膜トランジスタの材料を用いて薄膜トランジスタのパ

50

ターニング工程と同時にパターンニングされる。即ち、有機エレクトロルミネッセンスディスプレイパネルを製造するにあたって、薄膜トランジスタの電極のもととなる導電性薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その導電性薄膜から薄膜トランジスタの電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。そのため、配線が導電性薄膜から形成されると、配線が薄膜トランジスタの電極の厚さと同じになる。

【特許文献1】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、薄膜トランジスタの電極は、その名の通り薄膜で形成されトランジスタとして機能することを前提に設計されているため、言い換えれば発光素子に電流を流すことを前提として設計していないため、配線から複数の発光素子に電流を流そうとすると、配線の電気抵抗によって、電圧降下が発生したり、配線を通じた電流の流れの遅延が生じたりする。電圧降下及び電流遅延を抑えるために配線を低抵抗化することが望まれるが、そのためにトランジスタのソース、ドレイン電極となる金属層を電流が十分に流れる程度にかなり幅広くパターンニングして低抵抗配線としたりすると、配線が他の配線や導電体等と平面視して重なる面積が増えてしまい、それらの中で寄生容量が発生してしまう。そのため、電流の流れを遅くする要因となり、或いはトランジスタアレイ基板側からEL光を出射するいわゆるボトムエミッション構造の場合、EL素子からの発光を配線が遮光して

【0009】

また、低抵抗化するために薄膜トランジスタのゲート電極を厚くすると、エッチング精度が低下するばかりでなく、ゲート電極の段差を平坦化するための平坦化膜（例えば薄膜トランジスタが逆スタガ構造の場合、ゲート絶縁膜に相当）まで厚くしなければならず、トランジスタ特性が大きく変化してしまう恐れがあり、またソース、ドレイン電極を厚くすると、ソース、ドレイン電極のエッチング精度が低下してしまうため、やはりトランジスタの特性に悪影響を及ぼす恐れがある。

【0010】

さらに、各画素の有機EL素子へ流す駆動電流の電流値は極めて小さいため、この駆動電流を各画素に伝達する配線と他の構成要素との間の寄生容量に影響されやすい。特に、有機EL素子のカソードとして機能する対向電極との間に比較的大きな寄生容量が、駆動電流の遅延が生じてしまうという問題があった。

【0011】

そこで、本発明は、配線の低抵抗化を図って電圧降下・信号遅延を抑えつつ、信号線と対向電極間の寄生容量を減らすことでデータの書き込み時間の遅延を抑制することを目的とする。

【課題を解決するための手段】

【0012】

以上の課題を解決するために、本発明のディスプレイパネルは、
基板と、
駆動トランジスタと、スイッチトランジスタと、有機EL素子と、をそれぞれ有する複数のサブピクセルと、
前記駆動トランジスタ及び前記スイッチトランジスタのゲート、ソース・ドレインとは異なる導電層によって形成された複数の配線と、
前記スイッチトランジスタに電流を流す信号線と、を備え、
前記有機EL素子は、
前記各配線の間において前記各配線に沿って前記基板上に配列され、前記駆動トランジスタのソースまたはドレインの一方に接続されたサブピクセル電極と、
前記サブピクセル電極上に成膜された発光層と、

10

20

30

40

50

前記信号線と重ならないように前記発光層を被覆した対向電極と、を備え、
 前記複数の配線は、前記スイッチトランジスタを選択する選択配線と、前記駆動トランジスタのソースまたはドレインの他方に接続された給電配線と、前記対向電極に接続された共通配線とを有し、
 前記サブピクセルは、赤サブピクセル、緑サブピクセル及び青サブピクセルを有し、
前記赤サブピクセルの前記発光層は前記給電配線及び前記共通配線の間に配置され、
前記緑サブピクセルの前記発光層は前記共通配線及び前記選択配線の間に配置され、
前記青サブピクセルの前記発光層は前記選択配線及び前記給電配線の間に配置され、
 前記選択配線、前記給電配線及び前記共通配線は、前記発光層より凸設されている。

【0013】

発光期間に前記駆動トランジスタのソース・ゲート間の電圧を保持する保持トランジスタを有するようにしてもよい。

【0018】

前記共通配線は分割されているストライプ形状であることが好ましい。

【0019】

好ましくは、前記各配線を被覆した撥水性・撥油性の疎水絶縁膜を備える。さらに好ましくは、前記疎水絶縁膜が、電着塗装法により前記各配線に電着されたフッ素系電着塗料からなる。

【0020】

本発明によれば、配線がトランジスタのゲート、ソース・ドレインとは異なる導電層によって形成されているから、トランジスタのゲート、ソース・ドレインよりも配線を厚くすることができ、配線を低抵抗化することができる。そのため、配線を通じてトランジスタ・サブピクセル電極に電流を流した場合でも、電圧降下を抑えることができるとともに電流遅延も抑えることができる。

【0021】

また、信号線の上方には有機EL膜の対向電極を設けないから、信号線の全長に亘って信号線が対向電極と対向することによって発生する寄生容量を低減させることができ、データの書き込み時間が遅延することを抑制することができる。

【発明の効果】

【0022】

本発明によれば、配線を厚くすることができるので、配線を低抵抗化することができる。配線の低抵抗化によって遅延、電圧降下を抑えることができる。

【0023】

また、信号線が対向電極と対向することによって発生する寄生容量を低減させることができ、データの書き込み時間が遅延することを抑制することができる。

【発明を実施するための最良の形態】

【0024】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語をELと略称する。

【0025】

[第1の実施の形態]

[ディスプレイパネルの平面レイアウト]

図1は、第1の実施形態におけるディスプレイパネルの配線構造を示した略平面図である。また、図2には、アクティブマトリクス駆動方式で動作するカラー表示可能なディスプレイパネル1の画素3の概略平面図が示されている。このディスプレイパネル1においては、1ピクセルの画素3が、赤色に発光する1ドットの赤サブピクセルPrと、緑色に発光する1ドットの緑サブピクセルPgと、青色に発光する1ドットの青サブピクセルP

10

20

30

40

50

bと、からなる。このような画素3が絶縁基板2上にマトリクス状に配列されている。具体的に垂直方向の配列に着目すると、複数の赤サブピクセルPrが垂直方向(列方向)に沿って一列に配列され、複数の緑サブピクセルPgが垂直方向に沿って一列に配列され、複数の青サブピクセルPbが垂直方向に沿って一列に配列されている。水平方向(行方向)の配列に着目すると、赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの順に繰り返し配列され、水平方向に連続して並んだ赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの組み合わせが画素3となる。なお、以下の説明において、サブピクセルPはこれら赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの中の任意のサブピクセルを表し、サブピクセルPについての説明は赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの何れについても適用される。

10

【0026】

絶縁基板2上において、垂直方向の青サブピクセルPbの列と赤サブピクセルPrの列との間には、信号線Yrが敷設され、垂直方向の赤サブピクセルPrの列と緑サブピクセルPgの列との間には、信号線Ygが敷設され、垂直方向の緑サブピクセルPgの列と青サブピクセルPbの列との間には、信号線Ybが敷設されている。従って、水平方向の配列順に着目すると、信号線Yr、信号線Yg、信号線Ybの順に繰り返し配列されている。これら信号線Yr、信号線Yg、信号線Ybは、垂直方向に延在し、互いに平行に設けられている。

【0027】

ここで、信号線Yrは垂直方向に沿って一列に配列された全ての赤サブピクセルPrのそれぞれに対して順次所定の電流値の信号を流すものであり、信号線Ygは垂直方向に沿って一列に配列された全ての緑サブピクセルPgのそれぞれに対して順次所定の電流値の信号を流すものであり、信号線Ybは垂直方向に沿って一列に配列された全ての青サブピクセルPbのそれぞれに対して順次所定の電流値の信号を流すものである。なお、以下の説明において、赤サブピクセルPrの場合では信号線Yが図2の信号線Yrを表し、緑サブピクセルPgの場合では信号線Yが図2の信号線Ygを表し、青サブピクセルPbの場合では信号線Yが図2の信号線Ybを表し、信号線Yについての説明は信号線Yr、信号線Yg、信号線Ybの何れについても適用される。

20

【0028】

共通配線91は、後述する有機EL素子20に導通され、信号線Y、薄膜トランジスタ22、23、コンタクトホール93と共通配線91は電氣的に絶縁されている。平面視して、共通配線91は信号線Yと重なることなく且つ信号線Yに平行に沿うように設けられている。このため、共通配線91と信号線Yとの間の寄生容量は重なっている場合に比べて極めて小さくなっている。また共通配線91は薄膜トランジスタ22、23と重なっているが、薄膜トランジスタ22、23との間の寄生容量を小さくするために、平面視して、共通配線91と薄膜トランジスタ22、23とが重なる面積が可能な限り小さい方が好ましい。

30

【0029】

また、複数本の走査線Xが水平方向に沿って延在し、これら走査線Xに対して複数本の供給線Z、複数本の給電配線90が平行に設けられている。平面視して、供給線Zに給電配線90が重なっており、供給線Zと給電配線90は互いに導通している。走査線Xと供給線Zとの間において、複数の画素3が水平方向に沿った一行に配列されている。垂直方向の配列順に着目すると、走査線X、画素3の列、供給線Zの順に繰り返し配列されている。

40

【0030】

ここで、走査線Xは水平方向に沿った一行に配列された全サブピクセルPr、Pg、Pbに信号を供給するものであり、供給線Zも水平方向に沿った一行に配列された全サブピクセルPr、Pg、Pbに信号を供給するものである。

【0031】

n本の信号線Y₁~Y_nは垂直方向に並列され、m本の走査線X₁~X_m水平方向に並列さ

50

れている。また、 m 、 n はそれぞれ2以上の自然数であり、且つ n は3の倍数であり、走査線 X に下付けした数字は図1および後述する図10において上からの配列順を表し、供給線 Z に下付けした数字は図1、図10において上からの配列順を表し、信号線 Y に下付けした数字は図1において左からの配列順を表し、サブピクセル P に下付けした数字の前側が上からの配列順を表し、後ろ側が左からの配列順を表す。すなわち、 $1 \sim m$ のうちの任意の自然数を i とし、 1 から n のうちの任意の自然数を j とした場合に、走査線 X_i は上から i 行目であり、供給線 Z_j は左から j 列目であり、信号線 Y_j は左から j 列目であり、サブピクセル $P_{i,j}$ は上から i 行目、左から j 列目であり、サブピクセル $P_{i,j}$ は走査線 X_i 、供給線 Z_j 及び信号線 Y_j に接続されている。

【0032】

サブピクセル P_r 、 P_g 、 P_b の色は、後述する有機EL素子20（図3等に図示）の発光色によって定まる。

【0033】

〔サブピクセルの回路構成〕

次に、サブピクセル P_r 、 P_g 、 P_b の回路構成について図1の略平面図および図3の等価回路図を用いて説明する。何れのサブピクセル P_r 、 P_g 、 P_b も同様に構成されており、1ドットのサブピクセル P につき、有機EL素子20、Nチャンネル型のアモルファスシリコン薄膜トランジスタ（以下単にトランジスタと記述する。）21、22、23及びキャパシタ24が設けられている。以下では、トランジスタ21をスイッチトランジスタ21と称し、トランジスタ22を保持トランジスタ22と称し、トランジスタ23を駆動トランジスタ23と称する。

【0034】

スイッチトランジスタ21においては、ソース21sが信号線 Y に導通し、ドレイン21dが有機EL素子20のサブピクセル電極20a、駆動トランジスタ23のソース23s及びキャパシタ24の上層電極24Bに導通し、ゲート21gが保持トランジスタ22のゲート22g及び走査線 X に導通している。

【0035】

保持トランジスタ22においては、ソース22sが駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24Aに導通し、ドレイン22dが駆動トランジスタ23のドレイン23d及び供給線 Z に導通し、ゲート22gがスイッチトランジスタ21のゲート21g及び走査線 X に導通している。なお、保持トランジスタ22のドレイン22dは、走査線 X に接続されていてもよい。

【0036】

駆動トランジスタ23においては、ソース23sが有機EL素子20のサブピクセル電極20a、スイッチトランジスタ21のドレイン21d及びキャパシタ24の上層電極24Bに導通し、ドレイン23dが保持トランジスタ22のドレイン22d及び供給線 Z に導通し、ゲート23gが保持トランジスタ22のソース22s及びキャパシタ24の下層電極24Aに導通している。

【0037】

有機EL素子20のカソードとなる対向電極20cは共通配線91に導通している。

【0038】

垂直方向に沿って一列に配列された何れの赤サブピクセル P_r のスイッチトランジスタ21のソース21sも共通の信号線 Y_r に導通し、垂直方向に沿って一列に配列された何れの緑サブピクセル P_g のスイッチトランジスタ21のソース21sも共通の信号線 Y_g に導通し、垂直方向に沿って一列に配列された何れの青サブピクセル P_b のスイッチトランジスタ21のソース21sも共通の信号線 Y_b に導通している。

【0039】

一方、水平方向に沿った一行に配列された何れのサブピクセル P_r 、 P_g 、 P_b のスイッチトランジスタ21のゲート21gも共通の走査線 X に導通し、水平方向に沿った一行に配列された何れのサブピクセル P_r 、 P_g 、 P_b の保持トランジスタ22のゲート22

10

20

30

40

50

gも共通の走査線Xに導通し、水平方向に沿った一行に配列された画素3の何れのサブピクセルPr, Pg, Pbの保持トランジスタ22のドレイン22dも共通の供給線Zに導通し、水平方向に沿った一行に配列された画素3の何れのサブピクセルPr, Pg, Pbの駆動トランジスタ23のドレイン23dも共通の供給線Zに導通している。

【0040】

〔サブピクセルの平面レイアウト〕

図4は、サブピクセルPの電極を主に示した平面図である。

【0041】

図4に示すように、何れのサブピクセルPr, Pg, Pbにおいても、平面視して、スイッチトランジスタ21が信号線Yに沿うように配置され、保持トランジスタ22が走査線Xの近くのサブピクセルPの角部に配置され、駆動トランジスタ23が隣の信号線Yに沿うように配置され、キャパシタ24が駆動トランジスタ23に沿うように配置されている。

10

【0042】

なお、ディスプレイパネル1全体を平面視して、全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21だけに着目すると、複数のスイッチトランジスタ21がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの保持トランジスタ22だけに着目すると、複数の保持トランジスタ22がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの駆動トランジスタ23だけに着目すると、複数の駆動トランジスタ23がマトリクス状に配列されている。

20

【0043】

図2及び図4では、トランジスタ21~23を見やすくするために、有機EL素子20のサブピクセル電極20aの図示を省略するが、サブピクセル電極20aは、水平方向に隣り合う信号線Yと、垂直方向に隣り合う供給線Z及び走査線Xとによって囲まれた矩形領域内に配置されている。そして、サブピクセル電極20aは、その矩形領域に沿うように矩形状に設けられている。そのため、ディスプレイパネル1全体を平面視して、全てのサブピクセルPr, Pg, Pbのサブピクセル電極20aだけに着目すると、複数のサブピクセル電極20aがマトリクス状に配列されている。

【0044】

〔ディスプレイパネルの層構造〕

ディスプレイパネル1の層構造について図5~図8を用いて説明する。ここで、図5は、図2に示された破断線V-Vに沿って絶縁基板2の厚さ方向に切断した矢視断面図であり、図6は、図2に示された破断線VI-VIに沿って絶縁基板2の厚さ方向に切断した矢視断面図であり、図7は、図2に示された破断線VII-VIIに沿って絶縁基板2の厚さ方向に切断した矢視断面図であり、図8は、図2に示された破断線VIII-VIIIに沿って絶縁基板2の厚さ方向に切断したの矢視断面図である。なお、図8は、キャパシタ24の下層電極24A, 上層電極24Bが短縮されて示されている。

30

【0045】

ディスプレイパネル1は、光透過性を有する絶縁基板2に対して種々の層を積層したものである。絶縁基板2は可撓性のシート状に設けられているか、又は剛性の板状に設けられている。

40

【0046】

まず、トランジスタ21~23の層構造について説明する。図5に示すように、スイッチトランジスタ21は、絶縁基板2上に形成されたゲート21gと、ゲート21g上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んでゲート21gに対向した半導体膜21cと、半導体膜21cの中央部上に形成されたチャネル保護膜21pと、半導体膜21cの両端部上において互いに離間するよう形成され、チャネル保護膜21pに一部重なった不純物半導体膜21a, 21bと、不純物半導体膜21a上に形成されたドレイン21dと、不純物半導体膜21b上に形成されたソース21sと、から構成されている。なお、ドレイン21d及びソース21sは一層構造であっても良いし、二層以上の積層構

50

造であっても良い。

【0047】

駆動トランジスタ23は、絶縁基板2上に形成されたゲート23gと、ゲート23g上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んでゲート23gに対向した半導体膜23cと、半導体膜23cの中央部上に形成されたチャンネル保護膜23pと、半導体膜23cの両端部上において互いに離間するよう形成され、チャンネル保護膜23pに一部重なった不純物半導体膜23a, 23bと、不純物半導体膜23a上に形成されたドレイン23dと、不純物半導体膜23b上に形成されたソース23sと、から構成されている。図4に示したように平面視した場合、駆動トランジスタ23がコ字状に設けられていることで、駆動トランジスタ23のチャンネル幅が広がっている。ドレイン23d及びソース23sは一層構造であっても良いし、二層以上の積層構造であっても良い。

10

【0048】

図8に示すように、保持トランジスタ22は、絶縁基板2上に形成されたゲート22gと、ゲート22g上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んでゲート22gに対向した半導体膜22cと、半導体膜22cの中央部上に形成されたチャンネル保護膜22pと、半導体膜22cの両端部上において互いに離間するよう形成され、チャンネル保護膜22pに一部重なった不純物半導体膜22a, 22bと、不純物半導体膜22a上に形成されたドレイン22dと、不純物半導体膜22b上に形成されたソース22sと、から構成されている。

20

【0049】

また、何れのサブピクセルPr, Pg, Pbでも、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23が同様の層構造になっている。

【0050】

次に、キャパシタ24の層構造について説明する。図5に示したように、キャパシタ24は、絶縁基板2上に形成された下層電極24Aと、下層電極24A上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んで下層電極24Aに対向した上層電極24Bと、から構成されている。何れのサブピクセルPr, Pg, Pbでもキャパシタ24は同様の層構造になっている。

【0051】

次に、トランジスタ21~23及びキャパシタ24の各層と信号線Y、走査線X及び供給線Zとの関係について図4~図8を用いて説明する。

30

【0052】

全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに全ての信号線Yr, Yg, Ybは、絶縁基板2上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターニングすることで形成されたものである。以下では、スイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに信号線Yr, Yg, Ybの元となる導電性膜をゲートレイヤーという。

40

【0053】

ゲート絶縁膜31は、全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21、保持トランジスタ22、駆動トランジスタ23及びキャパシタ24に共通した膜であり、面内にべた一面に成膜されている。従って、ゲート絶縁膜31は、スイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに信号線Yr, Yg, Ybを被覆している。

【0054】

全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ

50

タ 2 3 のドレイン 2 3 d ・ソース 2 3 s 及びキャパシタ 2 4 の上層電極 2 4 B 並びに全ての走査線 X 及び供給線 Z は、ゲート絶縁膜 3 1 上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターニングすることで形成されたものである。以下では、スイッチトランジスタ 2 1 のドレイン 2 1 d ・ソース 2 1 s 、保持トランジスタ 2 2 のドレイン 2 2 d ・ソース 2 2 s 、駆動トランジスタ 2 3 のドレイン 2 3 d ・ソース 2 3 s 及びキャパシタ 2 4 の上層電極 2 4 B 並びに走査線 X 及び供給線 Z の元となる導電性膜をドレインレイヤーという。

【 0 0 5 5 】

1 ドットのサブピクセル P につき 1 つのコンタクトホール 9 2 がゲート絶縁膜 3 1 の走査線 X に重なる箇所に形成され、何れのサブピクセル P r , P g , P b においても、スイッチトランジスタ 2 1 のゲート 2 1 g 及び保持トランジスタ 2 2 のゲート 2 2 g がコンタクトホール 9 2 を介して走査線 X に導通している。1 ドットのサブピクセル P につき 1 つのコンタクトホール 9 4 がゲート絶縁膜 3 1 の信号線 Y に重なる箇所に形成され、何れのサブピクセル P r , P g , P b においても、スイッチトランジスタ 2 1 のソース 2 1 s がコンタクトホール 9 4 を介して信号線 Y に導通している。1 ドットのサブピクセル P につき 1 つのコンタクトホール 9 3 がゲート絶縁膜 3 1 の下層電極 2 4 A に重なる箇所に形成され、何れのサブピクセル P r , P g , P b においても保持トランジスタ 2 2 のソース 2 2 s が駆動トランジスタ 2 3 のゲート 2 3 g 及びキャパシタ 2 4 の下層電極 2 4 A に導通している。

【 0 0 5 6 】

全てのサブピクセル P r , P g , P b のスイッチトランジスタ 2 1 、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 並びに全ての走査線 X 及び供給線 Z は、べた一面に成膜された保護絶縁膜 3 2 によって被覆されている。なお、詳細については後述するが、保護絶縁膜 3 2 は、供給線 Z に重なる箇所で矩形状に分断されている。

【 0 0 5 7 】

保護絶縁膜 3 2 には平坦化膜 3 3 が積層されており、スイッチトランジスタ 2 1 、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 並びに走査線 X 及び供給線 Z による凹凸が平坦化膜 3 3 によって解消されている。つまり、平坦化膜 3 3 の表面が平坦となっている。平坦化膜 3 3 は、ポリイミド等の感光性絶縁樹脂を硬化させたものが好ましい。なお、詳細については後述するが、平坦化膜 3 3 は、供給線 Z に重なる箇所で矩形状に分断されている。

【 0 0 5 8 】

このディスプレイパネル 1 をボトムエミッション型として用いる場合、すなわち、絶縁基板 2 を表示面として用いる場合には、ゲート絶縁膜 3 1 、保護絶縁膜 3 2 及び平坦化膜 3 3 には透明な材料を用いる。絶縁基板 2 から平坦化膜 3 3 までの積層構造をトランジスタアレイ基板 5 0 という。

【 0 0 5 9 】

保護絶縁膜 3 2 及び平坦化膜 3 3 の各供給線 Z に重なる箇所には、水平方向に沿って長尺な溝 3 4 が凹設されている。溝 3 4 によって保護絶縁膜 3 2 及び平坦化膜 3 3 が矩形状に分断され供給線 Z が露出している。溝 3 4 には給電配線 9 0 が埋設されており、溝 3 4 内において給電配線 9 0 が供給線 Z に積層されている。

【 0 0 6 0 】

給電配線 9 0 は、供給線 Z を下地電極として電解メッキ法により形成されたものである。信号線 Y r 、信号線 Y g 、信号線 Y b 、走査線 X 及び供給線 Z よりも十分に厚い。更には、給電配線 9 0 の厚さは、保護絶縁膜 3 2 と平坦化膜 3 3 の厚さの総計にほぼ等しく、平坦化膜 3 3 の表面と給電配線 9 0 の表面がほぼ面一となっている。給電配線 9 0 は、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。

【 0 0 6 1 】

平坦化膜 3 3 の表面、即ちトランジスタアレイ基板 5 0 の表面上には、複数のサブピクセル電極 2 0 a がマトリクス状に配列されている。サブピクセル電極 2 0 a は、有機 E L

10

20

30

40

50

素子 20 のアノードとして機能する電極である。即ち、サブピクセル電極 20 a の仕事関数が比較的高く、後述する有機 EL 層 20 b へ正孔を効率よく注入するのが好ましい。また、サブピクセル電極 20 a は、ボトムエミッションの場合、可視光に対して透過性を有している。サブピクセル電極 20 a としては、例えば、錫ドープ酸化インジウム (ITO)、亜鉛ドープ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム - 錫酸化物 (CTO) を主成分としたものがある。

【0062】

なお、このディスプレイパネル 1 をトップエミッション型として用いる場合、すなわち、絶縁基板 2 の反対側を表示面として用いる場合には、サブピクセル電極 20 a と平坦化膜 33 との間に、導電性且つ可視光反射性の高い反射膜を成膜するか、サブピクセル電極 20 a 自体を反射性電極とすれば良い。

10

【0063】

1 ドットのサブピクセル P につき 3 つのコンタクトホール 88 が平坦化膜 33 及び保護絶縁膜 32 のサブピクセル電極 20 a に重なる箇所に形成され、そのコンタクトホール 88 に導電性パッド 87 が埋設されている。何れのサブピクセル Pr, Pg, Pb においても、サブピクセル電極 20 a が、コンタクトホール 88 を介してキャパシタ 24 の上層電極 24 B、スイッチトランジスタ 21 のドレイン 21 d 及び駆動トランジスタ 23 のソース 23 s に導通している。導電性パッド 87 は、給電配線 90 とともに形成され、特に上層電極 24 B を下地電極として電解メッキ法により形成されることが好ましい。

【0064】

20

これらサブピクセル電極 20 a は、平坦化膜 33 上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。給電配線 90 の表面には導電性ライン 51 がパターンニングされているが、導電性ライン 51 は、サブピクセル電極 20 a の元となる導電性膜をエッチングすることによってサブピクセル電極 20 a とともにパターンニングされたものである。

【0065】

これらサブピクセル電極 20 a の間には、平面視して、各サブピクセル電極 20 a を囲繞するようにメッシュ状の絶縁膜 52 がパターンニングされている。また、導電性ライン 51 は、絶縁膜 52 によって被覆されている。

【0066】

30

絶縁膜 52 は、平面視して各保持トランジスタ 22 や駆動トランジスタ 23、信号線 Y 等と重なるようにそれらの上方に設けられているとともに垂直方向にも延在する n 本の突起状に形成されている。絶縁膜 52 上には、垂直方向に延在する n 本の共通配線 91 群が凸設されており、共通配線 91 は、平面視して信号線 Yr, Yg, Yb に平行に形成されている。即ち、垂直方向の赤サブピクセル Pr の列と緑サブピクセル Pg の列との間に、垂直方向の緑サブピクセル Pg の列と青サブピクセル Pb の列との間に、及び垂直方向の青サブピクセル Pb の列と赤サブピクセル Pr の列との間に、絶縁膜 52 が配置されている。

【0067】

共通配線 91 群は、画素領域の外の非画素領域において、共通配線 91 と一体的に形成され水平方向に延在する引き回し配線 95 (図 1 参照) によって導通され、引き回し配線 95 は、絶縁基板 2 の周縁部に複数の端子部 Tc に導通している。共通配線 91 は、メッキ法により形成されたものであるため、トランジスタ 21 ~ 23 の各電極や後述する対向電極 20 c よりも十分に厚い。共通配線 91 群は、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましく、いずれも有機 EL 層 20 b の発光する光に対して不透明なくらい厚い。

40

【0068】

サブピクセル電極 20 a 上には、有機 EL 素子 20 の有機 EL 層 20 b が成膜されている。有機 EL 層 20 b は広義の発光層であり、有機 EL 層 20 b には、有機化合物である発光材料 (蛍光体) が含有されている。有機 EL 層 20 b は、サブピクセル電極 20 a か

50

ら順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子であるPEDOT（ポリチオフェン）及びドーパントであるPSS（ポリスチレンスルホン酸）からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。

【0069】

赤サブピクセルPrの場合には、有機EL層20bが赤色に発光し、緑サブピクセルPgの場合には、有機EL層20bが緑色に発光し、青サブピクセルPbの場合には、有機EL層20bが青色に発光する。

【0070】

赤サブピクセルPrが垂直方向に一系列に配列されているので、信号線Yrと信号線Ygとの間において垂直方向に一系列に配列された複数のサブピクセル電極20aが、垂直方向に沿って帯状に長尺な共通の赤色発光の有機EL層20bによって被覆されている。同様に、信号線Ygと信号線Ybとの間において垂直方向に一系列に配列された複数のサブピクセル電極20aが、垂直方向に沿って帯状に長尺な共通の緑色発光の有機EL層20bによって被覆され、信号線Ybと信号線Yrとの間において垂直方向に一系列に配列された複数のサブピクセル電極20aが、垂直方向に沿って帯状に長尺な共通の青色発光の有機EL層20bによって被覆されている。なお、有機EL層20bがサブピクセル電極20aごとに独立して設けられ、平面視した場合、複数の有機EL層20bがマトリクス状に配列されていても良い。

【0071】

有機EL層20bは、共通配線91を形成し、共通配線91の上面および側面にフッ素樹脂電着塗料を電着塗装によって成膜して疎水処理した後に湿式塗布法（例えば、インクジェット法）によって成膜される。この場合、サブピクセル電極20aに有機化合物含有液を塗布するが、水平方向に隣り合うサブピクセル電極20a間において共通配線91がトランジスタアレイ基板50の表面に対して凸設されているから、サブピクセル電極20aに塗布された有機化合物含有液が隣のサブピクセル電極20aに漏れることがない。電着塗料としては、エレコートナイスロン、エレコートナイスロンCTR、エレコートAMF（株式会社シミズ製）などが挙げられる。

【0072】

なお、有機EL層20bは、二層構造の他に、サブピクセル電極20aから順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0073】

有機EL層20b上には、有機EL素子20のカソードとして機能する対向電極20cが成膜されている。対向電極20cは、共通配線91の上面や側面をも被覆するように形成されており、共通配線91に接しているから、図3の回路図に示したように、対向電極20cが共通配線91に対して導通している。また、対向電極20cは、信号線Yの上方部分には形成されておらず、平面視した場合に信号線Yと重なることなく、n本の共通配線91に沿ったn本に分割されており、ストライプ形状とされている。したがって、対向電極20cは、低抵抗の共通配線91及び引き回し配線95を介して端子部Tcから入力される電圧Vcomによって等電位となる。

【0074】

さらに、対向電極20cは、信号線Y₁～Y_nと平面視して重なっていないので、信号線Y₁～Y_nとの間の寄生容量が、重なっている場合に比べて極めて小さくなっている。このため、後述する駆動方法においても、書込電流を遅延することなく信号線Y₁～Y_nに流すことができる。

【0075】

なお、これに限らず、n本の共通配線91は非画素領域に配置された引き回し配線95の下方で分割することなく一体的に成膜されていてもよい。

【0076】

10

20

30

40

50

対向電極 20c は、サブピクセル電極 20a よりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極 20c は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機 EL 層 20b と接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。またトップエミッション構造の場合、対向電極 20c を上述のような低仕事関数の薄膜とその上に ITO 等の透明導電膜を積層した透明電極としてもよい。

10

【0077】

対向電極 20c 上には、封止絶縁膜 56 が成膜されている。封止絶縁膜 56 は対向電極 20c 全体を被覆するとともに、共通配線 91 も被覆している無機膜又は有機膜である。そのため、共通配線 91 及び対向電極 20c の劣化が封止絶縁膜 56 によって防止されている。

【0078】

なお、このディスプレイパネル 1 をトップエミッション型として用いる場合には、対向電極 20c 及び封止絶縁膜 56 を薄膜にしたり、対向電極 20c 及び封止絶縁膜 56 を透明な材料としたりすることによって、対向電極 20c 及び封止絶縁膜 56 の可視光透過性を高める。

20

【0079】

従来、トップエミッション型の EL ディ스플레이パネルは、対向電極 20c の少なくとも一部を金属酸化物のように抵抗値が高い透明電極を用いることになるが、このような材料は十分に厚くしなければシート抵抗が十分に低くならないので、厚くすることによって必然的に有機 EL 素子 20 の透過率が下がってしまい、大画面になるほど面内で均一の電位になりにくく表示特性が低くなってしまっていた。

【0080】

しかしながら、本実施形態では、垂直方向に十分な厚さのために低抵抗な複数の共通配線 91, 91, ... を設けているので、対向電極 20c と合わせて有機 EL 素子 20, 20, ... のカソード電極全体のシート抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこのような構造では、共通配線 91, 91, ... がサブピクセル電極 20a、20a 間に配置するので画素面積（開口率）を損なうことなく有機 EL 素子 20 の一方の電極のシート抵抗を下げているので、サブピクセル電極 20a と平面視して重なる対向電極 20c を薄膜にして透過率を向上したりすることが可能である。なおトップエミッション構造では、サブピクセル電極 20a を反射性の材料としてもよい。

30

【0081】

そして、トランジスタ 21 ~ 23 を形成する際のゲートレイヤー及びドレインレイヤー以外の厚膜の導電層を用いて形成された給電配線 90 をそれぞれ供給線 Z に電氣的に接続するように設けているので、トランジスタ 21 ~ 23 を形成する際のゲートレイヤー及びドレインレイヤーのみで形成された供給線 Z での電圧降下による複数の有機 EL 素子 20 に後述する書込電流や駆動電流が所定の電流値に達するまでの遅延を抑制し、良好に駆動することが可能となる。

40

【0082】

さらに、給電配線 90 は溝 34 に埋設されているため、給電配線 90 の厚さによって水平方向に立体障害とならず、列方向の複数の有機 EL 素子 20 にわたって有機 EL 層 20b となる有機化合物含有液が連続して広がるように且つ共通配線 91, 91, ... によって垂直方向に仕切られながら成膜することができる。

【0083】

加えて、対向電極 20c は、信号線 $Y_1 \sim Y_n$ と平面視して重なっていないので、信号線 $Y_1 \sim Y_n$ との間の寄生容量が、重なっている場合に比べて極めて小さくなり、書込電流を

50

遅延することなく信号線 $Y_1 \sim Y_n$ に流すことができる。

【 0 0 8 4 】

〔ディスプレイパネルの駆動方法〕

第一のディスプレイパネル 1 の構造では、図 1 に示したように、走査線 $X_1 \sim X_m$ がそれぞれ接続された選択ドライバ 1 1 1 が絶縁基板 2 の第一の周縁部に配置され、互いに電氣的に絶縁された給電配線 9 0 , 9 0 , ... (供給線 $Z_1 \sim Z_m$) が接続された給電ドライバ 1 1 2 が絶縁基板 2 の第一の周縁部と対向する周縁部である第二周縁部に配置されている。このディスプレイパネル 1 をアクティブマトリクス方式で駆動するには、次のようになる。

【 0 0 8 5 】

すなわち、図 9 に示すように、走査線 $X_1 \sim X_m$ に接続された選択ドライバ 1 1 1 によって、走査線 X_1 から走査線 X_m への順 (走査線 X_m の次は走査線 X_1) にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択する。この走査線 $X_1 \sim X_m$ の選択によりスイッチトランジスタ 2 1 を選択する。また、選択期間に各給電配線 9 0 を介して供給線 $Z_1 \sim Z_m$ にそれぞれ接続された駆動トランジスタ 2 3 に書込電流を流すための書込給電電圧 V_L を印加し、発光期間に駆動トランジスタ 2 3 を介して有機 E L 素子 2 0 に駆動電流を流すための駆動給電電圧 V_H を印加する給電ドライバ 1 1 2 が各給電配線 9 0 に接続されている。

【 0 0 8 6 】

この給電ドライバ 1 1 2 によって、選択ドライバ 1 1 1 と同期するよう、供給線 Z_1 から供給線 Z_m への順 (供給線 Z_m の次は供給線 Z_1) にローレベル (有機 E L 素子 2 0 の対向電極の電圧より低レベル) の書込給電電圧 V_L を順次出力することにより供給線 $Z_1 \sim Z_m$ を順次選択する。また、選択ドライバ 1 1 1 が各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である書込電流 (電流信号) を所定の行の駆動トランジスタ 2 3 のソース - ドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。なお、対向電極 2 0 c 及び共通配線 9 1 群は引き回し配線 9 5 及び配線端子 T c によって外部と接続され、一定の共通電位 V_{com} (例えば、接地 = 0 ボルト) に保たれている。

【 0 0 8 7 】

各選択期間において、データドライバ側の電位は、給電配線 9 0 , 9 0 , ... 及び供給線 $Z_1 \sim Z_m$ に出力された書込給電電圧 V_L 以下で且つこの書込給電電圧 V_L は共通電位 V_{com} 以下に設定されている。したがってこの時、有機 E L 素子 2 0 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 3 に示したように、データドライバによって階調に応じた電流値の書込電流 (引抜電流) が矢印 A の通り、信号線 $Y_1 \sim Y_n$ に流れ、サブピクセル $P_{i,j}$ においては給電配線 9 0 及び供給線 Z_i から駆動トランジスタ 2 3 のソース - ドレイン間、スイッチトランジスタ 2 1 のソース - ドレイン間を介して信号線 Y_j に向かった書込電流 (引抜電流) が流れる。このように駆動トランジスタ 2 3 のソース - ドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流 (引抜電流) の電流値を設定する。書込電流 (引抜電流) が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流 (引抜電流) の電流値、つまり駆動トランジスタ 2 3 の $V_g - I_{ds}$ 特性の経時変化にかかわらず駆動トランジスタ 2 3 のドレイン 2 3 d - ソース 2 3 s 間を流れる書込電流 (引抜電流) の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 2 4 にチャージされて、書込電流 (引抜電流) の電流値が駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 2 1 及び保持トランジスタ 2 2 がオフ状態となるが、オフ状態の保持トランジスタ 2 2 によってキャパシタ 2 4 の電極 2 4 A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 2 3 のソース 2 3 s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電位差がそのまま維持される。この発光期間では、供給線 Z_i 及びそ

10

20

30

40

50

れに接続された給電配線 90 の電位が駆動給電電圧 V_H となり、有機 EL 素子 20 の対向電極 20c の電位 V_{com} より高くなることによって、供給線 Z_i 及びそれに接続された給電配線 90 から駆動トランジスタ 23 を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。駆動電流の電流値は駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。

【0088】

そして、第二のディスプレイパネル 1 の構造は、図 10 に示すように、走査線 $X_1 \sim X_m$ がそれぞれ接続された選択ドライバ 111 が絶縁基板 2 の第一の周縁部に配置され、給電配線 90, 90, ... が互いに電氣的に接続されるよう給電配線 90, 90, ... と一体的に形成された引き回し配線 109 が絶縁基板 2 の第一の周縁部と対向する周縁部である第二周縁部に配置されている。引き回し配線 109 は、第一周縁部及び第二周縁部と直交する第三の周縁部及び第四の周縁部のそれぞれに位置する端子部 90d 及び端子部 90e の両方からクロック信号が入力されている。第二のディスプレイパネル 1 のアクティブマトリクス駆動方法は次のようになる。すなわち、図 11 に示すように、外部の発振回路が端子部 90d 及び端子部 90e から引き回し配線 109 を介して給電配線 90, 90, ... 及び供給線 $Z_1 \sim Z_m$ に対してクロック信号を出力する。また、選択ドライバ 111 によって走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択するが、選択ドライバ 111 が走査線 $X_1 \sim X_m$ の何れか 1 つがハイレベルつまりオンレベルのシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、選択ドライバ 111 が各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である引抜電流（電流信号）を駆動トランジスタ 23 のソース - ドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。なお、対向電極 20c 及び給電配線 90 の一定のコモン電位 V_{com} （例えば、接地 = 0 ボルト）に保たれている。

【0089】

走査線 X_i の選択期間においては、 i 行目の走査線 X_i にシフトパルスが出力されているから、スイッチトランジスタ 21 及び保持トランジスタ 22 がオン状態となる。各選択期間において、データドライバ側の電位は、給電配線 90, 90, ... 及び供給線 $Z_1 \sim Z_m$ に出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン電位 V_{com} 以下に設定されている。したがってこの時、有機 EL 素子 20 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 3 に示したように、データドライバによって階調に応じた電流値の書込電流（引抜電流）が矢印 A の通り、信号線 $Y_1 \sim Y_n$ に流れ、サブピクセル $P_{i,j}$ においては給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソース - ドレイン間、スイッチトランジスタ 21 のソース - ドレイン間を介して信号線 Y_j に向かった書込電流（引抜電流）が流れる。このように駆動トランジスタ 23 のソース - ドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流（引抜電流）の電流値を設定する。書込電流（引抜電流）が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流（引抜電流）の電流値、つまり駆動トランジスタ 23 の $V_g - I_{ds}$ 特性の経時変化にかかわらず駆動トランジスタ 23 のドレイン 23d - ソース 23s 間を流れる書込電流（引抜電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 24 にチャージされて、書込電流（引抜電流）の電流値が駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 21 及び保持トランジスタ 22 がオフ状態となるが、オフ状態の保持トランジスタ 22 によってキャパシタ 24 の電極 24A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 23 のソース 23s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電位差がそのまま維持される。この発光期間のうち、いずれの

10

20

30

40

50

行の選択期間でもない間、つまり、クロック信号が給電配線 90 及び供給線 Z_i の電位が有機 EL 素子 20 の対向電極 20c 及び給電配線 90 の電位 V_{com} より高いハイレベルの間、より高電位の給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソース - ドレイン間を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。駆動電流の電流値は駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間、つまりクロック信号がローレベルである時は、給電配線 90 及び供給線 Z_i の電位が対向電極 20c 及び給電配線 90 の電位 V_{com} 以下であるので、有機 EL 素子 20 に駆動電流は流れず発光しない。

10

【0090】

何れの駆動方法においても、スイッチトランジスタ 21 は、駆動トランジスタ 23 のソース 23s と信号線 Y との間の電流のオン（選択期間）・オフ（発光期間）を行うものとして機能する。また、保持トランジスタ 22 は、選択期間に駆動トランジスタ 23 のソース 23s - ドレイン 23d 間に電流が流れることができる状態にし、発光期間に駆動トランジスタ 23 のゲート 23g - ソース 23s 間に印加した電圧を保持するものとして機能する。そして、駆動トランジスタ 23 は、発光期間中に供給線 Z 及び給電配線 90 がハイレベルになった時に、階調に応じた大きさの電流を有機 EL 素子 20 に流して有機 EL 素子 20 を駆動するものとして機能する。

【0091】

20

以上のように、給電配線 90, 90, ... をそれぞれ流れる電流の大きさは一列の供給線 Z_i に接続された n 個の有機 EL 素子 20 に流れる駆動電流の大きさの和になるので、 V_{GA} 以上の画素数で動画駆動するための選択期間に設定した場合、給電配線 90, 90, ... のそれぞれの寄生容量が増大してしまい、トランジスタ 21 ~ 23 のような薄膜トランジスタのゲート電極又はソース、ドレイン電極を構成する薄膜からなる配線では n 個の有機 EL 素子 20 に書込電流（つまり駆動電流）を流すには抵抗が高すぎるが、本実施形態では、サブピクセル $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層によって給電配線 90, 90, ... をそれぞれ構成しているので各給電配線 90, 90, ... による電圧降下は小さくなり、短い選択期間であっても遅延なく十分に書込電流（引抜電流）を流すことができる。そして、給電配線 90, 90, ... を厚くすることで給電配線 90, 90, ... を低抵抗化したので、給電配線 90, 90, ... の幅を狭くすることができる。そのため、ボトムエミッションの場合、画素開口率の減少を最小限に抑えることができる。

30

【0092】

同様に、発光期間に共通配線 91 に流れる駆動電流の大きさは、選択期間に給電配線 90 に流れる書込電流（引抜電流）の大きさと同じであるが、共通配線 91 は、サブピクセル $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極を構成する導電層とは異なる導電層を用いているので十分な厚さにすることができるため、共通配線 91 を低抵抗化することができ、さらに対向電極 20c 自体が薄膜化してより高抵抗になっても対向電極 20c の電圧を面内で一様にするすることができる。従って、仮に全てのサブピクセル電極 20a に同じ電位を印加した場合でも、どの有機 EL 層 20b の発光強度もほぼ等しくなり、面内の発光強度を一様することができる。また、EL ディスプレイパネル 1 をトップエミッション型として用いた場合、対向電極 20c をより薄膜化ことが可能なので、有機 EL 層 20b を発した光が対向電極 20c を透過中に減衰し難くなる。更に、平面視して水平方向に隣り合うサブピクセル電極 20a の間に共通配線 91 が設けられているため、画素開口率の減少を最小限に抑えることができる。

40

【0093】

上述した二通りの駆動方法のうち第二のディスプレイパネル 1 の駆動方法でディスプレイパネル 1 においては、給電配線 90, 90, ... は、絶縁基板 2 の第二の周縁部の引き回し配線 109、端子部 90d 及び端子部 90e を介して外部の発振回路からのクロック信

50

号により等電位となるため、すみやかに有機EL素子20、20……から給電配線90、90、…全体に電流を供給することができる。

【0094】

そして、第一及び第二のELディスプレイパネル1の対向電極20cは、信号線 $Y_1 \sim Y_n$ と平面視して重なっていないので、信号線 $Y_1 \sim Y_n$ との間の寄生容量が、重なっている場合に比べて極めて小さくなっている。このため、書込電流が各有機EL素子20をそれぞれ発光するのに要する微小な電流であっても、各信号線 $Y_1 \sim Y_n$ の寄生容量に電荷を速やかにチャージでき、遅延することなく信号線 $Y_1 \sim Y_n$ に定常化されて流れるので、駆動トランジスタ23のゲート-ソース間の電位を速やかに駆動電流が流れる状態にすることができる。

10

【0095】

[第2の実施の形態]

図12～図19を用いて、第2実施形態におけるディスプレイパネル1について説明する。なお、図12～図19に示すように、第2実施形態におけるディスプレイパネル1については、第1実施形態におけるディスプレイパネル1のいずれかの部分と同一の部分に対しては同一の符号を付し、同一の部分についての説明を省略する。

【0096】

[ディスプレイパネルの平面レイアウト]

図12は、第2実施形態におけるディスプレイパネル1の画素3の概略平面図である。本実施形態のディスプレイパネル1においては、絶縁基板2上に設けられた複数の赤サブピクセルPrが水平方向に沿った一行に配列され、複数の緑サブピクセルPgが水平方向に沿った一行に配列され、複数の青サブピクセルPbが水平方向に沿った一行に配列されている。垂直方向の配列順に着目すると、赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの順に繰り返し配列されている。そして、1ドットの赤サブピクセルPr、1ドットの緑サブピクセルPg、1ドットの青サブピクセルPbの組み合わせが1ピクセルの画素3となり、このような画素3がマトリクス状に配列されている。

20

【0097】

また、垂直方向に沿って延在した3本の信号線Yr、Yg、Ybが1組となっており、3本の信号線Yr、Yg、Ybの組み合わせを信号線群4という。1群の信号線群4に着目すると3本の信号線Yr、Yg、Ybが互いに近接しているが、隣り合う信号線群4の間隔は同一信号線群4内の隣り合う信号線Yr、Yg、Ybの間隔よりも広い。そして、垂直方向の画素3の列1列につき、1群の信号線群4が設けられている。すなわち、垂直方向に配列された1列のうちのサブピクセルPr、Pg、Pbは、1群の信号線群4の信号線Yr、Yg、Ybにそれぞれ接続されている。

30

【0098】

ここで、信号線Yrは垂直方向の画素3の列のうち全ての赤サブピクセルPrに対して信号を供給するものであり、信号線Ygは垂直方向の画素3の列のうち全ての緑サブピクセルPgに対して信号を供給するものであり、信号線Ybは垂直方向の画素3の列のうち全ての青サブピクセルPbに対して信号を供給するものである。

【0099】

また、複数本の走査線Xが水平方向に沿って延在し、これら走査線Xに対して複数本の供給線Z、複数本の選択配線89、複数本の給電配線90及び複数本の共通配線91が平行に設けられている。水平方向に沿った一行の画素3群につき、1本の走査線Xと、1本の供給線Zと、1本の給電配線90と、1本を選択配線89と、1本の共通配線91とが設けられている。具体的には、共通配線91は垂直方向に隣り合う赤サブピクセルPrと緑サブピクセルPgの間に配置され、走査線X及び選択配線89は垂直方向に隣り合う緑サブピクセルPgと青サブピクセルPbとの間に配置され、供給線Z及び給電配線90は青サブピクセルPbと隣の画素3の赤サブピクセルPrとの間に配置されている。選択配線89及び給電配線90は同じ膜厚である。

40

【0100】

50

ここで、走査線 X は水平方向に沿った一行に配列された画素 3 の全サブピクセル P_r, P_g, P_b に信号を供給するものであり、供給線 Z も水平方向に沿った一行に配列された画素 3 の全サブピクセル P_r, P_g, P_b に信号を供給するものである。

【0101】

また、平面視して、走査線 X には選択配線 89 が延在方向に重なることによって電氣的に導通されており、供給線 Z には給電配線 90 が延在方向に重な重なることによって電氣的に導通されている。

【0102】

図 12 において水平方向に長尺な矩形状で示されたサブピクセル P_r, P_g, P_b の位置は、有機 EL 素子 20 のアノードであるサブピクセル電極 20a (図 13 等に図示) の位置を表したものである。すなわち、ディスプレイパネル 1 全体に着目して平面視した場合、複数のサブピクセル電極 20a がマトリクス状に配列されており、1 つのサブピクセル電極 20a によって 1 ドットのサブピクセル P が定まる。従って、給電配線 90 と隣の共通配線 91 との間において複数のサブピクセル電極 20a が水平方向に沿った一行に配列され、共通配線 91 と隣の選択配線 89 との間において複数のサブピクセル電極 20a が水平方向に沿った一行に配列され、選択配線 89 と隣の給電配線 90 との間において複数のサブピクセル電極 20a が水平方向に沿った一行に配列されている。

【0103】

m、n をそれぞれ 2 以上の整数とし、画素 3 が垂直方向に沿って m ピクセルだけ、水平方向に沿って n ピクセルだけ配列されていると、サブピクセル電極 20a は垂直方向に沿ってサブピクセルの一行分の数と同数の (3 × m) 個だけ、水平方向に沿ってサブピクセルの一行分の数と同数の n 個だけ配列されている。この場合、信号線群 4 が n 群になり、走査線 X、供給線 Z、選択配線 89、給電配線 90 及び共通配線 91 はそれぞれ m 本になる。後述する有機 EL 素子 20 の有機 EL 層 20b となる有機化合物含有液を一行分のサブピクセル内に堰き止める隔壁としても機能する選択配線 89、給電配線 90 及び共通配線 91 の総和は (3 × m) 本になるが、全行の有機化合物含有液を各行毎のサブピクセル内に仕切するためには (3 × m + 1) 本必要になる。このため、共通配線 91 と同じ高さ且つ同じ長さの (3 × m + 1) 本目の隔壁ダミー配線 81 を、選択配線 89、給電配線 90 及び共通配線 91 に合わせて行方向に並列させる。

【0104】

〔サブピクセルの回路構成〕

図 13 に示すように、本実施形態のサブピクセル P_r, P_g, P_b の回路構成は第 1 実施形態についての等価回路図 (図 3 参照) と同様であるが、前述したように、選択配線 89 が走査線 X に電氣的に導通されている。

【0105】

〔画素の平面レイアウト〕

画素 3 の平面レイアウトについて図 14 ~ 図 16 を用いて説明する。図 14 は、赤サブピクセル P_r の電極を主に示した平面図であり、図 15 は、緑サブピクセル P_g の電極を主に示した平面図であり、図 16 は、青サブピクセル P_b の電極を主に示した平面図である。なお、図 14 ~ 図 16 においては、図面を見やすくするために、有機 EL 素子 20 のサブピクセル電極 20a 及び対向電極 20c の図示を省略する。

【0106】

図 14 に示すように、赤サブピクセル P_r においては、平面視して、駆動トランジスタ 23 が供給線 Z 及び給電配線 90 に沿うように配置され、スイッチトランジスタ 21 が共通配線 91 に沿うように配置され、保持トランジスタ 22 が供給線 Z の近くの赤サブピクセル P_r の角部に配置されている。

【0107】

図 15 に示すように、緑サブピクセル P_g においては、平面視して、駆動トランジスタ 23 が共通配線 91 に沿うように配置され、スイッチトランジスタ 21 が走査線 X 及び選択配線 89 に沿うように配置され、保持トランジスタ 22 が共通配線 91 の近くの緑サブ

10

20

30

40

50

ピクセル P g の角部に配置されている。

【 0 1 0 8 】

図 1 6 に示すように、青サブピクセル P b においては、平面視して、駆動トランジスタ 2 3 が走査線 X に沿うように配置され、スイッチトランジスタ 2 1 が隣の行の供給線 Z 及び給電配線 9 0 に沿うように配置され、保持トランジスタ 2 2 が走査線 X の近くの青サブピクセル P b の角部に配置されている。

【 0 1 0 9 】

図 1 4 ~ 図 1 6 に示すように、何れのサブピクセル P r , P g , P b でも、キャパシタ 2 4 が隣の列の信号線群 4 に沿って配置されている。

【 0 1 1 0 】

なお、ディスプレイパネル 1 全体を平面視して、全てのサブピクセル P r , P g , P b のスイッチトランジスタ 2 1 だけに着目すると、複数のスイッチトランジスタ 2 1 がマトリクス状に配列され、全てのサブピクセル P r , P g , P b の保持トランジスタ 2 2 だけに着目すると、複数の保持トランジスタ 2 2 がマトリクス状に配列され、全てのサブピクセル P r , P g , P b の駆動トランジスタ 2 3 だけに着目すると、複数の駆動トランジスタ 2 3 がマトリクス状に配列されている。

【 0 1 1 1 】

〔ディスプレイパネルの層構造〕

ディスプレイパネル 1 の層構造について図 1 7 および図 1 8 を用いて説明する。ここで、図 1 7 は、図 1 4 ~ 図 1 6 に示された面 XVII - XVII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図、図 1 8 は、図 1 4 に示された面 XVIII - XVIII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。なお、図 1 4 における面 XVIII - XVIII と同様の図 1 5 および図 1 6 における面の矢視断面図も図 1 8 とほぼ同様の断面図となる。また、図 1 8 は、コンタクトホール 8 8 とキャパシタ 2 4 の下層電極 2 4 A , 2 4 B との間隔が実際より短縮されて示されている。さらに、保持トランジスタ 2 2 は、駆動トランジスタ 2 3 と同様の層構造となっているため、保持トランジスタ 2 2 の断面図については省略する。何れのサブピクセル P r , P g , P b でも、スイッチトランジスタ 2 1、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 が同様の層構造になっている。

【 0 1 1 2 】

本実施形態では、1つの画素 3 (一つのサブピクセル P r , 一つのサブピクセル P g , 及び一つのサブピクセル P b の組)につき1つのコンタクトホール 9 2 がゲート絶縁膜 3 1 の走査線 X に重なる箇所に形成され、サブピクセル P r , P g , P b のスイッチトランジスタ 2 1 のゲート 2 1 g 及び保持トランジスタ 2 2 のゲート 2 2 g がコンタクトホール 9 2 を介して走査線 X に導通している。

【 0 1 1 3 】

赤サブピクセル P r においては、保持トランジスタ 2 2 のドレイン 2 2 d 及び駆動トランジスタ 2 3 のドレイン 2 3 d が供給線 Z と一体に設けられている。それに対して、緑サブピクセル P g 及び青サブピクセル P b においては、保持トランジスタ 2 2 のドレイン 2 2 d 及び駆動トランジスタ 2 3 のドレイン 2 3 d の何れも、供給線 Z に対して別体に設けられている。そこで、緑サブピクセル P g 及び青サブピクセル P b の保持トランジスタ 2 2 のドレイン 2 2 d 及び駆動トランジスタ 2 3 のドレイン 2 3 d は、以下のようにして供給線 Z に導通している。

【 0 1 1 4 】

すなわち、1ピクセルの画素 3 につき1本の接続線 9 6 が画素 3 を垂直方向に縦断するよう設けられている。この接続線 9 6 は、ゲートレイヤーをパターンニングすることで形成されたものであり、ゲート絶縁膜 3 1 によって被覆されている。ゲート絶縁膜 3 1 の供給線 Z と接続線 9 6 が重なる箇所には、コンタクトホール 9 7 が形成され、そのコンタクトホール 9 7 を介して接続線 9 6 が供給線 Z に導通している。また、緑サブピクセル P g においては、コンタクトホール 9 8 がゲート絶縁膜 3 1 の接続線 9 6 と駆動トランジスタ 2 3 のドレイン 2 3 d とが重なる箇所に形成され、そのコンタクトホール 9 8 を介して接続

10

20

30

40

50

線 9 6 と駆動トランジスタ 2 3 のドレイン 2 3 d が導通している。青サブピクセル P b においては、コンタクトホール 9 9 がゲート絶縁膜 3 1 の接続線 9 6 と駆動トランジスタ 2 3 のドレイン 2 3 d とが重なる箇所に形成され、そのコンタクトホール 9 9 を介して接続線 9 6 と駆動トランジスタ 2 3 のドレイン 2 3 d が導通している。以上により、緑サブピクセル P g 及び青サブピクセル P b のどちらにおいても、保持トランジスタ 2 2 のドレイン 2 2 d 及び駆動トランジスタ 2 3 のドレイン 2 3 d が接続線 9 6 を介して供給線 Z 及び給電配線 9 0 に導通している。

【 0 1 1 5 】

全てのサブピクセル P r , P g , P b のスイッチトランジスタ 2 1、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 並びに全ての走査線 X 及び供給線 Z は、べた一面に成膜された窒化シリコン又は酸化シリコン等の保護絶縁膜 3 2 によって被覆されている。なお、詳細については後述するが、保護絶縁膜 3 2 は、走査線 X 及び供給線 Z に重なる箇所で矩形状に分断されている。

10

【 0 1 1 6 】

保護絶縁膜 3 2 には平坦化膜 3 3 が積層されており、スイッチトランジスタ 2 1、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 並びに走査線 X 及び供給線 Z による凹凸が平坦化膜 3 3 によって解消されている。つまり、平坦化膜 3 3 の表面が平坦となっている。平坦化膜 3 3 は、ポリイミド等の感光性絶縁樹脂を硬化させたものである。なお、詳細については後述するが、平坦化膜 3 3 は、走査線 X 及び供給線 Z に重なる箇所で矩形状に分断されている。

20

【 0 1 1 7 】

平坦化膜 3 3 の表面、即ちトランジスタアレイ基板 5 0 の表面上であって赤サブピクセル P r と緑サブピクセル P g の間には、走査線 X に平行な絶縁ライン 6 1 が形成されている。絶縁ライン 6 1 は、ポリイミド等の感光性絶縁樹脂を硬化させてなり、その上部には絶縁ライン 6 1 より幅狭の共通配線 9 1 が積層されている。共通配線 9 1 は、メッキ法により形成されたものであるので、信号線 Y、走査線 X 及び供給線 Z よりも十分に厚く、平坦化膜 3 3 の表面に対して凸設されている。共通配線 9 1 は金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。

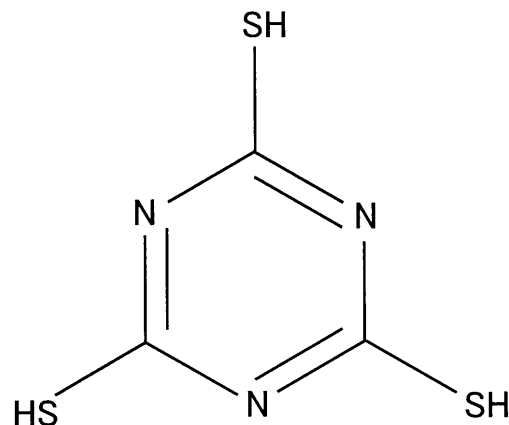
【 0 1 1 8 】

共通配線 9 1 の表面には、撥水性・撥油性を有した撥液性導通層 5 5 が成膜されている。撥液性導通層 5 5 は、次の化学式に示されたトリアジルトリチオールのチオール基 (- S H) の水素原子 (H) が還元離脱し、硫黄原子 (S) が共通配線 9 1 の表面に酸化吸着したものである。

30

【 0 1 1 9 】

【 化 1 】



40

【 0 1 2 0 】

撥液性導通層 5 5 はトリアジルトリチオール分子が共通配線 9 1 の表面に規則正しく並

50

んだ極薄い分子層からなる膜であるから、撥液性導通層 5 5 が非常に低抵抗であって導電性を有する。なお、撥水性・撥油性を顕著にするためにトリアジルトリチオールに代えて、トリアジルトリチオールの 1 又は 2 のチオール基がフッ化アルキル基に置換されたものでも良い。

【 0 1 2 1 】

保護絶縁膜 3 2 及び平坦化膜 3 3 の各供給線 Z に重なる箇所には、水平方向に沿って開口された長尺な溝 3 5 が凹設され、更に、保護絶縁膜 3 2 及び平坦化膜 3 3 の各走査線 X に重なる箇所には水平方向に沿って開口された長尺な溝 3 6 が凹設されている。これら溝 3 5 , 3 6 によって保護絶縁膜 3 2 及び平坦化膜 3 3 が矩形状に分断されている。溝 3 5 には給電配線 9 0 が埋められており、溝 3 5 内において給電配線 9 0 が供給線 Z にそれぞれ積層されることによって電氣的に接続されている。溝 3 6 には選択配線 8 9 が埋められており、溝 3 6 内において選択配線 8 9 が走査線 X にそれぞれ積層されることによって電氣的に接続されている。

10

【 0 1 2 2 】

選択配線 8 9 及び給電配線 9 0 は、メッキ法により形成されたものであるもので、信号線 Y、走査線 X 及び供給線 Z よりも十分に厚い。更には、選択配線 8 9 及び給電配線 9 0 の厚さは、保護絶縁膜 3 2 と平坦化膜 3 3 の厚さの総計よりも厚く、平坦化膜 3 3 の表面から凸設されている。選択配線 8 9 及び給電配線 9 0 のどちらも、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。選択配線 8 9 の表面に、撥水性・撥油性を有した疎水絶縁膜 5 3 が成膜され、給電配線 9 0 の表面には、撥水性・撥油性を有した疎水絶縁膜 5 4 が成膜されている。どちらの疎水絶縁膜 5 3 , 5 4 もフッ素樹脂電着塗料からなり、電着塗装によって成膜されたものである。

20

【 0 1 2 3 】

信号線群 4 および接続線 9 6 の上方の平坦化膜 3 3 上には、バンクとして絶縁膜 5 2 が平面視して信号線群 4 等に沿って垂直方向に延在するように積層されている。

【 0 1 2 4 】

平坦化膜 3 3 の表面、即ちトランジスタアレイ基板 5 0 の表面上には、複数のサブピクセル電極 2 0 a がマトリクス状に配列されている。これらサブピクセル電極 2 0 a は、平坦化膜 3 3 上にべた一面に成膜された透明導電性膜をフォトリソグラフィ法・エッチング法によってパターニングしたものである。

30

【 0 1 2 5 】

1 ドットのサブピクセル P につき 1 つのコンタクトホール 8 8 が平坦化膜 3 3 及び保護絶縁膜 3 2 のサブピクセル電極 2 0 a に重なる箇所に形成され、そのコンタクトホール 8 8 に導電性パッドが埋設されている。何れのサブピクセル P r , P g , P b においても、サブピクセル電極 2 0 a が、キャパシタ 2 4 の上層電極 2 4 B、スイッチトランジスタ 2 1 のドレイン 2 1 d 及び駆動トランジスタ 2 3 のソース 2 3 s に導通している。

【 0 1 2 6 】

サブピクセル電極 2 0 a 上には、有機 EL 素子 2 0 の有機 EL 層 2 0 b が成膜されており、各色の有機 EL 層 2 0 b は、それぞれ選択配線 8 9、給電配線 9 0 及び共通配線 9 1 のうちの垂直方向に互いに隣接する 2 つの間において水平方向に沿って配列された複数のサブピクセル電極 2 0 a を帯状に被覆するように成膜されている。すなわち、赤色発光の有機 EL 層 2 0 b は給電配線 9 0 と共通配線 9 1 との間、緑色発光の有機 EL 層 2 0 b は共通配線 9 1 と選択配線 8 9 との間、青色発光の有機 EL 層 2 0 b は選択配線 8 9 と給電配線 9 0 との間において、それぞれ帯状に成膜されている。なお、有機 EL 層 2 0 b は、サブピクセル電極 2 0 a ごとに独立して設けられ、平面視した場合、複数の有機 EL 層 2 0 b がマトリクス状に配列されていても良い。

40

【 0 1 2 7 】

有機 EL 層 2 0 b は、疎水絶縁膜 5 3、疎水絶縁膜 5 4 及び撥液性導通層 5 5 のコーティング後に湿式塗布法（例えば、インクジェット法）によって成膜される。この場合、サブピクセル電極 2 0 a に有機 EL 層 2 0 b となる有機化合物を含有する有機化合物含有液

50

を塗布するが、この有機化合物含有液の液面は、絶縁ライン 6 1 の頭頂部よりも高い。垂直方向に隣り合うサブピクセル電極 2 0 a 間において頭頂部が絶縁ライン 6 1 の頭頂部よりも十分高い厚膜の選択配線 8 9、給電配線 9 0、共通配線 9 1 がトランジスタアレイ基板 5 0 の表面に対して凸設されているから、サブピクセル電極 2 0 a に塗布された有機化合物含有液が垂直方向に隣接するサブピクセル電極 2 0 a に漏れることがない。また、選択配線 8 9、給電配線 9 0、共通配線 9 1 には撥水性・撥油性の疎水絶縁膜 5 3、疎水絶縁膜 5 4、撥液性導通層 5 5 がそれぞれコーティングされているから、サブピクセル電極 2 0 a に塗布された有機化合物含有液をはじき、サブピクセル電極 2 0 a に塗布された有機化合物含有液がサブピクセル電極 2 0 a の中央に対して撥液性導通層 5 5 の端部付近、疎水絶縁膜 5 3 の端部付近や、疎水絶縁膜 5 4 の端部付近で極端に厚く堆積されなくなるので、有機化合物含有液が乾燥してなる有機 E L 層 2 0 b を面内均一な膜厚で成膜することができる。

10

【 0 1 2 8 】

有機 E L 層 2 0 b 上には、有機 E L 素子 2 0 のカソードとして機能する対向電極 2 0 c が成膜されている。対向電極 2 0 c は、共通配線 9 1 の上面や側面をも被覆するように形成されており、撥液性導通層 5 5 を挟んで共通配線 9 1 に通電するから、図 1 3 の回路図に示すように、対向電極 2 0 c が共通配線 9 1 に対して導通している。なお、保持トランジスタ 2 2 のドレイン 2 2 d は、走査線 X に接続されていてもよい。一方、選択配線 8 9 には疎水絶縁膜 5 3 がコーティングされ、給電配線 9 0 には疎水絶縁膜 5 4 がコーティングされているので、対向電極 2 0 c が選択配線 8 9 及び給電配線 9 0 の何れに対しても絶縁されている。

20

【 0 1 2 9 】

また、対向電極 2 0 c は、図 1 9 に示すように、信号線群 4 上方の絶縁膜 5 2 の部分には被覆されずに分割されており、垂直方向に延在したストライプ形状とされている。複数に分割された対向電極 2 0 c は、画素領域の外の非画素領域において、選択配線 8 9、給電配線 9 0 及び共通配線 9 1 と一体的に形成され水平方向に延在する引き回し配線 1 0 8 によって導通され、引き回し配線 1 0 8 は、絶縁基板 2 の周縁部に複数の端子部 T c に導通している。このように、複数の対向電極 2 0 c 群はいずれも信号線 $Y_1 \sim Y_n$ と平面視して重なっていないので、信号線 $Y_1 \sim Y_n$ との間の寄生容量が、重なっている場合に比べて極めて小さくなっている。このため、書込電流が各有機 E L 素子 2 0 をそれぞれ発光するのに要する微小な電流であっても、各信号線 $Y_1 \sim Y_n$ の寄生容量に電荷を速やかにチャージでき、遅延することなく信号線 $Y_1 \sim Y_n$ に定常化されて流れるので、駆動トランジスタ 2 3 のゲート - ソース間の電位を速やかに駆動電流が流れる状態にすることができる。

30

【 0 1 3 0 】

〔ディスプレイパネルの駆動方法〕

ディスプレイパネル 1 の駆動方法については、第 1 実施形態と同様である。なお、第 2 の実施形態においては、走査線 $X_1 \sim X_m$ またはそれと導通された選択配線 8 9 の選択によりスイッチトランジスタ 2 1 を選択する。

【 0 1 3 1 】

以上の本実施形態のように、給電配線 9 0 や共通配線 9 1、或いは選択配線 8 9 を水平方向に延在するように設けた場合においても、給電配線 9 0 や共通配線 9 1、選択配線 8 9 がトランジスタ 2 1 ~ 2 3 の電極とは別層で形成され、厚膜に形成することができるから、これらの配線を低抵抗化することができる。また、低抵抗な共通配線 9 1 が対向電極 2 0 c に導通しているから、対向電極 2 0 c 自体が薄膜化してより高抵抗になっても対向電極 2 0 c の電圧をそれぞれの面内で一様にするすることができる。従って、仮に全てのサブピクセル電極 2 0 a に同じ電位を印加した場合でも、どの有機 E L 層 2 0 b の発光強度もほぼ等しくなり、面内の発光強度を一様することができる。

40

【 0 1 3 2 】

また、ディスプレイパネル 1 をトップエミッション型として用いた場合、対向電極 2 0 c をより薄膜化することが可能なので、有機 E L 層 2 0 b を発した光が対向電極 2 0 c を

50

透過中に減衰し難くなる。

【 0 1 3 3 】

また、平坦化膜 3 3 及び保護絶縁膜 3 2 に埋設された給電配線 9 0 がトランジスタ 2 1 ~ 2 3 の電極とは別層で形成されているから、給電配線 9 0 を厚膜にすることができ、給電配線 9 0 を低抵抗化することができる。低抵抗な給電配線 9 0 が薄膜の供給線 Z に積層されているから、供給線 Z の電圧降下を抑えることができ、更には供給線 Z 及び給電配線 9 0 の信号遅延を抑えることができる。例えば、仮に給電配線 9 0 がない場合にディスプレイパネルを大画面化したときには、供給線 Z の電圧降下によって面内の発光強度のムラが発生したり、発光しない有機 EL 素子 2 0 が存在したりするおそれがある。しかしながら、本実施形態では、低抵抗な給電配線 9 0 が供給線 Z に導通しているから、面内の発光強度のムラを抑えることができ、更に発光しない有機 EL 素子 2 0 をなくすることができる。

10

【 0 1 3 4 】

また、対向電極 2 0 c が、全てのサブピクセル Pr, Pg, Pb に共通した共通電極としてべた一面に形成されるのではなく、対向電極 2 0 c が信号線 Y の上方部分には形成されず、平面視した場合に対向電極 2 0 c が信号線 Y に沿って分割され、ストライプ形状とされているから、信号線 Y と、有機 EL 素子 2 0 のカソードとして機能する対向電極 2 0 c との間の寄生容量を効果的に低減させることができ、キャパシタ 2 4 へのデータの書き込み時間が遅延することを有効に抑制することができる。すなわち、信号線 Y の上方部分にも対向電極 2 0 c を形成すると、信号線 Y のほぼ全長に亘って対向電極 2 0 c と対向する状態となり、比較的大きな寄生容量が発生するが、前記のように対向電極 2 0 c を信号線 Y の上方には形成しないことでこのような事態を回避することができる。

20

【 0 1 3 5 】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

以下、第 1 実施形態及び第 2 実施形態のディスプレイパネル 1 の給電配線及び共通配線の幅、断面積及び抵抗率を定義する。ここで、ディスプレイパネル 1 の画素数を $W \times G \times A$ (768×1366) としたときに、給電配線 9 0 及び共通配線 9 1 の望ましい幅、断面積を定義する。図 2 0 は、各サブピクセルの駆動トランジスタ 2 3 及び有機 EL 素子 2 0 の電流 - 電圧特性を示すグラフである。

【 0 1 3 6 】

図 2 0 において、縦軸は 1 つの駆動トランジスタ 2 3 のソース 2 3 s - ドレイン 2 3 d 間を流れる書込電流の電流値又は 1 つの有機 EL 素子 2 0 のアノード - カソード間を流れる駆動電流の電流値であり、横軸は 1 つの駆動トランジスタ 2 3 のソース 2 3 s - ドレイン 2 3 d 間の電圧 (同時に 1 つの駆動トランジスタ 2 3 のゲート 2 3 g - ドレイン 2 3 d 間の電圧) である。図中、実線 $I_{ds\ max}$ は、最高輝度階調 (最も明るい表示) のときの書込電流及び駆動電流であり、一点鎖線 $I_{ds\ mid}$ は、最高輝度階調と最低輝度階調との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線 V_{po} は駆動トランジスタ 2 3 の不飽和領域 (線形領域) と飽和領域との閾値つまりピンチオフ電圧であり、三点鎖線 V_{ds} は駆動トランジスタ 2 3 のソース 2 3 s - ドレイン 2 3 d 間を流れる書込電流であり、破線 I_{el} は有機 EL 素子 2 0 のアノード - カソード間を流れる駆動電流である。

30

40

【 0 1 3 7 】

ここで電圧 V_{P1} は、最高輝度階調時の駆動トランジスタ 2 3 のピンチオフ電圧であり、電圧 V_{P2} は、駆動トランジスタ 2 3 が最高輝度階調の書込電流が流れるときのソース - ドレイン間電圧であり、電圧 $V_{EL\ max}$ (電圧 V_{P4} - 電圧 V_{P3}) は有機 EL 素子 2 0 が最高輝度階調の書込電流と電流値が等しい最高輝度階調の駆動電流で発光するときのアノード - カソード間の電圧である。電圧 V_{P2}' は、駆動トランジスタ 2 3 が中間輝度階調の書込電流が流れるときのソース - ドレイン間電圧であり、電圧 (電圧 V_{P4}' - 電圧 V_{P3}') は有機 EL 素子 2 0 が中間輝度階調の書込電流と電流値が等しい中間輝度階調の駆動電流で発光するときのアノード - カソード間電圧である。

【 0 1 3 8 】

50

駆動トランジスタ 23 及び有機 EL 素子 20 はいずれも飽和領域で駆動させるために、(給電配線 90 の発光期間時の電圧 V_H) から (共通配線 91 の発光期間時の電圧 V_{com}) を減じた値 V_X は下記の式 (1) を満たす。

【0139】

$$V_X = V_{po} + V_{th} + V_m + V_{EL} \quad \dots (1)$$

【0140】

V_{th} (最高輝度時の場合 $V_{P2} - V_{P1}$ に等しい) は駆動トランジスタ 23 の閾値電圧であり、 V_{EL} (最高輝度時の場合 V_{ELmax} に等しい) は有機 EL 素子 20 のアノード - カソード間電圧であり、 V_m は、階調に応じて変位する許容電圧である。

【0141】

図から明らかなように、電圧 V_X のうち、輝度階調が高くなる程、トランジスタ 23 のソース - ドレイン間に要する電圧 ($V_{po} + V_{th}$) が高くなるとともに有機 EL 素子 20 のアノード - カソード間に要する電圧 V_{EL} が高くなる。したがって、許容電圧 V_m は、輝度階調が高くなるほど低くなり、最小許容電圧 V_{min} は $V_{P3} - V_{P2}$ となる。

【0142】

有機 EL 素子 20 は低分子 EL 材料及び高分子 EL 材料にかかわらず一般的に経時劣化し、高抵抗化する。10000 時間後のアノード - カソード間電圧は初期時の 1.4 倍程度になることが確認されている。つまり、電圧 V_{EL} は、同じ輝度階調時でも時間が経つ程高くなる。このため、駆動初期時の許容電圧 V_m が高い程長期間にわたって動作が安定するので、電圧 V_{EL} が 8 V 以上、より望ましくは 13 V 以上となるように電圧 V_X を設定している。

【0143】

この許容電圧 V_m には、有機 EL 素子 20 の高抵抗化ばかりでなく、さらに、給電配線 90 による電圧降下の分も含まれる。

【0144】

給電配線 90 の配線抵抗のために電圧降下が大きいとディスプレイパネル 1 の消費電力が著しく増大してしまうため、給電配線 90 の電圧降下は 1 V 以下に設定することが特に好ましい。

【0145】

行方向の一つの画素の長さである画素幅 W_p と、行方向の画素数 (1366) と、画素領域以外における第一の引き回し配線から一方の配線端子までの延長部分と、画素領域以外における第一の引き回し配線から他方の配線端子までの延長部分と、を考慮した結果、ディスプレイパネル 1 のパネルサイズが 32 インチ、40 インチの場合、第一の引き回し配線の全長はそれぞれ 706.7 mm、895.2 mm となる。ここで、給電配線 90 の線幅 W_L 及び共通配線 91 の線幅 W_L が広くなると、構造上有機 EL 層 20 b の面積が小さくなり、さらに他の配線との重なり寄生容量を発生してさらなる電圧降下をもたらすため、給電配線 90 の幅 W_L 及び共通配線 91 の線幅 W_L はそれぞれ画素幅 W_p の 5 分の 1 以下に抑えることが望ましい。このようなことを考慮すると、ディスプレイパネル 1 のパネルサイズが 32 インチ、40 インチの場合、幅 W_L はそれぞれ 34 μm 以内、44 μm 以内となる。また給電配線 90 及び共通配線 91 の最大膜厚 H_{max} はアスペクト比を考慮すると、トランジスタ 21 ~ 23 の最小加工寸法 4 μm の 1.5 倍、つまり 6 μm となる。したがって給電配線 90 及び共通配線 91 の最大断面積 S_{max} は 32 インチ、40 インチで、それぞれ 204 μm^2 、264 μm^2 となる。

【0146】

このような 32 インチのディスプレイパネル 1 について、最大電流が流れるように全点灯したときの給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下を 1 V 以下にするためには図 21 に示すように、給電配線 90 及び共通配線 91 のそれぞれの配線抵抗率 / 断面積 S は 4.7 / cm 以下に設定される必要がある。図 22 に 32 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関関係を表す。なお、上述した給電配線 90 及び共通配線 91 の最大断面積 S_{max} 時に許容さ

10

20

30

40

50

れる抵抗率は、32インチで $9.6 \mu \text{ cm}$ 、40インチで $6.4 \mu \text{ cm}$ となる。

【0147】

そして、40インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図23に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 / 断面積 S は $2.4 / \text{cm}$ 以下に設定される必要がある。図24に40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。

【0148】

給電配線90及び共通配線91の故障により動作しなくなる故障寿命MTFは、下記の式(2)を満たす。

【0149】

$$MTF = A \exp(E_a / K_b T) / J^2 \quad \dots (2)$$

【0150】

E_a は活性化エネルギー、 $K_b T = 8.617 \times 10^{-5} \text{ eV}$ 、 A は給電配線90及び共通配線91の抵抗率、 J は電流密度である。

【0151】

給電配線90及び共通配線91の故障寿命MTFは抵抗率の増大やエレクトロマイグレーションに律速する。給電配線90及び共通配線91をAl系(Al単体或いはAlTiやAlNd等の合金)に設定し、MTFが10000時間、85の動作温度で試算すると、電流密度 J は $2.1 \times 10^4 \text{ A/cm}^2$ 以下にする必要がある。同様に給電配線90及び共通配線91をCuに設定すると、 $2.8 \times 10^6 \text{ A/cm}^2$ 以下にする必要がある。なおAl合金内のAl以外の材料はAlよりも低い抵抗率であることを前提としている。

【0152】

これらのことを考慮して、32インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図22から、 $57 \mu \text{ m}^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図22から、 $0.43 \mu \text{ m}^2$ 以上必要になる。

【0153】

そして40インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図24から、 $92 \mu \text{ m}^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図24から、 $0.69 \mu \text{ m}^2$ 以上必要になる。

【0154】

Al系の給電配線90及び共通配線91では、Al系の抵抗率が $4.00 \mu \text{ cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 / 断面積 S が $4.7 / \text{cm}$ 以下なので、最小断面積 S_{min} は $85.1 \mu \text{ m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $34 \mu \text{ m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $2.50 \mu \text{ m}$ となる。

【0155】

またAl系の給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 / 断面積 S が $2.4 / \text{cm}$ 以下なので、最小断面積 S_{min} は $167 \mu \text{ m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $44 \mu \text{ m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $3.80 \mu \text{ m}$ となる。

【0156】

Cuの給電配線90及び共通配線91では、Cuの抵抗率が $2.10 \mu \text{ cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 / 断面積 S が 4.7

10

20

30

40

50

/ cm以下なので、最小断面積 S_{min} は $44.7 \mu m^2$ となる。このとき上述のように給電配線 90 及び共通配線 91 の配線幅 WL は $34 \mu m$ 以内なので給電配線 90 及び共通配線 91 の最小膜厚 H_{min} は $1.31 \mu m$ となる。

【0157】

また Cu の給電配線 90 及び共通配線 91 の 40 インチのディスプレイパネル 1 では上述のように配線抵抗率 / 断面積 S が $2.4 / cm$ 以下なので、最小断面積 S_{min} は $87.5 \mu m^2$ となる。このとき上述のように給電配線 90 及び共通配線 91 の配線幅 WL は $44 \mu m$ 以内なので給電配線 90 及び共通配線 91 の最小膜厚 H_{min} は $1.99 \mu m$ となる。

【0158】

以上のことから、ディスプレイパネル 1 を正常且つ消費電力を低く動作させるには、給電配線 90 及び共通配線 91 での電圧降下を $1V$ 以下にした方が好ましく、このような条件にするには、給電配線 90 及び共通配線 91 が A1 系の 32 インチのパネルでは、膜厚 H が $2.50 \mu m \sim 6 \mu m$ 、幅 WL が $14.1 \mu m \sim 34.0 \mu m$ 、抵抗率が $4.0 \mu cm \sim 9.6 \mu cm$ となり、給電配線 90 及び共通配線 91 が A1 系の 40 インチのパネルでは、給電配線 90 及び共通配線 91 が A1 系の場合、膜厚 H が $3.80 \mu m \sim 6 \mu m$ 、幅 WL が $27.8 \mu m \sim 44.0 \mu m$ 、抵抗率が $4.0 \mu cm \sim 9.6 \mu cm$ となる。

【0159】

総じて A1 系の給電配線 90 及び共通配線 91 の場合、膜厚 H が $2.50 \mu m \sim 6 \mu m$ 、幅 WL が $14.1 \mu m \sim 44 \mu m$ 、抵抗率が $4.0 \mu cm \sim 9.6 \mu cm$ となる。

同様に、給電配線 90 及び共通配線 91 が Cu の 32 インチのパネルでは、膜厚 H が $1.31 \mu m \sim 6 \mu m$ 、幅 WL が $7.45 \mu m \sim 34 \mu m$ 、抵抗率が $2.1 \mu cm \sim 9.6 \mu cm$ となり、給電配線 90 及び共通配線 91 が Cu の 40 インチのパネルでは、給電配線 90 及び共通配線 91 が Cu 系の場合、膜厚 H が $1.99 \mu m \sim 6 \mu m$ 、幅 WL が $14.6 \mu m \sim 44.0 \mu m$ 、抵抗率が $2.1 \mu cm \sim 9.6 \mu cm$ となる。

【0160】

総じて Cu の給電配線 90 及び共通配線 91 の場合、膜厚 H が $1.31 \mu m \sim 6 \mu m$ 、幅 WL が $7.45 \mu m \sim 44 \mu m$ 、抵抗率が $2.1 \mu cm \sim 9.6 \mu cm$ となる。したがって、給電配線 90 及び共通配線 91 として A1 系材料又は Cu を適用した場合、ディスプレイパネル 1 の給電配線 90 及び共通配線 91 は、膜厚 H が $1.31 \mu m \sim 6 \mu m$ 、幅 WL が $7.45 \mu m \sim 44 \mu m$ 、抵抗率が $2.1 \mu cm \sim 9.6 \mu cm$ となる。

【0161】

〔変形例 1〕

なお、本発明は、上記の第 1 及び第 2 の実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0162】

上記各実施形態では、トランジスタ 21 ~ 23 が N チャネル型の電界効果トランジスタとして説明を行った。トランジスタ 21 ~ 23 が P チャネル型の電界効果トランジスタであっても良い。その場合、図 3 や図 13 の回路構成では、トランジスタ 21 ~ 23 のソース 21s, 22s, 23s とトランジスタ 21 ~ 23 のドレイン 21d, 22d, 23d の関係が逆になる。例えば、駆動トランジスタ 23 が P チャネル型の電界効果トランジスタの場合には、駆動トランジスタ 23 のドレイン 23d が有機 EL 素子 20 のサブピクセル電極 20a に導通し、ソース 23s が供給線 Z および給電配線 90 に導通する。

【0163】

〔変形例 2〕

また、上記各実施形態では、1 ドットのサブピクセル P につき 3 つのトランジスタ 21 ~ 23 が設けられているが、1 ドットのサブピクセル P につき 1 又は複数のトランジスタが設けられ、これらトランジスタを用いてアクティブ駆動することができるディスプレイパネルであれば、本発明を適用することができる。

10

20

30

40

50

【 0 1 6 4 】

〔 変形例 3 〕

また、上記第 2 の実施形態では、水平方向の緑サブピクセル P g の列と青サブピクセル P b との間において選択配線 8 9 が凸設されているが、共通配線 9 1 と同様の共通配線が凸設されるように構成されても良い。その場合、共通配線の下には溝 3 6 が設けず、共通配線が走査線 X に対して絶縁された状態で、撥液性導通層 5 5 と同様の撥液性導通層がその共通配線の表面にコーティングされ、その共通配線が対向電極 2 0 c に導通するように構成することも可能である。

【 0 1 6 5 】

また、例えば、図 2 5 に示すように、保護絶縁膜 3 2 及び平坦化膜 3 3 の走査線 X に重なる箇所に溝 3 6 を凹設し、溝 3 6 に選択配線 8 9 を埋め込んで走査線 X に導通するように厚膜状に形成し、その上方に絶縁ライン 6 2 を形成し、さらにその上方に共通配線 1 0 0 を厚膜状に形成することも可能である。その場合も、共通配線 1 0 0 の表面には撥液性導通層 5 7 がコーティングされ、共通配線 1 0 0 が対向電極 2 0 c に導通するように構成される。

【 0 1 6 6 】

〔 変形例 4 〕

また、上記実施形態では、信号線 Y がゲートレイヤーからパターンニングされたものであるが、信号線 Y がドレインレイヤーからパターンニングされたものでも良い。この場合、走査線 X 及び供給線 Z がゲートレイヤーからパターンニングされたものとなり、信号線 Y が走査線 X 及び供給線 Z よりも上層になる。

【 図面の簡単な説明 】

【 0 1 6 7 】

【 図 1 】 第 1 の実施形態におけるディスプレイパネルの配線構造を示した略平面図である。

【 図 2 】 図 1 のディスプレイパネルの画素を示した平面図である。

【 図 3 】 サブピクセル P の等価回路図である。

【 図 4 】 サブピクセル P の電極を示した平面図である。

【 図 5 】 図 2 に示された破断線 V - V に沿って絶縁基板の厚さ方向に切断した矢視断面図である。

【 図 6 】 図 2 に示された破断線 VI - VI に沿って絶縁基板の厚さ方向に切断した矢視断面図である。

【 図 7 】 図 2 に示された破断線 VII - VII に沿って絶縁基板の厚さ方向に切断した矢視断面図である。

【 図 8 】 図 2 に示された破断線 VIII - VIII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【 図 9 】 図 1 のディスプレイパネルの駆動方法を説明するためのタイミングチャートである。

【 図 1 0 】 第二のディスプレイパネルの配線構造を示した略平面図である。

【 図 1 1 】 図 1 0 のディスプレイパネルの駆動方法を説明するためのタイミングチャートである。

【 図 1 2 】 第 2 実施形態におけるディスプレイパネルの画素を示した平面図である。

【 図 1 3 】 サブピクセル P の等価回路図である。

【 図 1 4 】 赤サブピクセル P r の電極を示した平面図である。

【 図 1 5 】 緑サブピクセル P g の電極を示した平面図である。

【 図 1 6 】 青サブピクセル P b の電極を示した平面図である。

【 図 1 7 】 図 1 4 ~ 図 1 6 に示された破断線 XVII - XVII に沿って絶縁基板の厚さ方向に切断した矢視断面図である。

【 図 1 8 】 図 1 4 に示された破断線 XVIII - XVIII に沿って絶縁基板の厚さ方向に切断した矢視断面図である。

10

20

30

40

50

【図 19】第 2 実施形態におけるディスプレイパネルの配線構造を示した略平面図である。

【図 20】各サブピクセルの駆動トランジスタ及び有機 EL 素子の電流 - 電圧特性を示すグラフである。

【図 21】3.2 インチのディスプレイパネルの給電配線及び共通配線のそれぞれの最大電圧降下と配線抵抗率 / 断面積 S の相関を示すグラフである。

【図 22】3.2 インチのディスプレイパネルの給電配線及び共通配線のそれぞれの断面積と電流密度の相関を示すグラフである。

【図 23】4.0 インチのディスプレイパネルの給電配線及び共通配線のそれぞれの最大電圧降下と配線抵抗率 / 断面積 S の相関を示すグラフである。

10

【図 24】4.0 インチのディスプレイパネルの給電配線及び共通配線のそれぞれの断面積と電流密度の相関を示すグラフである。

【図 25】変形例における破断線 XVII - XVII に沿って絶縁基板の厚さ方向に切断した矢視断面図である。

【符号の説明】

【0168】

1 ディスプレイパネル

2 絶縁基板

20 a サブピクセル電極

20 b 有機 EL 層

20 c 対向電極

21 スイッチトランジスタ

22 保持トランジスタ

23 駆動トランジスタ

21 d、22 d、23 d ドレイン

21 s、22 s、23 s ソース

21 g、22 g、23 g ゲート

89 選択配線

90 給電配線

91 共通配線

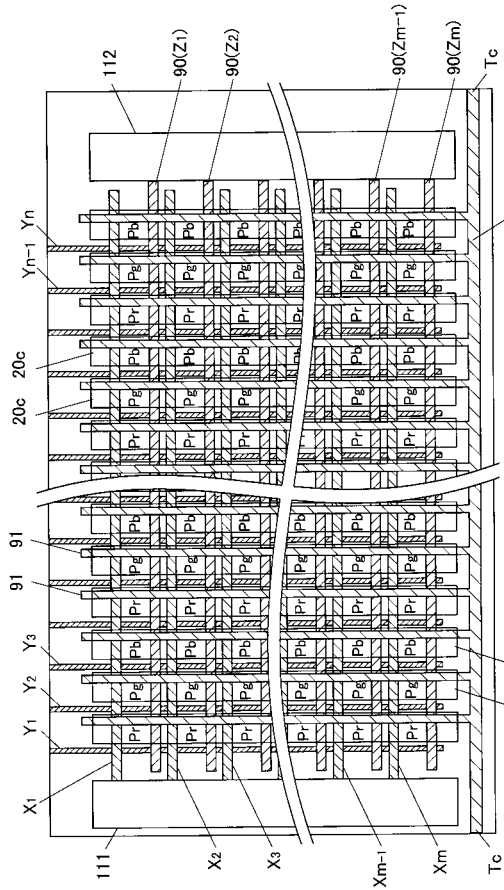
Pr、Pg、Pb サブピクセル

Y 信号線

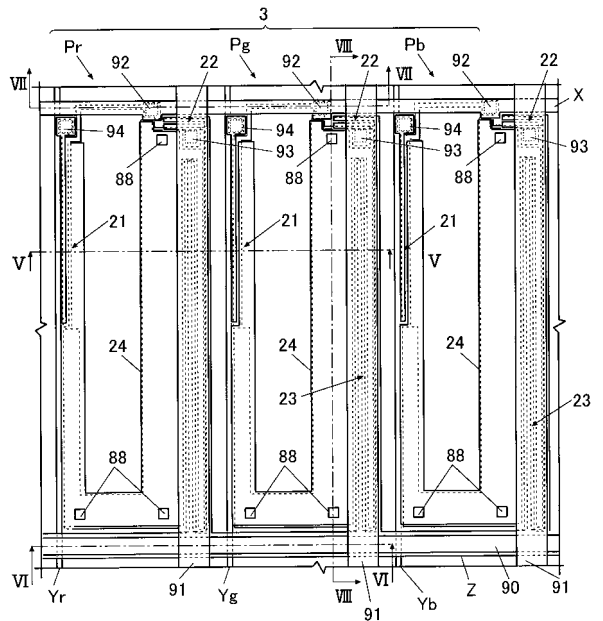
20

30

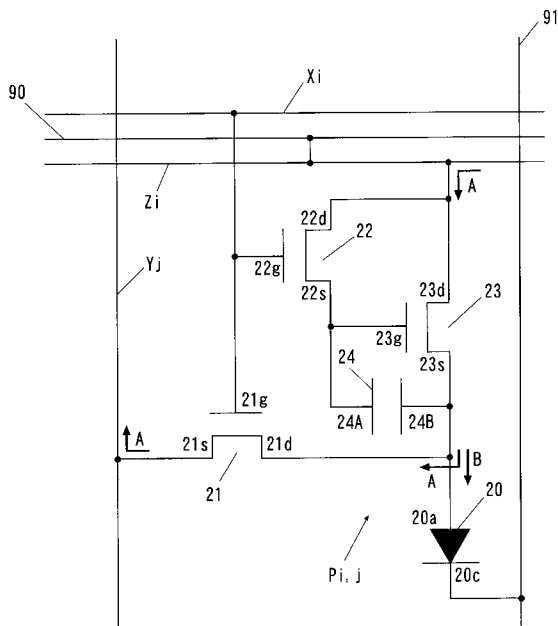
【 図 1 】



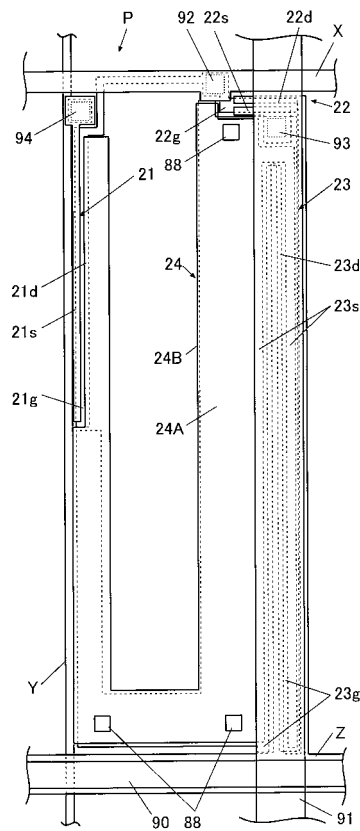
【 図 2 】



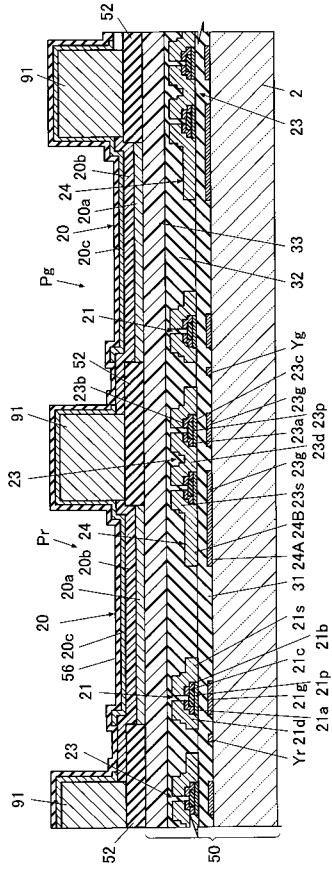
【 図 3 】



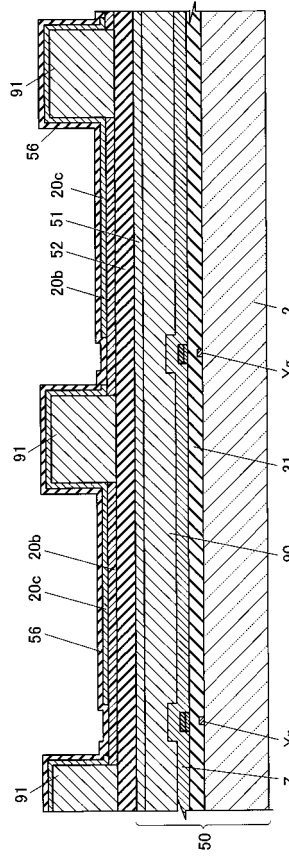
【 図 4 】



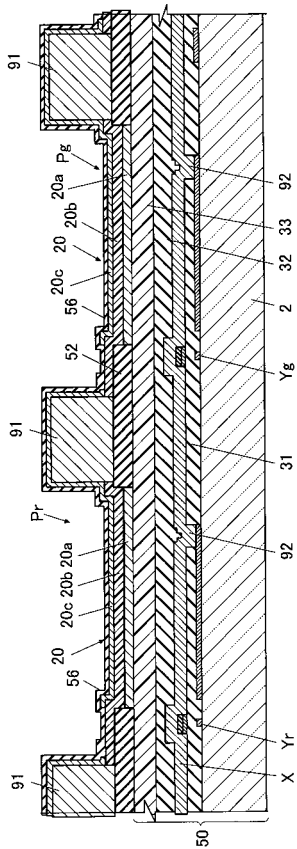
【図 5】



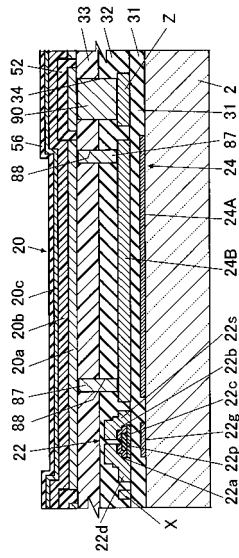
【図 6】



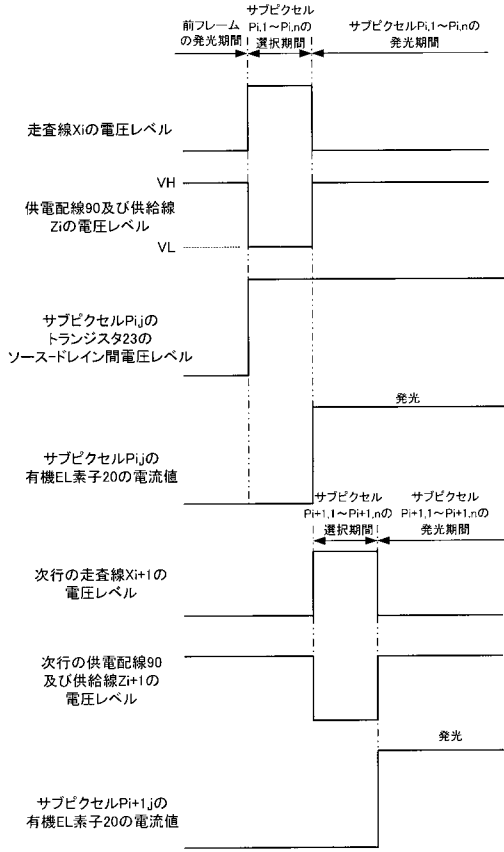
【図 7】



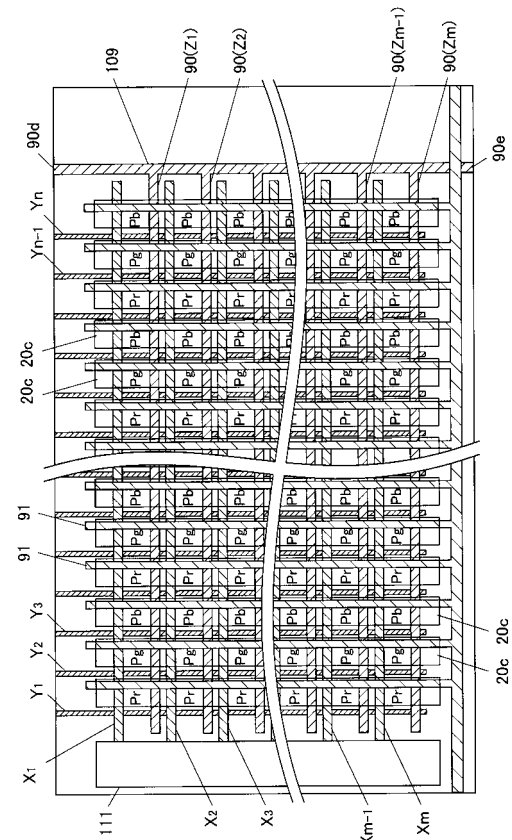
【図 8】



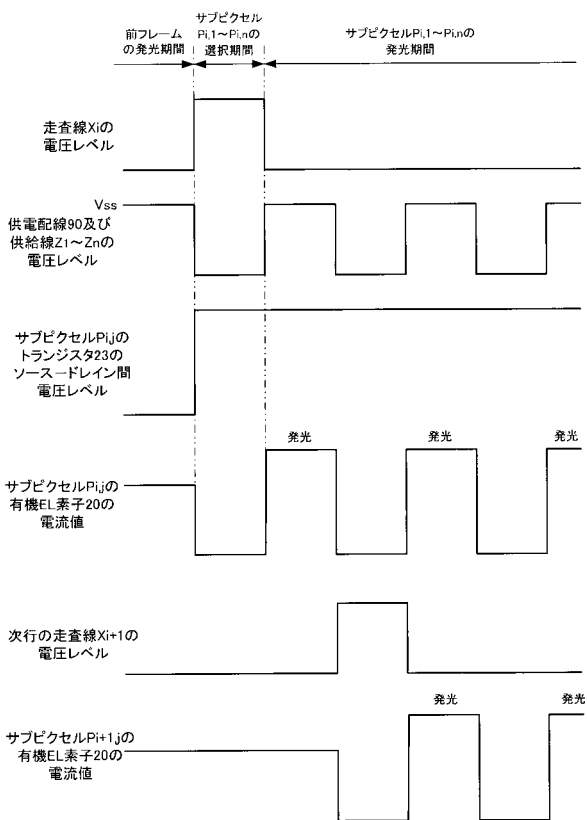
【図9】



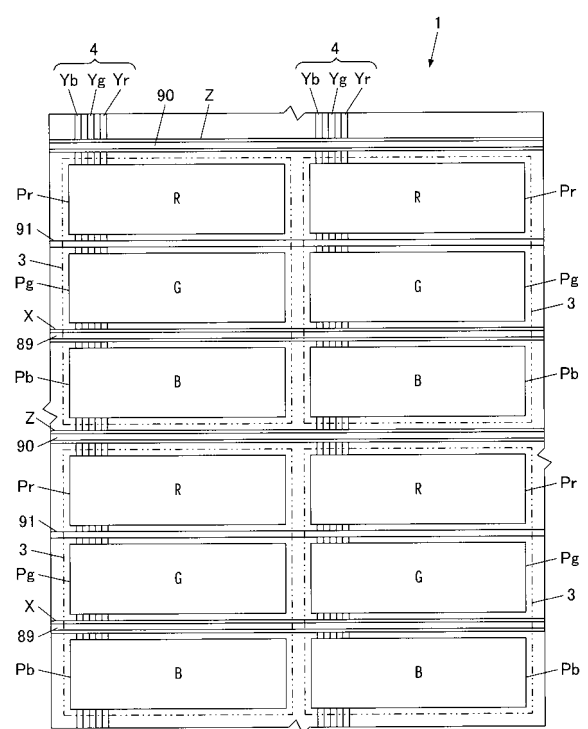
【図10】



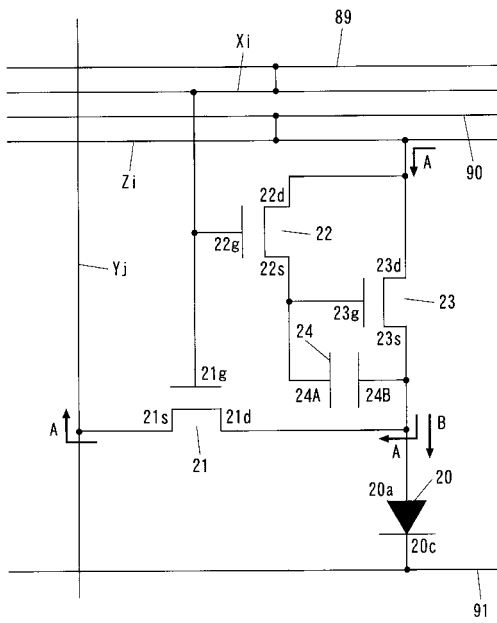
【図11】



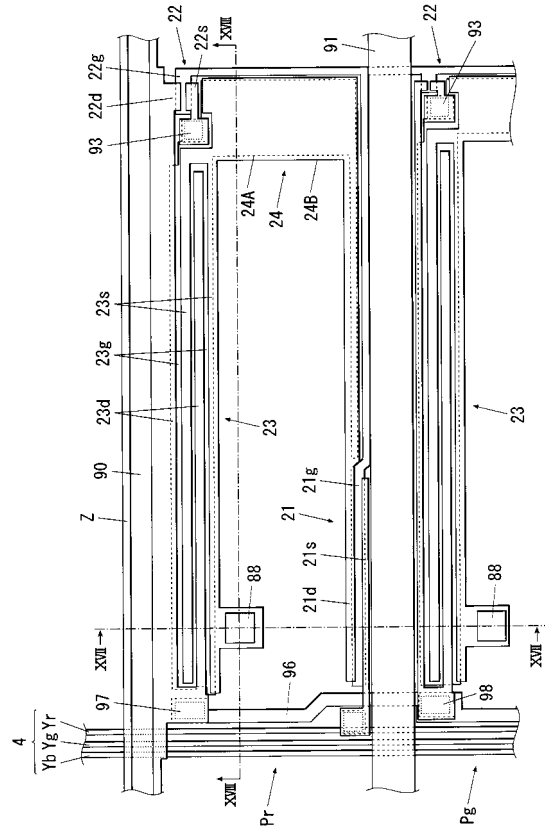
【図12】



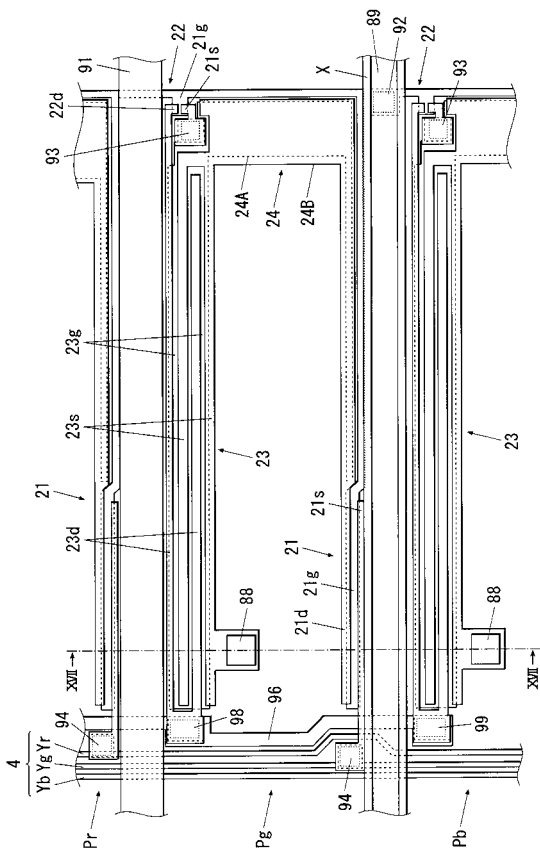
【 図 1 3 】



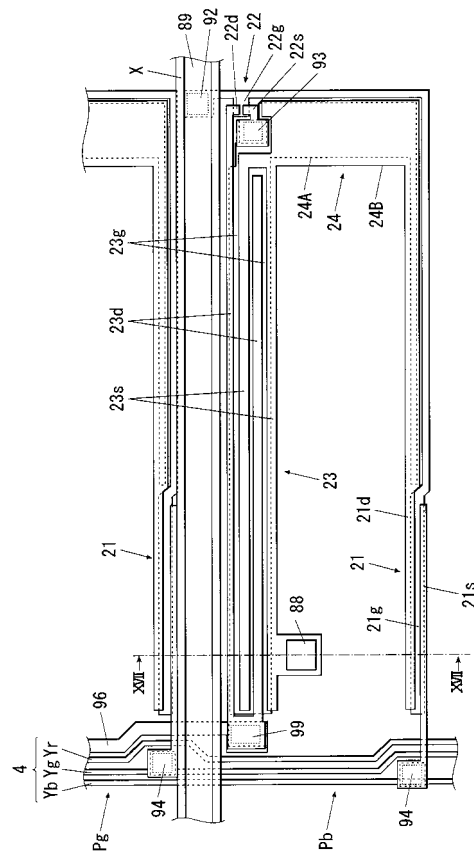
【 図 1 4 】



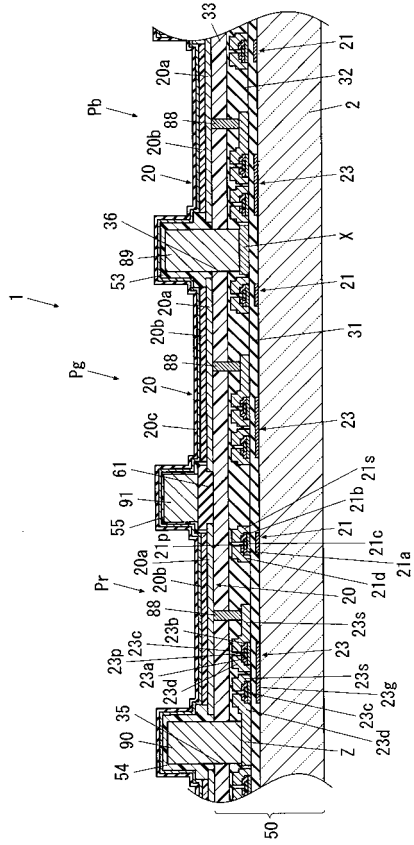
【 図 1 5 】



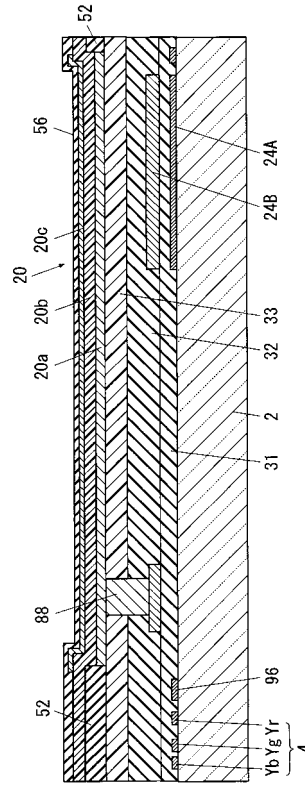
【 図 1 6 】



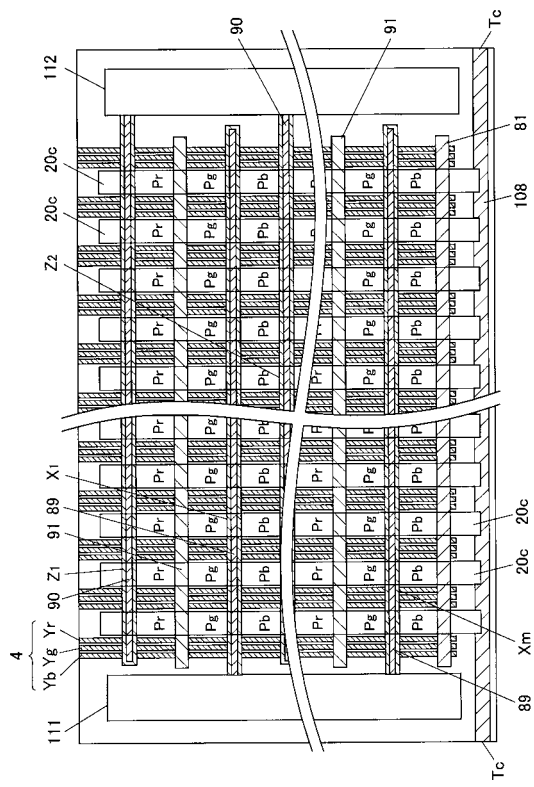
【図 17】



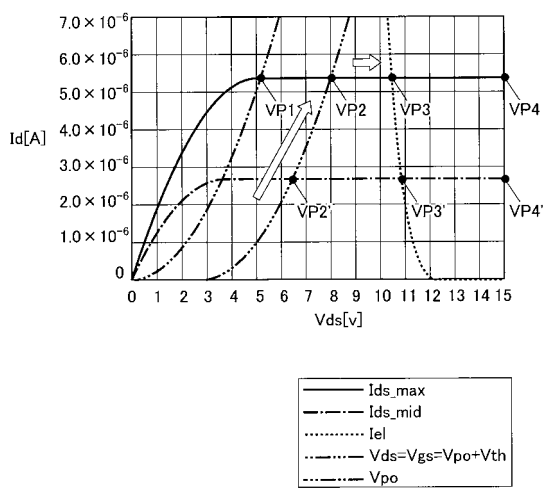
【図 18】



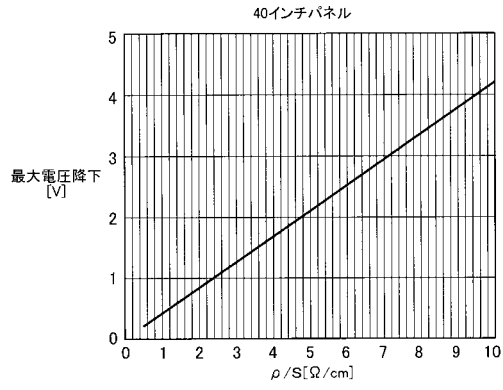
【図 19】



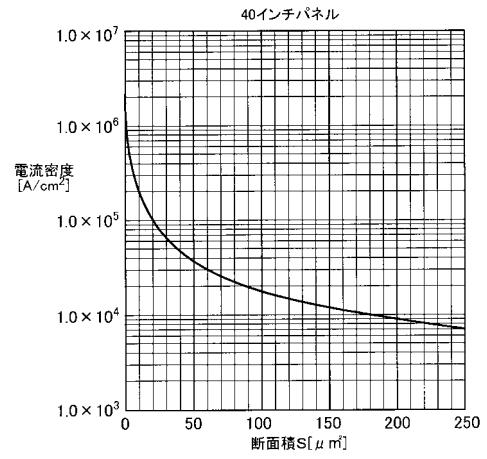
【図 20】



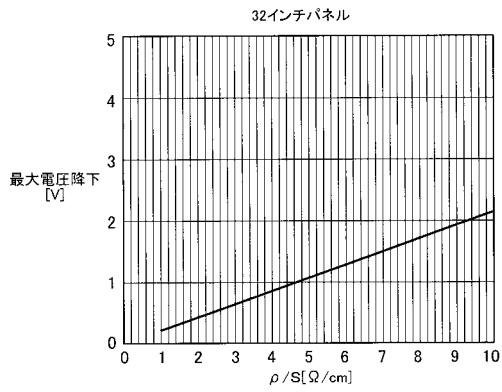
【図 2 1】



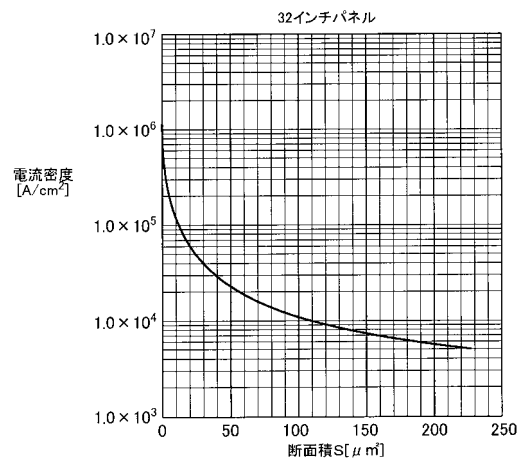
【図 2 2】



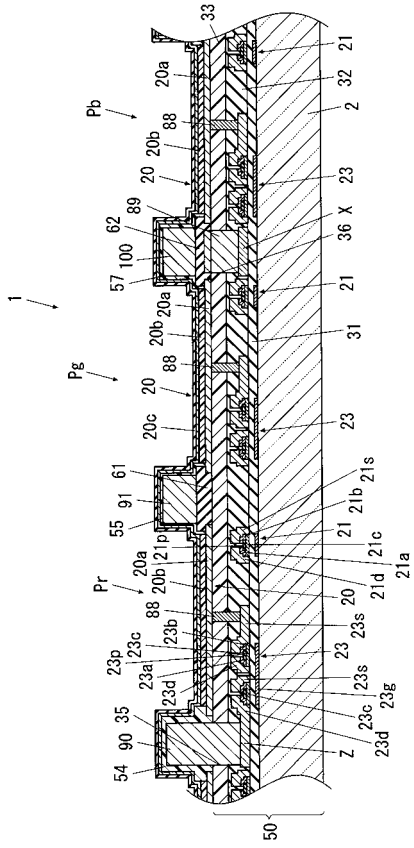
【図 2 3】



【図 2 4】



【 図 25 】



フロントページの続き

(72)発明者 小倉 潤

東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内

審査官 佐藤 久則

(56)参考文献 特開2004-063085(JP,A)

特開2003-330387(JP,A)

特開2003-195810(JP,A)

特開2002-318553(JP,A)

特開平05-019298(JP,A)

特開平08-184857(JP,A)

特開平03-001572(JP,A)

特開2003-316291(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00 - 9/30、9/307 - 9/46、

H01L27/32、51/50、

H05B33/00 - 33/28