（此處由本局於收文時黏貼條碼）

843367

# 發明專利說明書 200422843

（本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：93103655

※申請日期：93 年 02 月 16 日　　※IPC 分類：

## 壹、發明名稱：

(中) 記憶體裝置介面之偵測方法及設備

(外) Method and apparatus for detecting memory device interface

## 貳、申請人：(共 1 人)

1.姓　名：（中）英特爾股份有限公司
（英）INTEL CORPORATION
代表人：（中）1.大衛　賽門
（英）1.SIMON, DAVID
地　址：（中）美國加州聖大克拉瑞密遜學院路二二〇〇號
（英）2200 Mission College Blvd., Santa Clara, CA 95052, USA
國籍：（中英）美國　U.S.A.

## 參、發明人：(共 1 人)

1.姓　名：（中）大衛　普森
（英）POISNER, DAVID
地　址：（中）美國加州福松潘瑞廣場二〇五號
（英）205 Penry Square, Folsom, CA 95630, USA

## 肆、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】
1.美國　；2003/03/28；10/402,779 ☑有主張優先權

（此處由本局於收文時黏貼條碼）

843367

# 發明專利說明書 200422843

（本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：93103655

※申請日期：93 年 02 月 16 日　　※IPC 分類：

## 壹、發明名稱：

(中) 記憶體裝置介面之偵測方法及設備

(外) Method and apparatus for detecting memory device interface

## 貳、申請人：(共 1 人)

1.姓　名：（中）英特爾股份有限公司
（英）INTEL CORPORATION
代表人：（中）1.大衛　賽門
（英）1.SIMON, DAVID
地　址：（中）美國加州聖大克拉瑞密遜學院路二二〇〇號
（英）2200 Mission College Blvd., Santa Clara, CA 95052, USA
國籍：（中英）美國　U.S.A.

## 參、發明人：(共 1 人)

1.姓　名：（中）大衛　普森
（英）POISNER, DAVID
地　址：（中）美國加州福松潘瑞廣場二〇五號
（英）205 Penry Square, Folsom, CA 95630, USA

## 肆、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】
1.美國　；2003/03/28；10/402,779 ☑有主張優先權

（1）

## 玖、發明說明

【發明所屬之技術領域】

電腦系統持續變成更爲小型而且亦成爲更具能力，且此係至少部分爲由電腦系統之各個構件所驅使以持續執行更爲增多種類的功能。明確而言，電腦系統之積體電路（ICs）持續被設計以納入更多的特徵與選項，而提供至此等 ICs 所運用於其中之電腦系統的製造者。

【先前技術】

對於 ICs 與 ICs 所附接至其之電腦系統電路板的製造者之一個重複發生問題爲提供支援以針對增加數量之訊號接腳，其係爲針對增加數目之特徵與選項而必須被提供。更爲增加數量之接腳係需要更昂貴的 IC 封裝，其提供更多的接腳。此外，爲了小型化與維持短的內部導體長度起見，此等更昂貴的 IC 封裝係通常置放此等較大數量的接腳於更密集的集中，而需要導電的線跡與焊接墊（或其他導電的焊接位置）之更密集的置放於電路板，因而提高電路板成本。給定其增加更多接腳至一 IC 封裝之附加成本與複雜度，希望找出限制一給定 IC 需要之接腳數目的方式。

限制接腳數目的一種常見方式爲達成功能與接腳數量之間的折衷，通常，這會造成限制其欲由一給定 IC 所實行之功能，且或許爲置放某些功能至一不同的 IC，其可能增加於一給定的電子裝置之 ICs 的數量。然而，對於電

（2）

腦系統之設計與建立的一個重複發生問題係欲驅使爲降低成本且提高可靠度，藉由減少其運用於電腦系統之構件（包括：ICs）的整體數量。

【發明內容及實施方式】

於以下說明，針對解說之目的，諸多細節係敘述以提供本發明之徹底的瞭解。然而，對於熟悉此技藝人士而將爲顯明的是，此等特定的細節係非爲必需以實行本發明。

本發明之實施例係關於納入對於二個不同的匯流排介面之支援至一 IC，藉由多工該二個不同的匯流排介面功能之多數者至一 IC 之相同接腳，以避免必須配置較高數量的接腳，其否則將爲必需以支援具有整體分離的接腳組之二個匯流排。雖然以下論述係針對於非揮發性記憶體裝置，將爲熟悉此技藝人士所瞭解的是，如下文所主張之本發明係可實行以支援其爲針對多個目的之任一者所運用的二或多個匯流排。此外，雖然以下論述係針對電腦系統之IC，將爲熟悉此技藝人士所瞭解的是，如下文所主張之本發明係可實行以關連於其具有支援附接至多個匯流排的電子構件之其他的電子裝置。

第 1 圖係運用一電腦系統之實施例的方塊圖。電腦系統 100 係至少部分爲由中央處理單元（CPU）110、前側匯流排（FSB）112、北橋接器邏輯 120、鏈結匯流排 122、南橋接器邏輯 124、記憶體系統 130、圖形控制器 150、進階圖形埠（AGP）匯流排 152、顯示器 154、週邊匯

（3）

流排連接器 160、週邊匯流排 162、儲存控制器 170、儲存驅動器 172、儲存媒體 174、多工匯流排 142、以及非揮發性記憶體裝置 140a 與 140b 之一或二者所組成。

CPU 110、FSB 112、北橋接器邏輯 120 與記憶體系統 130 組成電腦系統 100 之某一形式的核心，其能夠執行機器可讀取的指令。CPU 110 係經由 FSB 112 而連接至北橋接器邏輯 120，且實行支援 CPU 110 之各種的功能，包括：控制及提供 CPU 110 具有該北橋接器邏輯 120 亦爲連接至其之記憶體系統 130 的存取。在各種的實施例中，CPU 110 係可爲各種型式的 CPU 之任一者，其包括：能夠執行眾所週知及運用“x86”指令集的至少一部分之 CPU，且在其他各種的實施例中，可以是存在超過一個 CPU。在各種的實施例中，記憶體系統 130 係可爲各種型式的隨機存取記憶體（RAM），其包括：快速分頁模式（FPM）、擴充資料輸出（EDO）、單資料率（SDR）或雙資料率（DDR）形式之同步動態 RAM（SDRAM）、運用 RAMBUS™ 介面的各種技術之 RAM、等等。

圖形控制器 150、AGP 匯流排 152 與顯示器 154 組成某形式的顯示系統，其能夠提供用於電腦系統 100 的使用者之視覺使用者介面。AGP 匯流排 152 爲一高速並列匯流排，其連接該北橋接器邏輯 120 至圖形控制器 150，且在各種的實施例中，北橋接器邏輯 120 被構成來提供一極短等待時間的資料路徑於圖形控制器 150 與記憶體系統 130 之間。圖形控制器 150 係進而連接至顯示器 154，且控制

該顯示器 154 以提供一視覺影像。

南橋接器邏輯 124 係藉由鏈結匯流排 122 而連接至北橋接器邏輯 120，且可提供多工匯流排 142 與週邊匯流排 162 之一或二者，藉此，更多裝置係可爲連接以附加功能性至電腦系統 100。相較於多工匯流排 142，週邊匯流排 162 係較高速度及更爲通用的匯流排，且爲設計以支援於連接更多複雜的裝置，其能夠支援及更完整利用由週邊匯流排 162 所提供之大範圍的能力。相較於週邊匯流排 162，多工匯流排 142 係較爲慢速及較爲簡單的匯流排，且爲設計以支援於附加較不複雜的裝置，允許附加各種形式之較爲簡單的 I/O 埠邏輯、記憶體裝置、計時器、等等，以增加電腦系統 100 之功能性。

在各種的實施例中，更多的裝置係可爲直接連接至週邊匯流排 162，且在各種的實施例中，週邊匯流排 162 係可實施具有一或多個連接器 160 以提供一種方式，藉此，更多的裝置係可爲可拆裝式連接至週邊匯流排 162。在各種的實施例中，週邊匯流排 162 係可設計爲順應於各種廣爲已知的形式之匯流排，其已經於電腦設計之技藝而成爲“標準化”，諸如：擴充工業標準架構（EISA）、Micro Channel™ architecture（MCA）、週邊構件互連（PCI）、PCI-X、等等。

在各種的實施例中，透過週邊匯流排 162 及/或匯流排連接器 160 而可爲連接至電腦系統 100 之一裝置係儲存控制器 170，其接著爲連接至儲存驅動器 172。儲存控制

器 170 係提供邏輯以控制該儲存驅動器 172，藉其，由儲存媒體 174 所載之資料及/或指令係可存取。誠然，在某些實施例中，儲存媒體 174 係載有由 CPU 110 所執行之機器可存取的指令，致使 CPU 110 來決定非揮發性記憶體裝置 140a 與 140b 之一者或二者的存在與否，如同將敘述於後者。儲存媒體 174 係可爲熟悉此技藝人士將瞭解之多種型式與技術的任一者，包括： CD 或 DVD ROM、磁碟或光碟片、磁光碟、磁帶、半導體記憶體、於紙或其他材料上的記號或打孔、等等。

當電腦系統 100 係首先爲開機或初始化（例如：藉由“重設”電腦系統 100、等等），對於 CPU 110 之常見的實務係嘗試找到初始的指令（有時稱爲各種“韌體”、“ROM 碼”、“基本輸入/輸出系統”或“BIOS”）以執行於一預定的記憶體位址。亦爲常見的實務係儲存該等初始指令於非揮發性記憶體裝置，諸如：非揮發性記憶體裝置 140a 與 140b 之任一者。如第 1 圖所繪，非揮發性記憶體裝置 140a 與 140b 之任一者係可經由多工匯流排 142 而連接至南橋接器邏輯 124，然而，如亦繪製於第 1 圖，非揮發性記憶體裝置 140a 與 140b 之各者具有一不同的介面。明確而言，非揮發性記憶體裝置 140a 具有一“型式 A”介面，而非揮發性記憶體裝置 140b 具有一“型式 B”介面。於諸多可能之不同的實施例，將可存在多個可能特定差異的任一者於型式 A 與 B 介面之間。此等差異係可爲於時序、位元組之 endian 配置、開路集極對三態之發訊

、命令協定、並列對串列的資料傳輸、等等。如繪製於第1圖，南橋接器邏輯124係提供其構成爲順應型式A或B介面之單一個多工匯流排142，因而允許非揮發性記憶體裝置140a與140b之任一者爲透過多工匯流排142與南橋接器邏輯124而運用於電腦系統100。

欲允許附接具有不同的介面（諸如：非揮發性記憶體裝置140a與140b之介面型式A與B）之裝置，南橋接器邏輯124包括介面邏輯以諮詢其連接至多工匯流排142之裝置而識別彼等裝置所運用之介面的型式，以及實施於彼等裝置所找到之差異介面的交易。多工匯流排142與此介面邏輯係設計以支援差異的介面，主要爲透過必要的訊號之多工以支援差異的介面於南橋接器邏輯124之接腳，俾使存在其連接至超過一個差異介面之南橋接器邏輯124之一子集合的接腳，因而允許支援多個差異介面而無須運用自南橋接器邏輯124的額外接腳以提供針對各個差異介面之整體分離的集合。明確而言，組成多工匯流排142之南橋接器邏輯124之一子集合的接腳係連接至非揮發性記憶體裝置140a與140b之二個介面型式A與B，俾使南橋接器邏輯124的額外接腳係並未運用以提供針對介面型式A與B之整體分離的介面。

在各種的實施例中，多工匯流排142係可構成以同時順應介面型式A與B，而允許具有型式A介面之裝置與具有型式B介面之裝置爲同時連接至匯流排142。或者，多工匯流排142係可構成以支援介面型式A與B之任一

者，而非爲同時支援具有型式 A 介面之裝置與具有型式 B 介面之裝置的附接。此外，雖然爲了簡明而未顯示於第 1 圖，除了支援非揮發性記憶體裝置 140a 與 140b 之一或二者的連接，多工匯流排 142 之某些實施例係可構成以支援其執行不同於指令儲存之外的功能之裝置，諸如：提供電腦系統 100 具有用於鍵盤、滑鼠、印表機、數據機、紅外線收發器、等等的介面之裝置。

雖然電腦系統 100 已經繪製及描述爲具有各種特定細節，諸如：於各種 IC 的功能之分配、匯流排之配置與型式、與各種構件之數量，熟悉此技藝人士將易於知悉的是，電腦系統 100 係僅爲一電腦系統之諸多可能架構與實施的一個實例。電腦系統 100 係僅爲一電腦系統的一個特定實施，對於熟悉此技藝人士將爲顯明的是，一電腦系統之彼等細節係無關於下文主張之本發明的精神與範疇。

第 2 圖係提供一匯流排介面的邏輯之一個實施例的方塊圖。邏輯裝置 210 係諸如電腦系統之一種較大電子裝置的一個構件。明確而言，於電腦系統之某些實施例中，邏輯裝置 210 係可爲一南橋接器邏輯裝置或是一或多個匯流排爲連接至其之一個電腦系統的其他構件。邏輯裝置 210 係至少部分爲由多工匯流排介面 214 所組成，透過介面 214，邏輯裝置 210 係傳送及接收其透過多工匯流排 232 而往返於分別爲非揮發性記憶體裝置 240a 與 240b 之型式 A 介面 244a 與型式 B 介面 244b 之一或二者的訊號。

多工匯流排 232 係由共同訊號線 236、協調訊號 238a

與協調訊號 238b 所組成，共同訊號線 236 可爲共用於多工匯流排介面 214、型式 A 介面 244a 與型式 B 介面 244b 之間；多工匯流排介面 214 係透過協調訊號 238a 而協調於多工匯流排介面 214 與型式 A 介面 244a 之間的匯流排活動；多工匯流排介面 214 係透過協調訊號 238b 而協調於多工匯流排介面 214 與型式 B 介面 244b 之間的匯流排活動。本質而言，多工匯流排介面 214 係提供一種多工匯流排，即：多工匯流排 232，其結合來自型式 A 介面 244a 爲設計以連接至其的一匯流排型式 A 與型式 B 介面 244b 爲設計以連接至其的一匯流排型式 B 之訊號與功能性，尋求以多工化該匯流排型式 A 與 B 二者的訊號之至少某些者於其可爲型式 A 介面 244a 與型式 B 介面 244b 所共用之一共同組的訊號線，且爲經由協調訊號 238a 與 238b 而協調多工化的活動於該共同組的訊號線。

出自匯流排型式 A 的哪一個訊號（或甚至多個訊號）爲運用作爲協調訊號 238a 係取決於匯流排型式 A 之訊號與協定的特性。舉例而言，若匯流排型式 A 之協定係俾使：設計爲運作於匯流排型式 A 之介面係當一給定的晶片選擇或其他控制輸入爲不作用時而必須三態化多個訊號，則控制輸入係可運用作爲協調訊號 238a。或者，若匯流排型式 A 之協定係俾使：設計爲運作於匯流排型式 A 之介面係當於一時鐘輸入之某數目的時鐘脈衝爲發生而無某些特性形式的活動爲進行於其他訊號線時而必須三態化多個訊號，則時鐘輸入係可運用作爲協調訊號 238a。類

似的實例亦可應用於協調訊號 238b。此外，若設計爲運作於匯流排型式 A 之介面係當該介面爲未進行於匯流排活動時而正常三態化數個其訊號，而設計爲運作於匯流排型式 B 之介面係運用設計爲鏈結至一開路集極的匯流排之數個訊號，則仍爲可能多工化匯流排型式 A 之數個可三態化的訊號與匯流排型式 B 之數個開路集極訊號，只要適當的上拉及/或下拉式電阻器係隨著需要而運用以使得此多工化爲可能。

如熟悉此技藝人士所將認知，於第 2 圖所描繪者係有些簡化，取決於個別的訊號之電氣特定與其爲預期針對匯流排型式 A 與 B 爲作用與不作用的時間，可能爲超過僅是協調訊號 238a 與 238b 係連接多工匯流排介面 214 至型式 A 介面 244a 與型式 B 介面 244b 之僅一者或另一者。此亦出現可能爲，匯流排型式 A 與 B 係並未各自需要相等數量的訊號線之運用，因此，型式 A 介面 244a 或型式 B 介面 244b 之任一者係相較於另一者而概爲具有連接至多工匯流排介面 214 之某些較大量的訊號。

第 3 圖係提供一匯流排介面之邏輯的實施例之較詳細的方塊圖，顯示更多的特定訊號細節。類似於第 2 圖之邏輯裝置 210，邏輯裝置 310 係諸如電腦系統之一種較大電子裝置的一個構件，且於電腦系統之某些實施例，可爲一南橋接器邏輯裝置或是一或多個匯流排爲連接至其之一個電腦系統的其他構件。邏輯裝置 310 係至少部分爲由多工匯流排介面 314 所組成，介面 314 係提供多工匯流排 332

，其爲能夠支援串列週邊介面（SPI）與低接腳計數（LPC）匯流排之協定與時序。多工介面係傳送及接收其透過多工匯流排 332 而往返於分別爲非揮發性記憶體裝置 340a 與 340b 之 SPI 介面 344a 與 LPC 介面 344b 之一或二者的訊號。如將由以下論述而變爲明確，若爲期望時，多工匯流排介面 314 與多工匯流排 332 係意指爲順應一 LPC 裝置與一 SPI 裝置之同時連接至多工匯流排 332。

多工匯流排介面 314 係提供匯流排 332 具有特徵在於，允許其設計爲介面至廣爲已知的 SPI 或 LPC 匯流排之裝置以連接至匯流排 332。SPI 係由摩托羅拉（Motorola）公司所售出，且已經成爲廣泛運用於微控制器應用，針對其包括 EEPROM、DSP 與 LED 數值顯示器驅動器之諸多型式的裝置之附接。隨著高達 20Mbps 之目前的資料率與其提高資料率爲高達 25Mbps 之產業的目前話題，SPI 係視爲對於長期熟悉的 I2C 匯流排之後繼者。LPC 係由英代爾（Intel）公司所售出，且已經成爲廣泛運用於個人電腦應用，針對其包括快閃 ROM 與 I/O 控制器晶片之諸多型式的裝置之附接，以提供介面至使用者介面裝置。具有現行爲高如 16.5MB/sec 之資料率，LPC 係廣泛運用作爲一個替代者至針對如同 ISA 的匯流排，其已經提供可相較的資料率，但其需要較多的訊號而因此需要於其組成個人電腦之部分者的 IC 之較多許多的接腳。

組成多工匯流排 332 之訊號-CS 338a 與 LFRAME# 338b 係協調訊號，其爲由多工匯流排介面 314 所運用以

協調於多工匯流排介面 314 與 SPI 介面 344a 及 LPC 介面 344b 各者之間的匯流排活動。熟悉 SPI 者將知悉的是，-CS 338a 係 SPI 匯流排之“晶片選擇”訊號，且一從屬裝置（諸如：非揮發性記憶體裝置 340a）之其他訊號係三態且由該一從屬裝置之介面（諸如：SPI 介面 344a）當其-CS 輸入爲驅動不作用（即：高）而忽略。熟悉 LPC 者將知悉的是，LFRAME# 338b 係其“框住”於 LPC 匯流排的位址、命令與資料之有效轉移的起始與終止之訊號，且一週邊裝置（諸如：非揮發性記憶體裝置 340b）之其他訊號係三態且由該一週邊裝置之介面（諸如：SPI 介面 344a）當其 LFRAME#輸入爲驅動不作用（即：高）而忽略。多工匯流排介面 314 係運用-CS 338a 與 LFRAME# 338b 以分別選擇非揮發性記憶體裝置 340a 與 340b 之一者或另一者，以進行匯流排活動且防止於非揮發性記憶體裝置 340a 與 340b 之間的匯流排衝突。

藉由-CS 338a 與 LFRAME# 338b 作爲協調訊號，其餘的訊號係組成一組的非協調訊號 336。一個重設訊號係描繪於非協調訊號 336 之中，其爲路由至 SPI 介面 344a 與 LPC 介面 344b。LPC 介面係特定提供一重設訊號（稱爲 LRESET#），以每當 LPC 匯流排爲存在於其之電腦系統的其他構件亦爲重設時而輸送一重設訊號至其附接至 LPC 匯流排之裝置。然而，如熟悉此技藝人士將知悉，可想到的是，附接至一 LPC 匯流排之一特別簡單裝置（諸如：一非揮發性記憶體裝置 340b）可能不需要一重設訊

號。SPI 介面係並未特定提供任何形式的重設訊號，然而，可想到的是，附接至一 LPC 匯流排之複雜裝置（大概爲相較於非揮發性記憶體裝置 340a 之更複雜的一裝置）可能需要一重設訊號。多工匯流排介面 314 之各種可能的實施例係可或不可提供一重設訊號至其附接至多工匯流排 332 之裝置。此外，多工匯流排介面 314 與多工匯流排 332 爲存在於其的電腦系統或其他電子裝置之各種可能的實施例係可具有其他的邏輯或另一個匯流排，自其，一重設訊號係可提供以代替提供其之多工匯流排介面 314。

一時鐘訊號亦描繪於非協調訊號 336 之中，其爲路由至 SPI 介面 344a 與 LPC 介面 344b。SPI 與 LPC 匯流排二者均需要一時鐘訊號（於 SPI 稱爲 SCK 或 SCLK 而於 LPC 稱爲 LCLK），以同步化跨於二個匯流排的位址、命令與資料之轉移。取決於非揮發性記憶體裝置 340a 與 340b 各者的資料率之特定需求以及多工匯流排介面 314 的特定設計，可能爲運用相同時鐘訊號以同步化於多工匯流排 332 之 SPI 與 LPC 型式的匯流排活動。明確而言，雖然 SPI 係現行支援高達 20MHz 之一時鐘（儘管 25MHz 已經現行提出爲一新的最大時鐘速率），於某些實施例，非揮發性記憶體裝置 340a 係可能爲無法以將完全利用該時鐘的一速率而轉移資料。同理，於某些實施例，非揮發性記憶體裝置 340b 係可能爲無法以將完全利用由 LPC 所現行支援之最大 33MHz 時鐘的一速率而轉移資料。於某些實施例，一時鐘訊號之此共用係將伴隨著設計多工匯流排介面

314 之邏輯爲能夠供應變動頻率的一時鐘，藉此，時鐘訊號係取決於進行之匯流排活動型式而將切換於二個不同頻率（諸如：SPI 現行 20MHz 與 LPC 現行 33MHz）之間。於其他實施例，一共同時鐘頻率係選取且運用於 SPI 與 LPC 型式的匯流排活動（諸如：SPI 之可能未來最大時鐘速率 25MHz），結果爲此二個型式的匯流排活動之一者或另一者係同步化至其慢於該型式的匯流排活動之最大可能的一時鐘。否則，於其他實施例，可能合意爲最佳化 LPC 與 SPI 裝置之資料轉移率，且維持多工匯流排介面 314 之某程度的設計簡化，藉由提供分離的時鐘訊號至非揮發性記憶體裝置 340a 與 340b 二者。

非協調訊號 336 亦描繪爲包括 LAD0 至 LAD3，其組成並列雙向半個位元組寬之組的訊號，藉其，位址、命令與資料係轉移於一 LPC 匯流排。如圖所繪，LAD2 與 LAD3 係已經多工於 MISO 與 MOSI，其組成主控-入-從屬-出（master-in-slave-out）與主控-出-從屬-入（master-out-slave-in）的單向串列訊號，藉其，位址、命令與資料係轉移於一 SPI 匯流排，造成多工化的 LAD2/MOSI 與 LAD3/MISO 訊號。如熟悉此技藝人士將爲易於知悉，其他形式之多工化此等 LPC 與 SPI 轉移訊號係可採取，於其，該等訊號之不同組合係產生而未偏離如下文所主張之本發明的精神與範疇。

決定 LPC 及/或 SPI 裝置之存在與否係可藉由多工匯流排介面 414 而達成，其實施一或多個操作於多工匯流排

432 以諮詢 LPC 及/或 SPI 裝置之存在。於變化的實施例，多工匯流排介面 414 係可嘗試實施一或多個讀取操作，首先爲運用 LPC 或 SPI 協定之一者、且於無法得到一回應時、隨後爲運用該二個協定之另一者。分離自 LFRAME#訊號 338b 之 -CS 訊號 338a 的提供係允許所嘗試的讀取操作爲實施以找到其具有該二個介面之一者的裝置而不具有來自其具有該二個介面之另一者的裝置之干擾。

第 4 圖係提供一匯流排介面之邏輯的另一個實施例之較詳細的方塊圖，顯示更多的特定訊號細節。類似於第 2 與 3 圖之邏輯裝置 210 與 310，邏輯裝置 410 係諸如電腦系統之一種較大電子裝置的一個構件，且於電腦系統之某些實施例，可爲一南橋接器邏輯裝置或是一或多個匯流排爲連接至其之一個電腦系統的其他構件。類似於邏輯裝置 310，邏輯裝置 410 係至少部分爲由多工匯流排介面 414 所組成，邏輯裝置 410 係透過介面 414 而傳送及接收其透過多工匯流排 432 而往返於分別爲非揮發性記憶體裝置 440a 與 440b 之 SPI 介面 444a 與 LPC 介面 444b 之僅有一者或另一者的訊號。不同於多工匯流排介面 314 與多工匯流排 332，其可爲同時順應一 LPC 裝置與一 SPI 裝置之連接至多工匯流排 332，多工匯流排介面 414 與多工匯流排 432 係意指於無論何時而爲順應一 LPC 或 SPI 裝置之僅有一者或另一者之連接至多工匯流排 432。

介於第 3 圖的多工匯流排 332 與多工匯流排 432 之間的一主要差異係 LPC 匯流排的 LFRAME#訊號之多工於如

同 SPI 匯流排的-CS 訊號之相同訊號線，而產生 LFRAME#/-CS 訊號 438。此係對於邏輯裝置 410 爲除去提供一額外接腳以允許此二個訊號爲於分開的訊號線之需要，但此係帶來稍早所述的結果，即：多工匯流排 432 可順應於一 LPC 裝置或一 SPI 裝置，而非同時爲二者。決定一 LPC 裝置或一 SPI 裝置是否爲附接，且因而決定多工匯流排 432 是否應爲由多工匯流排介面 414 所控制作爲一 LPC 匯流排或一 SPI 匯流排，可爲藉由其實施一或多個操作於多工匯流排 432 以諮詢 LPC 及/或 SPI 裝置的存在之多工匯流排介面 414 而達成。

於一個實施例，多工匯流排介面 414 係經由 SPI 匯流排協定與時序而嘗試實施一或多個讀取操作，運用 LFRAME#/-CS 訊號 438、以及出自於非協調訊號 436 之時鐘、LAD2/MOSI 與 LAD3/MISO 訊號。若一 SPI 裝置（諸如：具有其 SPI 介面 444a 之非揮發性記憶體裝置 440a）係存在，則多工匯流排介面 414 係應經由 LAD3/MISO 訊號而接收來自 SPI 裝置的一或多個位元組之某形式的資料、命令、等等。假定 LPC 匯流排係要求 LAD0 至 LAD3 訊號具有上拉電阻器，所存在的一 SPI 裝置之欠缺係應造成接收均爲 1 於藉由多工匯流排介面 414 之來自 LAD3/MISO 的每個位元。然而，欲進而確保無 SPI 裝置爲存在，於某些實施例，對於 LAD3/MISO 之上拉電阻器爲組成可切換可被認爲合意，俾使 LAD3/MISO 係可爲受到下拉與重複之嘗試讀取操作。若不存在一 SPI 裝置，則

結果係應爲接收均爲 0 於藉由多工匯流排介面 414 之來自 LAD3/MISO 的每個位元。若一 SPI 裝置係發現，則多工匯流排 432 係將隨後操作爲一 SPI 匯流排。然而，若無 SPI 裝置係發現，則於各種可能的實施例，一 LPC 裝置之存在係可假定，或是一讀取或其他操作係可運用 LPC 協定而執行於多工匯流排 432 以確認一 LPC 裝置之存在。

於一個實施例，多工匯流排介面 414 係經由 LPC 匯流排協定與時序而嘗試實施一或多個讀取操作，運用 LFRAME#/-CS 訊號 438、以及出自於非協調訊號 436 之所有的訊號。然而，作爲對於其引起於多工匯流排介面 414 與可爲存在的一 SPI 裝置之間的可能短路之一預防辦法，多工匯流排介面 414 係可設計以實際爲驅動 LAD3/MISO，運用一上拉或下拉電阻器（或許甚至是僅爲利用其已爲由 LPC 標準之針對 LAD3 訊號所需要的上拉電阻器）。此外，欲確保可能存在之一 SPI 裝置係能夠正確回應，於某些實施例，時鐘訊號係可能驅動於 20MHz 或更低之時鐘速率而非爲針對由 LPC 所提供之接近 33MHz 最大值的時鐘速率。若一 LPC 裝置（諸如：具有其 LPC 介面 444b 之非揮發性記憶體裝置 440b）係存在，則多工匯流排介面 414 係應接收其跨於 LAD0、LAD1、LAD2/MOSI、與 LAD3/MISO 之來自 LPC 裝置的一有效 SYNC 位元組。若一 SPI 裝置係存在，則多工匯流排介面 414 係應經由 LAD3/MISO 訊號而接收來自該 SPI 裝置的一或多個位元組之某形式的資料、命令、等等。若無裝置係存在，且於

（17）

LAD0 至 LAD3 訊號之由 LPC 所需要的正常上拉電阻器係維持，則多工匯流排介面 414 係應接收其跨於 LAD0、LAD1、LAD2/MOSI 與 LAD3/MISO 之僅是均爲 1。

如熟悉此技藝人士所將易於知悉，測試 SPI 或 LPC 裝置的存在之其他實施例係可能。測試該等裝置之某些可能的方式係可選取，利用邏輯裝置 410 爲安裝於其之電腦系統或電子裝置之設計層面的知識，即：何等訊號係經由邏輯裝置 410 爲連接至其之電路板而自多工匯流排介面 414 而實際組成可用於給定的 LPC 或 SPI 裝置。舉例而言，若爲已知的是：重設訊號係將僅爲路由至 LPC 裝置（若一 LPC 裝置係存在）而非爲至 SPI 裝置，則重設訊號係可透過多工匯流排介面 414 而操縱以確保：可能存在之任何 LPC 裝置係致使於測試爲針對 SPI 裝置之存在所進行時而不提供回應，或反之亦然，若爲已知的是：僅有一 SPI 裝置係將接收該重設訊號。

雖然第 2、3 與 4 圖之多工匯流排介面 214、314、與 414 係分別描繪爲已經整合或是“內建”至其他描繪的裝置以提供於彼等其他的邏輯裝置與所描繪的多工匯流排之間的通路，熟悉此技藝人士所將瞭解的是，多工匯流排介面 214、314 及/或 414 係可於多種可能的實施例而實施爲獨立式的裝置。明確而言，熟悉此技藝人士所將知悉的是，多工匯流排介面 214、314 與 414 係可提供通路至對於來自跨於另外的匯流排之其他裝置的伴隨的多工匯流排，而未偏離如下文所主張之本發明的精神與範疇。甚者，熟

悉此技藝人士將易於理解的是，於各種實施例，多工匯流排介面 214、314 與 414 係可決定其跨於伴隨的多工匯流排之具有各種型式的介面之各種裝置的存在與否，其爲獨立經由一內部微控制器、內部 CPU、硬體邏輯、可程式規劃邏輯、等等，或是在多工匯流排介面 214、314 及/或 414 的外部之另一裝置的控制下，諸如爲例如：多工匯流排介面 214、314 及/或 414 係各方面爲納入至其之電腦系統或其他電子裝置的一 CPU。此外，於多工匯流排介面 214、314 及/或 414 爲透過一內部 CPU、微控制器或執行指令之類似處理裝置而決定其跨於伴隨的多工匯流排之具有各種型式的介面之各種裝置的存在與否之實施例，執行以實施該等裝置存在與否的決定之機器可存取指令係可讀取自一媒體，諸如爲例如：第 1 圖之儲存媒體 174。

第 5 圖係一個實施例的流程圖。欲決定其具有針對匯流排型式 A 之介面的裝置是否爲附接至其能夠支援其具有針對匯流排型式 A 之介面的任一裝置或其具有針對匯流排型式 B 之介面的裝置之多工匯流排係開始於步驟 510，藉由驅動針對匯流排型式 A 之一協調訊號（例如：第 2 圖之協調訊號 238a）爲作用。於步驟 512，嘗試實施其運用匯流排型式 A 協定之某形式的匯流排活動，諸如：一讀取操作。若於步驟 514，一回應係接收自其具有一匯流排型式 A 介面的裝置，則任一假設係可組成，即：於步驟 520，於多工匯流排爲不存在其具有匯流排型式 B 介面的裝置，或於步驟 540，對於其具有匯流排型式 B 介面的

裝置之測試係可開始。否則，若於步驟 514，並無回應係接收自其具有一匯流排型式 A 介面的裝置，則任一假設係可組成，即：於步驟 530，具有匯流排型式 B 介面的裝置係存在，或於步驟 540，對於具有匯流排型式 B 介面的裝置之存在於多工匯流排之測試係可開始。若對於具有匯流排型式 B 介面的裝置於多工匯流排之測試係發生，則其於步驟 510 驅動爲作用之針對匯流排型式 A 之相同的協調訊號係於步驟 540 而驅動爲不作用。於步驟 542，針對匯流排型式 B 之一協調訊號（例如：第 2 圖之協調訊號 238b）係驅動爲作用。於步驟 544，嘗試以實施其運用匯流排型式 B 協定之某形式的匯流排活動，隨後藉由接收來自跨於多工匯流排之具有一匯流排型式 B 介面的裝置的回應，若該裝置係存在於步驟 546。

第 6 圖係另一個實施例的流程圖。欲決定其具有針對匯流排型式 A 之介面的裝置是否爲附接至能夠支援其具有針對匯流排型式 A 之介面的任一裝置或其具有針對匯流排型式 B 之介面的裝置（但是並非爲同時二個型式）之多工匯流排係開始於步驟 612，藉由嘗試實施其運用匯流排型式 A 協定之某形式的匯流排活動，諸如：一讀取操作。若回應係接收來自跨於多工匯流排之具有一匯流排型式 A 介面的裝置，則找出裝置之努力係可結束於步驟 614。然而，若無回應係接收自其具有一匯流排型式 A 介面的裝置，則於此實施例之某些變化例，假設係可組成於步驟 622，即：具有匯流排型式 B 介面的裝置係存在。或者

，於此實施例之其他變化例，於步驟 632，可爲努力找出其具有匯流排型式 B 介面的裝置，藉由嘗試實施其運用匯流排型式 B 協定之某形式的匯流排活動，隨後藉由接收來自跨於多工匯流排之具有一匯流排型式 B 介面的裝置之回應，若該裝置係存在於步驟 634。

本發明係已經關連於較佳實施例而描述。顯著的是，對於熟悉此技藝之人士而言，諸多的替代者、變化、與運用係按照前述說明而將爲顯明。熟悉此技藝之人士將瞭解的是，本發明係可實行以藉由各種可能的匯流排介面而支援各種型式的電子裝置，且爲不受限制於其具有用於 LPC 或 SPI 匯流排的介面之非揮發性記憶體裝置。熟悉此技藝之人士亦將瞭解的是，本發明係可實行以支援不同於電腦系統之電子裝置，諸如：視聽娛樂裝置、於載具之控制器裝置、由電子電路所控制之器具、等等。

【圖式簡單說明】

對於熟悉此技藝之人士而言，本發明之目的、特點與優點鑒於以下的詳細說明而將會顯明，其中：

第 1 圖係運用一電腦系統之實施例的方塊圖。

第 2 圖係提供多工匯流排之邏輯實施例的方塊圖。

第 3 圖係提供多工匯流排之邏輯之實施例的更加特定方塊圖。

第 4 圖係提供多工匯流排之邏輯之另一實施例的更加特定方塊圖。

第 5 圖係一實施例的流程圖。

第 6 圖係另一實施例的流程圖。

〔主要符號說明〕

100：電腦系統

110：中央處理單元（CPU）

112：前側匯流排（FSB）

120：北橋接器邏輯

122：鏈結匯流排

124：南橋接器邏輯

130：記憶體系統

140a、140b：非揮發性記憶體裝置

142：多工匯流排

150：圖形控制器

152：進階圖形埠（AGP）匯流排

154：顯示器

160：週邊匯流排連接器

162：週邊匯流排

170：儲存控制器

172：儲存驅動器

174：儲存媒體

210、310、410：邏輯裝置

214、314、414：多工匯流排介面

232、332、432：多工匯流排

236：共同訊號線

238a、238b：協調訊號

240a、240b、340a、340b、440a、440b：非揮發性記憶體裝置

244a：型式A介面

244b：型式B介面

336、436：非協調訊號

338a：-CS訊號

338b：LFRAME#訊號

344a、444a：SPI介面

344b、444b：LPC介面

438：LFRAME#/-CS訊號

## 伍、中文發明摘要

發明之名稱：記憶體裝置介面之偵測方法及設備

本發明係揭示一種用以提供多工匯流排之設備及方法，多工匯流排支援具有第一匯流排型式介面之裝置與具有第二匯流排型式介面之裝置的任一者之連接，其中，多工匯流排(至少其部分)係由複數個共同訊號線所組成的，而共同訊號線可以連接至任一型式的裝置，且可以被用來實施對於任一匯流排的協定與時序之轉移。

## 陸、英文發明摘要

發明之名稱：Method and apparatus for detecting memory device interface

Apparatus and method for providing a multiplexed bus supporting the coupling of either one of a device having a first bus type interface and a device having a second bus type interface where the multiplexed bus is made up, at least in part, of a plurality of common signal lines that may be coupled to either type of device, and that may be used to carry out transfers with protocols and timings for either bus.

(1)

## 拾、申請專利範圍

1. 一種用以偵測記憶體裝置介面之設備，包含：

一多工匯流排介面；

一多工匯流排，連接至該多工匯流排介面且爲其所控制；其中，該多工匯流排包含複數個共同訊號線以轉移位址、命令與資料，藉由協定與時序以支援關於其具有一第一匯流排型式介面的裝置與其具有一第二匯流排型式介面的裝置之任一者的活動；及

一第一裝置，連接至該多工匯流排且具有一第一匯流排型式介面。

2. 如申請專利範圍第 1 項之設備，另包含：一第二裝置，其爲連接至該多工匯流排且具有一第二匯流排型式介面，其中，該多工匯流排另包含一第一協調訊號線與一第二協調訊號線，第一協調訊號線係於一轉移期間而發訊至第一裝置且藉由協定與時序以支援其具有第一匯流排型式介面的裝置之活動，第二協調訊號線係於一轉移期間而發訊至第二裝置且藉由協定與時序以支援其具有第二匯流排型式介面的裝置之活動。

3. 如申請專利範圍第 2 項之設備，其中，於該複數個共同訊號線之中的一共同訊號線係轉移由該多工匯流排介面所供應的一時鐘輸出至第一與第二裝置，其具有切換於一第一時鐘速率與一第二時鐘速率之間的一時鐘速率，第一時鐘速率係於針對藉由協定與時序以支援其具有第一匯流排型式介面的一裝置之第一裝置的一轉移期間，第二

(2)

時鐘速率係於針對藉由協定與時序以支援其具有第二匯流排型式介面的一裝置之第二裝置的一轉移期間。

4. 如申請專利範圍第 1 項之設備，其中，該多工匯流排另包含一協調訊號線，以於一轉移期間而發訊至其具有第一匯流排型式介面的裝置與其具有第二匯流排型式介面的裝置之任一者，藉由協定與時序以支援其具有第一匯流排型式介面的裝置或其具有第二匯流排型式介面的裝置。

5. 如申請專利範圍第 1 項之設備，其中，支援其具有第一匯流排型式介面的一裝置之協定與時序係支援一串列資料轉移爲跨於該等共同訊號線之一者，且其中，支援其具有第二匯流排型式介面的一裝置之協定與時序係支援一並列資料轉移爲跨於複數個共同訊號線。

6. 一種電腦系統，包含：

一 CPU；

一記憶體系統；

支援邏輯，連接至該 CPU 與記憶體系統；

一多工匯流排介面，連接至該支援邏輯且爲執行指令之 CPU 所可控制；

一多工匯流排，連接至該多工匯流排介面且爲其所控制；其中，該多工匯流排包含複數個共同訊號線以轉移位址、命令與資料，藉由協定與時序以支援關於其具有一第一匯流排型式介面的裝置與其具有一第二匯流排型式介面的裝置之任一者的活動；及

(3)

一第一裝置，連接至該多工匯流排，其中，第一裝置係其具有一第一匯流排型式介面且儲存由 CPU 所執行的複數個指令之非揮發性記憶體裝置。

7. 如申請專利範圍第 6 項之電腦系統，另包含：一第二裝置，其爲連接至該多工匯流排且具有一第二匯流排型式介面，其中，第二裝置係一 I/O 裝置，該多工匯流排另包含一第一協調訊號線與一第二協調訊號線，第一協調訊號線係於一轉移期間而發訊至第一裝置且藉由協定與時序以支援其具有第一匯流排型式介面的裝置之活動，第二協調訊號線係於一轉移期間而發訊至第二裝置且藉由協定與時序以支援其具有第二匯流排型式介面的裝置之活動。

8. 如申請專利範圍第 7 項之電腦系統，其中，該複數個共同訊號線之中的一共同訊號線係轉移由多工匯流排介面所供應的一時鐘輸出至第一與第二裝置，其具有切換於一第一時鐘速率與一第二時鐘速率之間的一時鐘速率，第一時鐘速率係於針對藉由協定與時序以支援其具有第一匯流排型式介面的一裝置之第一裝置的一轉移期間，第二時鐘速率係於針對藉由協定與時序以支援其具有第二匯流排型式介面的一裝置之第二裝置的一轉移期間。

9. 如申請專利範圍第 7 項之電腦系統，其中，該 CPU 係能夠執行指令以致使 CPU 控制該多工匯流排介面以測試其具有第一匯流排型式介面的裝置之存在於多工匯流排，致使第一裝置被偵測，且該 CPU 係執行指令以致使 CPU 控制該多工匯流排介面以測試其具有第二匯流排

(4)

型式介面的裝置之存在於多工匯流排，致使第二裝置被偵測。

10. 如申請專利範圍第 7 項之電腦系統，其中，該多工匯流排介面係能夠執行指令以致使該多工匯流排介面以測試其具有第一匯流排型式介面的裝置之存在於多工匯流排，致使第一裝置被偵測，且該多工匯流排介面係測試其具有第二匯流排型式介面的裝置之存在於多工匯流排，致使第二裝置被偵測，且該多工匯流排介面係能夠提供該第一與第二裝置爲被偵測之指示於該 CPU。

11. 如申請專利範圍第 7 項之電腦系統，其中，支援具有一第一匯流排型式介面的一裝置之協定與時序係支援跨於該等共同訊號線的一者之一串列資料轉移，且其中，支援具有一第二匯流排型式介面的一裝置之協定與時序係支援跨於複數個共同訊號線之一並列資料轉移。

12. 如申請專利範圍第 6 項之電腦系統，其中，該多工匯流排另包含一協調訊號線，以於一轉移期間而發訊至其具有一第一匯流排型式介面的裝置與其具有一第二匯流排型式介面的裝置之任一者，藉由協定與時序以支援其具有第一匯流排型式介面的裝置或是其具有第二匯流排型式介面的裝置。

13. 如申請專利範圍第 12 項之電腦系統，其中，該 CPU 係能夠執行指令以致使 CPU 控制該多工匯流排介面以測試其具有第一匯流排型式介面的裝置之存在於多工匯流排，致使第一裝置被偵測。

(5)

14. 一種用於偵測記憶體裝置介面之方法，包含：

驅動一多工匯流排之一第一協調訊號線爲作用，以發訊於其具有可能爲連接至多工匯流排之一第一匯流排型式介面的裝置；

嘗試實施一第一形式的活動於多工匯流排，運用適當的協定與時序以支援其跨於多工匯流排之複數個共同訊號線的位址、命令與資料之一轉移於其具有一第一匯流排型式介面的裝置；

驅動該多工匯流排之第一協調訊號線爲不作用，若無一裝置爲回應於第一形式的活動；

驅動該多工匯流排之一第二協調訊號線爲作用，以發訊於其具有可能爲連接至多工匯流排之一第二匯流排型式介面的裝置，若無一裝置爲回應於第一形式的活動；及

嘗試實施一第二形式的活動於多工匯流排，運用適當的協定與時序以支援其跨於多工匯流排之複數個共同訊號線的位址、命令與資料之一轉移於其具有一第二匯流排型式介面的裝置，若無一裝置爲回應於第一形式的活動。

15. 如申請專利範圍第 14 項之方法，其中，嘗試實施第一形式的活動之步驟另包含：設定該複數個共同訊號線之一時鐘訊號線至一第一時鐘速率，且嘗試實施第二形式的活動之步驟另包含：設定時鐘訊號線至一第二時鐘速率。

16. 如申請專利範圍第 14 項之方法，其中，嘗試實施第一形式的活動於多工匯流排之步驟另包含：嘗試實施

(6)

第一形式的活動於多工匯流排之步驟另包含：串列轉移資料於複數個共同訊號線之中的單一共同訊號線，且嘗試實施第二形式的活動於多工匯流排之步驟另包含：並列轉移資料於複數個共同訊號線之中的至少二個共同訊號線。

17. 如申請專利範圍第 14 項之方法，其中，嘗試實施第一形式的活動於多工匯流排之步驟另包含：並列轉移資料於複數個共同訊號線之中的至少二個共同訊號線，且嘗試實施第二形式的活動於多工匯流排之步驟另包含：串列轉移資料於複數個共同訊號線之中的單一共同訊號線。

18. 一種機器可存取媒體，包含：碼，其當爲由一電子裝置內的一處理器所執行時而致使該電子裝置：

驅動一多工匯流排之一第一協調訊號線爲作用，以發訊於其具有可能爲連接至多工匯流排之一第一匯流排型式介面的裝置；

嘗試實施一第一形式的活動於多工匯流排，運用適當的協定與時序以支援其跨於多工匯流排之複數個共同訊號線的位址、命令與資料之一轉移於其具有一第一匯流排型式介面的裝置；

驅動該多工匯流排之第一協調訊號線爲不作用，若無一裝置爲回應於第一形式的活動；

驅動該多工匯流排之一第二協調訊號線爲作用，以發訊於其具有可能爲連接至多工匯流排之一第二匯流排型式介面的裝置，若無一裝置爲回應於第一形式的活動；及

嘗試實施一第二形式的活動於多工匯流排，運用適當

(7)

的協定與時序以支援其跨於多工匯流排之複數個共同訊號線的位址、命令與資料之一轉移於其具有一第二匯流排型式介面的裝置，若無一裝置爲回應於第一形式的活動。

19. 如申請專利範圍第 18 項之機器可存取媒體，更致使該處理器：

讀取來自其具有一第一匯流排型式介面的一第一裝置之指令，若第一裝置係回應於第一形式的匯流排活動；及

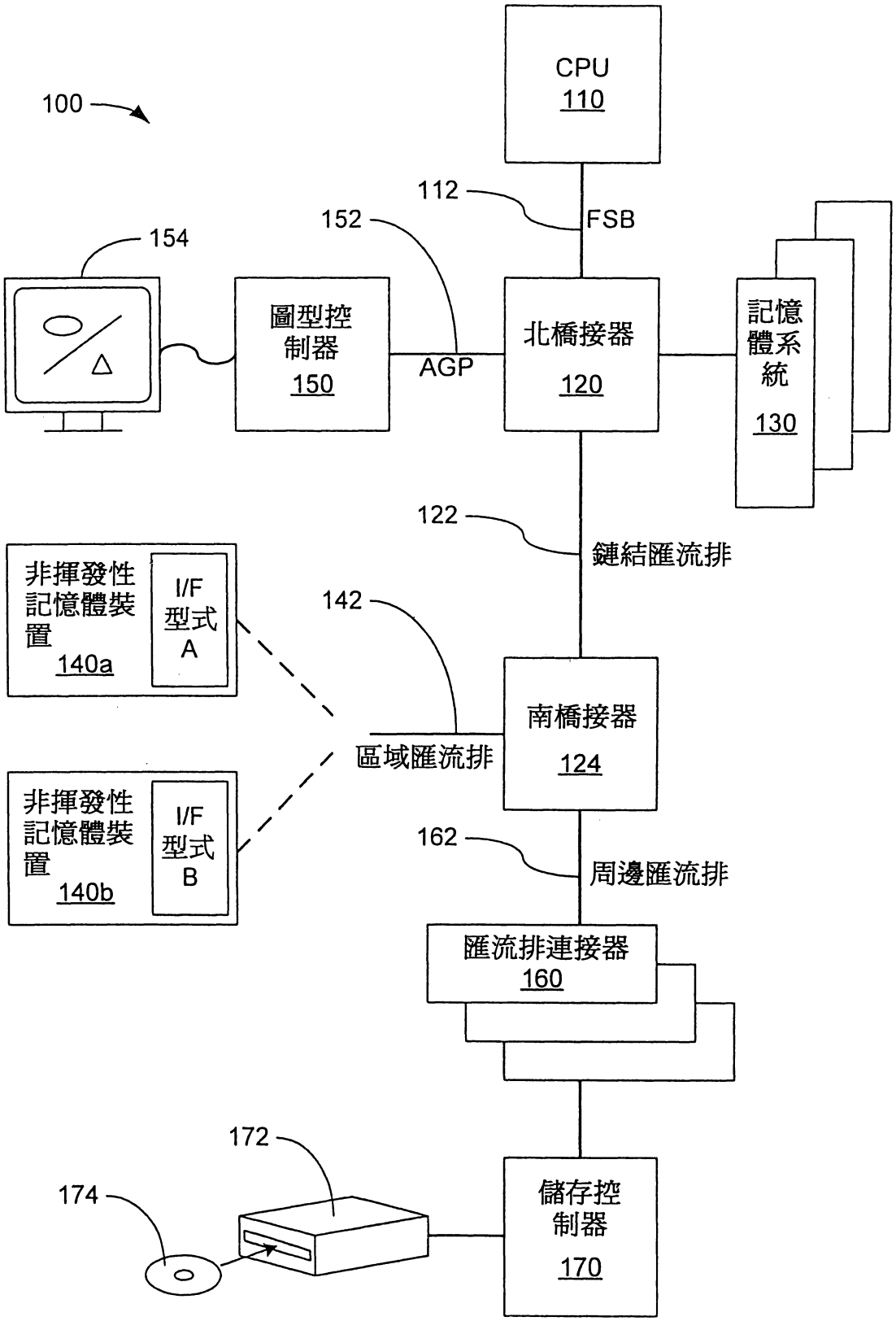
讀取來自其具有一第二匯流排型式介面的一第二裝置之指令，若第二裝置係回應於第二形式的匯流排活動。

20. 如申請專利範圍第 18 項之機器可存取媒體，更致使該處理器：

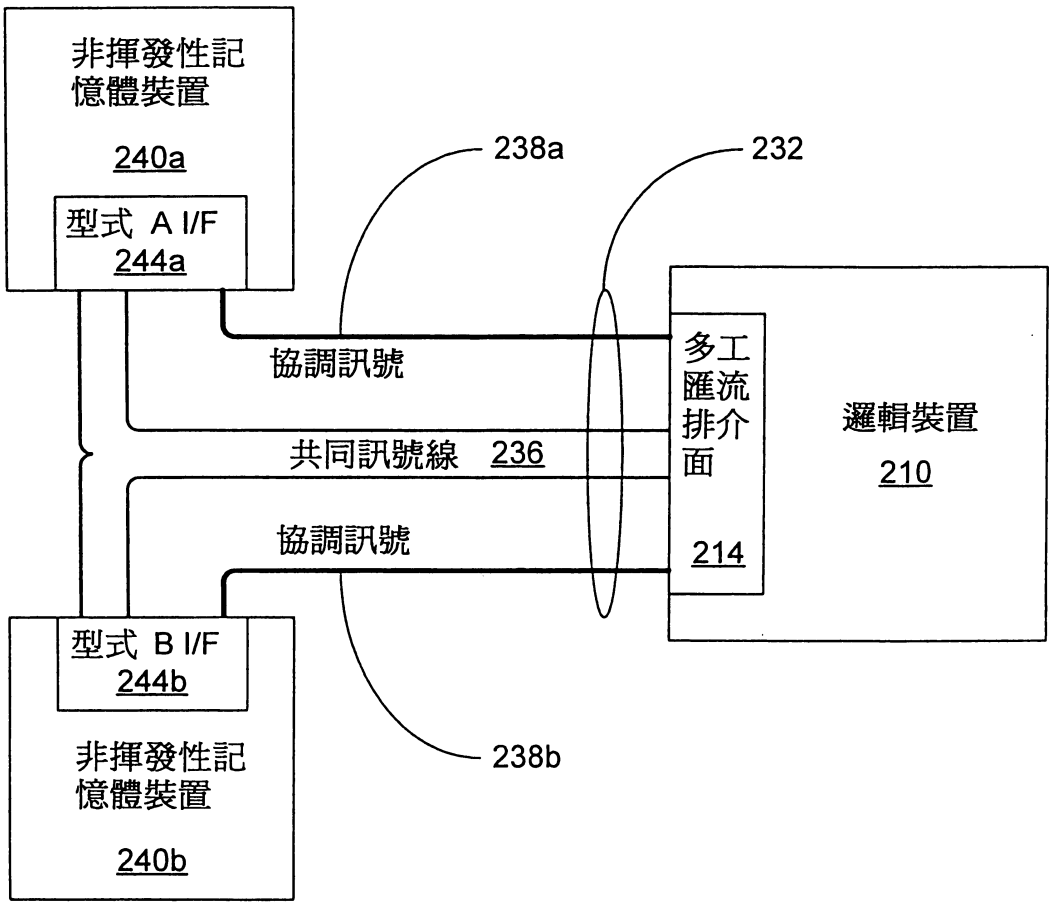
設定於該複數個共同訊號線之中的一時鐘訊號線至一第一時鐘速率，於嘗試實施第一形式的活動於多工匯流排之期間；及

設定於該時鐘訊號線至一第二時鐘速率，於嘗試實施第二形式的活動於多工匯流排之期間。

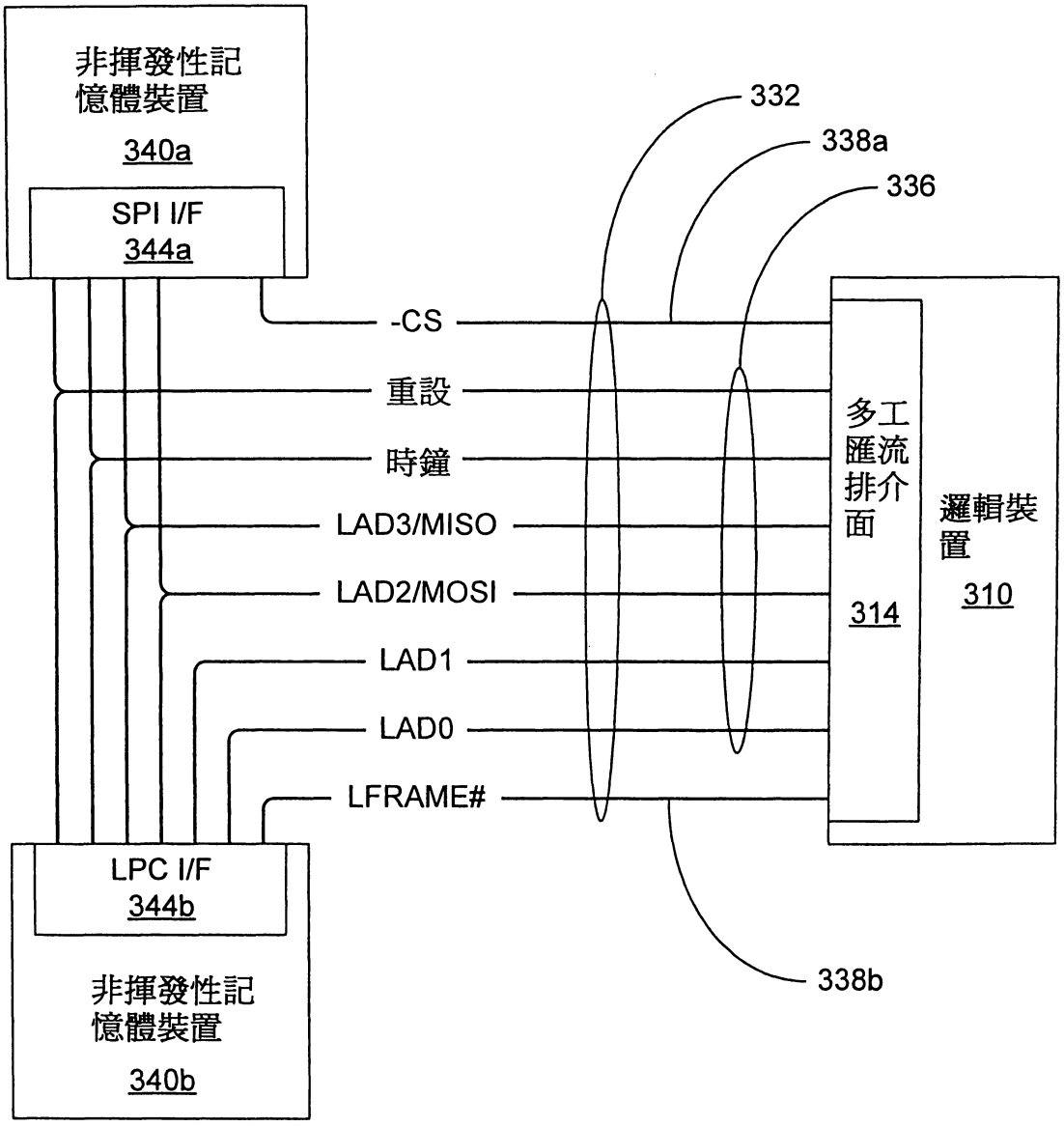
# 第1圖


100
CPU
110
112
FSB
152
154
圖型控制器
150
AGP
北橋接器
120
記憶體系統
130
122
鏈結匯流排
非揮發性記憶體裝置
140a
I/F
型式
A
142
南橋接器
124
區域匯流排
非揮發性記憶體裝置
140b
I/F
型式
B
162
周邊匯流排
匯流排連接器
160
172
174
儲存控制器
170

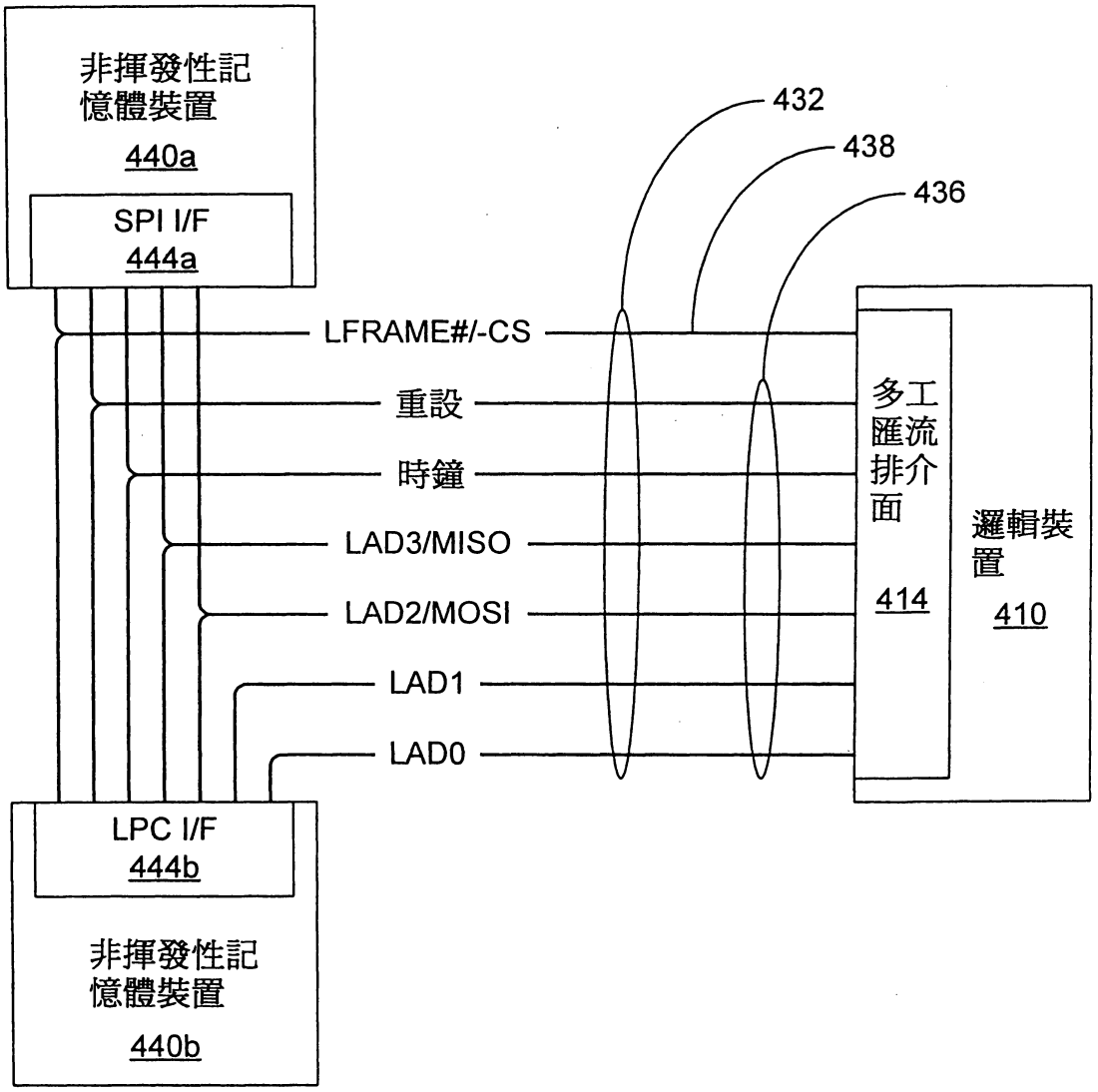
# 第2圖


非揮發性記憶體裝置
240a
型式 A I/F
244a
238a
232
協調訊號
多工匯流排介面
214
邏輯裝置
210
共同訊號線 236
協調訊號
型式 B I/F
244b
非揮發性記憶體裝置
240b
238b

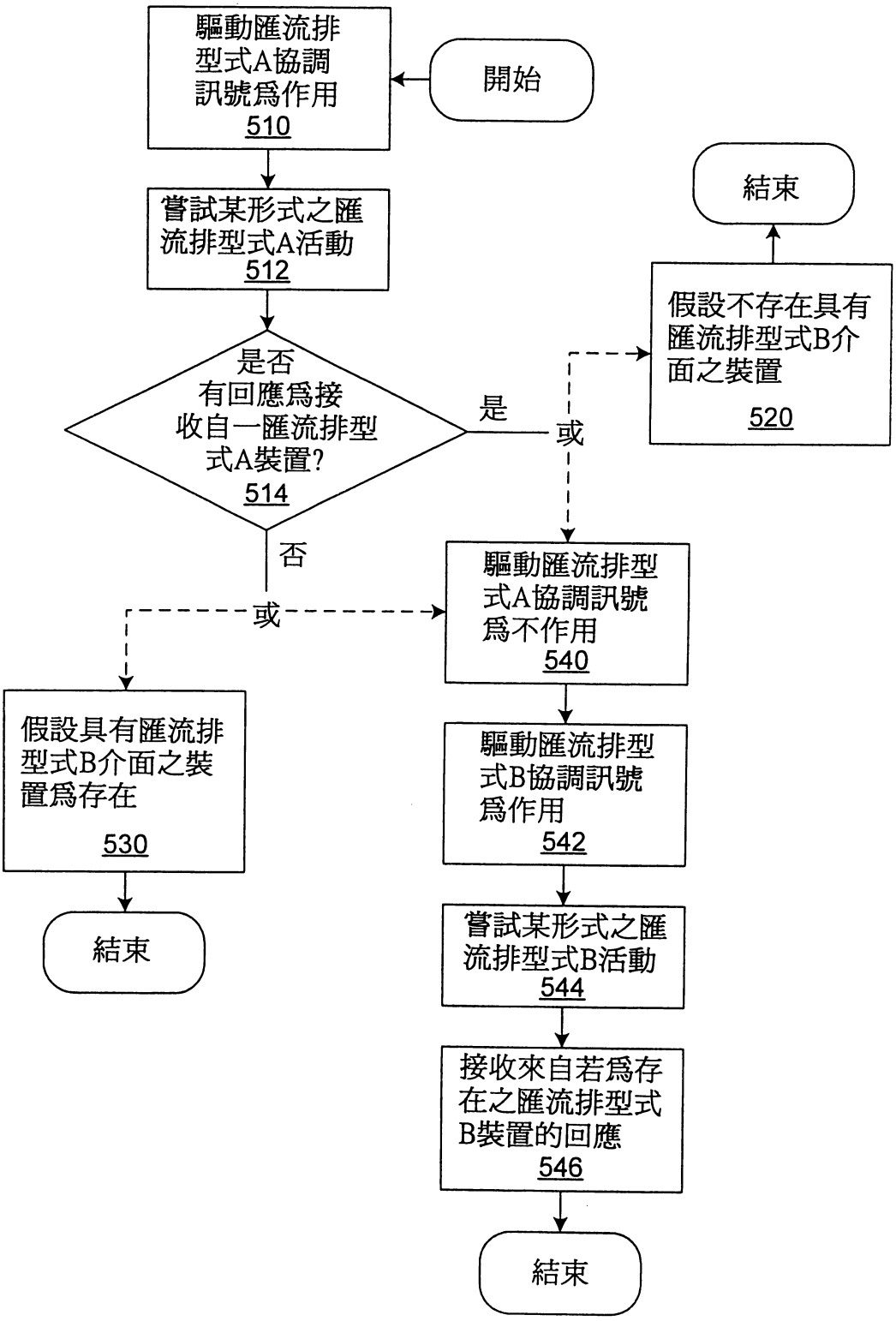
# 第3圖


非揮發性記憶體裝置
340a
SPI I/F
344a
-CS
重設
時鐘
LAD3/MISO
LAD2/MOSI
LAD1
LAD0
LFRAME#
LPC I/F
344b
非揮發性記憶體裝置
340b
332
338a
336
338b
多工匯流排介面
314
邏輯裝置
310

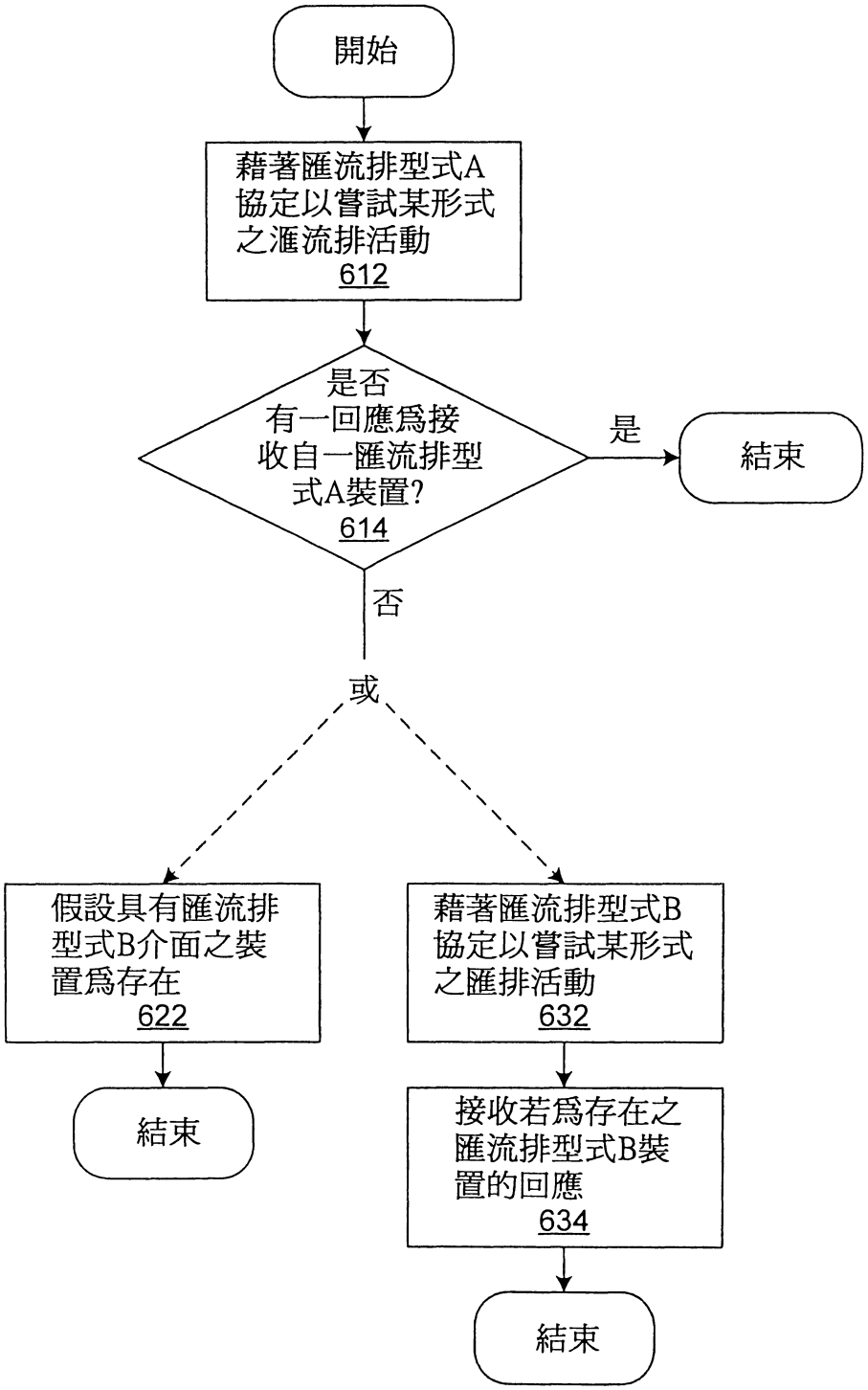
# 第4圖


非揮發性記憶體裝置
440a
SPI I/F
444a
LFRAME#/-CS
重設
時鐘
LAD3/MISO
LAD2/MOSI
LAD1
LAD0
LPC I/F
444b
非揮發性記憶體裝置
440b
432
438
436
多工匯流排介面
414
邏輯裝置
410

# 第5圖


開始
驅動匯流排型式A協調訊號爲作用
510
嘗試某形式之匯流排型式A活動
512
是否有回應爲接收自一匯流排型式A裝置?
514
是
或
否
或
假設不存在具有匯流排型式B介面之裝置
520
結束
驅動匯流排型式A協調訊號爲不作用
540
驅動匯流排型式B協調訊號爲作用
542
嘗試某形式之匯流排型式B活動
544
接收來自若爲存在之匯流排型式B裝置的回應
546
結束
假設具有匯流排型式B介面之裝置爲存在
530
結束

# 第6圖


開始
藉著匯流排型式A協定以嘗試某形式之滙流排活動
612
是否有一回應爲接收自一匯流排型式A裝置?
614
是
結束
否
或
假設具有匯流排型式B介面之裝置爲存在
622
結束
藉著匯流排型式B協定以嘗試某形式之匯排活動
632
接收若爲存在之匯流排型式B裝置的回應
634
結束

柒、（一）、本案指定代表圖為：第 1 圖

（二）、本代表圖之元件代表符號簡單說明：

100：電腦系統
110：中央處理單元(CPU)
112：前側匯流排(FSB)
120：北橋接器邏輯
122：鏈結匯流排
124：南橋接器邏輯
130：記憶體系統
140a、140b：非揮發性記憶體裝置
142：多工匯流排
150：圖形控制器
152：進階圖形埠(AGP)匯流排
160：週邊匯流排連接器
162：週邊匯流排
170：儲存控制器
172：儲存驅動器
174：儲存媒體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無