(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0052162
(43) 공개일자 2021년05월10일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *C23C 16/02* (2006.01)
C23C 16/34 (2006.01) *C30B 29/40* (2006.01)
H01L 21/285 (2006.01) *H01L 21/324* (2017.01)
H01L 21/67 (2006.01)
(52) CPC특허분류
H01L 21/02271 (2013.01)
C23C 16/0227 (2013.01)
(21) 출원번호 10-2020-0054096
(22) 출원일자 2020년05월06일
심사청구일자 없음
(30) 우선권주장
1020190135755 2019년10월29일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
이창석
경기도 과천시 관문로 106, 109동 1503호 (중앙동, 과천푸르지오써밋)
신현석
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
리앤목특허법인

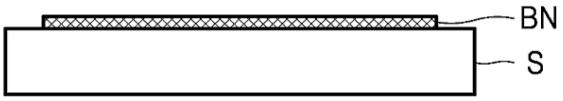
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **질화 붕소막, 이를 포함한 장치 및 그 제조 방법**

(57) 요 약

질화 붕소막 및 그 제조 방법을 제공한다. 본 질화 붕소막은 질화 붕소 화합물을 포함하고 100kHz 동작 주파수에서 2.5이하의 유전 상수를 갖는다.

대 표 도 - 도2c



(52) CPC특허분류
C23C 16/342 (2013.01)
C30B 29/403 (2013.01)
H01L 21/02274 (2013.01)
H01L 21/28525 (2013.01)
H01L 21/324 (2013.01)
H01L 21/67017 (2013.01)
H01L 2924/10325 (2013.01)
(72) 발명자
신현진
경기도 수원시 장안구 천천로22번길 34, 524동 1801호 (정자동, 백설마을삼환나우빌아파트)
홍석모
울산광역시 울주군 언양읍 유니스트길 50
이민현
경기도 수원시 영통구 덕영대로 1410, 106동 1902호 (망포동, 아이파크캐슬1단지)
남승걸
경기도 수원시 영통구 삼성로 130 (매탄동)
마경열
울산광역시 울주군 언양읍 유니스트길 50

명 세 서

청구범위

청구항 1

질화 붕소 화합물을 포함하고,

100kHz 동작 주파수에서 2.5이하의 유전 상수를 갖는 질화 붕소막.

청구항 2

제 1항에 있어서,

상기 질화 붕소막의 질소에 대한 붕소의 비율은 0.9 내지 1.1인 질화 붕소막.

청구항 3

제 1항에 있어서,

상기 질화 붕소막은,

비다공성인 질화 붕소막.

청구항 4

제 1항에 있어서,

상기 질화 붕소막은,

하나 이상의 기공을 포함하는 질화 붕소막.

청구항 5

제 1항에 있어서,

상기 질화 붕소막의 질량 밀도는

1 내지 3의 질량 밀도(g/cm^3)를 갖는 질화 붕소막.

청구항 6

제 1항에 있어서,

상기 질화 붕소막의 항복장(breakdown field)은

4 $MVcm^{-1}$ 이상인 질화 붕소막.

청구항 7

제 1항에 있어서,

상기 질화 붕소막의 항복장(breakdown field)은

10 $MVcm^{-1}$ 이하인 질화 붕소막.

청구항 8

제 1항에 있어서,

상기 질화 붕소막의 거칠기는

0.3 내지 0.6 RMS(Root-Mean-Square) 인 질화 붕소막.

청구항 9

제 1항에 있어서,

상기 질화 붕소막의 에너지 밴드 갭은 6.00eV이하인 질화 붕소막.

청구항 10

제 1항에 있어서,

상기 질소와 붕소는 sp^2 결합을 포함하는 질화 붕소막.

청구항 11

제 1항에 있어서,

상기 질화 붕소막의 소수 함유율은 10%이하인 질화 붕소막.

청구항 12

제 1항에 있어서,

상기 질화 붕소막은,

상기 100kHz 동작 주파수에서 2.3이하의 유전 상수를 갖는 질화 붕소막.

청구항 13

제 12항에 있어서,

상기 질화 붕소막은

비정질인 질화 붕소막.

청구항 14

제 1항에 있어서,

상기 질화 붕소막은,

상기 100kHz 동작 주파수에서 2.3 내지 2.5의 유전 상수를 갖는 질화 붕소막.

청구항 15

제 14항에 있어서,

상기 질화 붕소막은,

나노 결정을 포함하는 질화 붕소막.

청구항 16

질화 붕소막을 제조하는 방법에 있어서,

기판을 준비하는 단계; 및

700℃이하의 온도에서 질화 붕소용 소스를 포함하는 반응 가스로부터 플라즈마를 이용하여 질화 붕소막을 상기 기판상에 성장시키는 단계;를 포함하는 질화 붕소막의 제조 방법.

청구항 17

제 16항에 있어서,

상기 기판을 준비하는 단계는,

상기 기판을 전처리하는 단계;를 포함하는 질화 붕소막의 제조 방법.

청구항 18

제 16항에 있어서,

상기 플라즈마는,

플라즈마, 축전결합 방전 플라즈마, 마이크로웨이브 플라즈마, 플라즈마 강화 방식, 전자 사이클로트론 공명 플라즈마, 헬리콘 플라즈마 중 적어도 하나를 포함하는 질화 붕소막의 제조 방법.

청구항 19

제 16항에 있어서,

상기 질화 붕소막은,

100kHz 동작 주파수에서 2.5이하의 유전 상수를 갖는 질화 붕소막의 제조 방법.

청구항 20

제 16항에 있어서,

상기 질화 붕소막은,

비정질 및 나노 결정 중 적어도 하나를 포함하는 질화 붕소막의 제조 방법.

발명의 설명

기 술 분 야

[0001] 개시된 실시예들은 질화 붕소막, 이를 포함하는 장치 및 질화 붕소막을 제조하는 방법에 관한 것이다.

배 경 기 술

[0002] 전자소자 및 반도체소자는 대부분이 반도체와 절연체 및 도전체를 조합하고 연결함으로써 제조될 수 있다. 예컨대, 반도체기판에 복수의 단위 소자를 형성한 후, 그 위에 절연층(층간절연층) 및 전극배선을 반복해서 적층함으로써 다양한 집적 회로(integrated circuit)를 제조할 수 있다.

[0003] 그런데, 소자를 제조하는 과정이나 동작시키는 과정에서, 구성층들의 온도가 증가할 수 있고, 전압/전류의 인가에 의해 전기적 스트레스(stress)가 발생할 수 있다. 이로 인해, 인접한 구성 층들 사이에 물질(원자)의 확산(diffusion)이 발생하여 소자의 특성이 열화되고 신뢰성 및 내구성이 떨어질 수 있다. 소자의 집적도(degree of integration)가 높아짐에 따라, 구성 층들간 물질의 확산으로 인한 문제점들을 해결하기가 더 어려워질 수 있다. 또한 물질의 확산이 없더라도 집적도가 높은 소자의 배선간에 전기장으로 인한 상호 간섭으로 신호지연이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 예시적인 실시예는 저 유전 상수의 질화 붕소막 및 그 제조 방법을 제공한다.

[0005] 예시적인 실시예는 저 유전 상수의 질화 붕소막을 포함하는 장치를 제공한다.

과제의 해결 수단

[0006] 일 측면(aspect)에 따르는 질화 붕소막은 질화 붕소 화합물을 포함하고, 100kHz 동작 주파수에서 2.5이하의 유전 상수를 갖는다.

[0007] 그리고, 상기 질화 붕소막의 질소에 대한 붕소의 비율은 0.9 내지 1.1일 수 있다.

[0008] 또한, 상기 질화 붕소막은, 비다공성일 수 있다.

[0009] 그리고, 상기 질화 붕소막은 적어도 하나의 기공을 포함할 수 있다.

[0010] 또한, 상기 질화 붕소막의 질량 밀도는 1 내지 3의 질량 밀도(g/cm^3)를 가질 수 있다.

[0011] 그리고, 상기 질화 붕소막의 항복장(breakdown field)은 4 $MVcm^{-1}$ 이상일 수 있다.

[0012] 또한, 상기 질화 붕소막의 항복장(breakdown field)은 10 $MVcm^{-1}$ 이하일 수 있다.

[0013] 또한, 상기 질화 붕소막의 거칠기는 0.3 내지 0.6 RMS(Root-Mean-Square) 일 수 있다.

[0014] 그리고, 상기 질화 붕소막의 에너지 밴드 갭은 6.00eV이하일 수 있다.

[0015] 또한, 상기 질소와 붕소는 sp^2 결합을 포함할 수 있다.

[0016] 그리고, 상기 질화 붕소막의 소수 함유율은 10%이하일 수 있다.

[0017] 또한, 상기 질화 붕소막은, 상기 100kHz 동작 주파수에서 2.3이하일 수 있다.

[0018] 그리고, 상기 질화 붕소막은 비정질일 수 있다.

[0019] 또한, 상기 질화 붕소막은, 상기 100kHz 동작 주파수에서 2.3 내지 2.5의 유전 상수를 가질 수 있다.

[0020] 그리고, 상기 질화 붕소막은, 나노 결정을 포함할 수 있다.

[0021] 한편, 일 실시예에 따른 질화 붕소막의 제조 방법은, 기판을 준비하는 단계; 및 700℃이하의 온도에서 질화 붕소용 소스를 포함하는 반응 가스로부터 플라즈마를 이용하여 질화 붕소막을 상기 기판상에 성장시키는 단계;를 포함한다.

[0022] 그리고, 상기 기판을 준비하는 단계는, 상기 기판을 전처리하는 단계;를 더 포함할 수 있다.

[0023] 그리고, 상기 플라즈마는, 유도결합형 플라즈마, 축전결합 방전 플라즈마, 마이크로웨이브 플라즈마, 플라즈마 강화 방식, 전자 사이클로트론 공명 플라즈마, 헬리콘 플라즈마 중 적어도 하나를 포함할 수 있다.

[0024] 또한, 상기 질화 붕소막은, 100kHz 동작 주파수에서 2.5이하의 유전 상수를 가질 수 있다.

[0025] 그리고, 상기 질화 붕소막은, 비정질 및 나노 결정 중 적어도 하나를 포함할 수 있다.

도면의 간단한 설명

[0026] 도 1은 일 실시예에 따른 질화 붕소막의 제조 시스템을 개략적으로 도시한 도면이다.

도 2a 내지 도 2c는 일 실시예에 따른 질화 붕소막의 제조 방법을 설명하는 참조도면이다.

도 3a 내지 도 3d는 일 실시예에 따른 질화 붕소막의 원자 구조를 나타내는 도면이다.

도 4a는 일 실시예에 따른 질화 붕소막의 라만 스펙트럼 결과이다.

도 4b는 일 실시예에 따른 질화 붕소막의 FTIR(Fourier transform infrared spectroscopy) 스펙트럼을 나타내는 결과이다.

도 5는 일 실시예에 따른 비정질의 질화 붕소막에 대한 XPS 프로파일을 나타내는 결과이다.

도 6은 일 실시예에 따른 비정질의 질화 붕소막에 대한 FTIR 스펙트럼을 나타내는 결과이다.

도 7a는 일 실시예에 따른 비정질의 질화 붕소막에 대한 HR-RBS(high-resolution Rutherford backscattering spectrometry) 프로파일을 나타내는 결과이다.

도 7b는 일 실시예에 따른 비정질의 질화 붕소막에 대한 HR-ERDA(high-resolution elastic recoil detection analysis) 프로파일을 나타내는 결과이다.

도 7c는 HR-RBS 및 HR-ERDA 스펙트럼을 이용하여 계산된 질화 붕소막이 조성비이다.

도 8a는 일 실시예에 따른 기판으로 전사된 질화 붕소막의 라만 스펙트럼의 결과이다.

도 8b는 일 실시예에 따른 전사된 질화 붕소막의 XPS 이미지를 나타낸다.

도 9a는 일 실시예에 따른 비정질의 질화 붕소막의 유전 상수를 측정한 결과이다.

도 9b는 SE(spectroscopic ellipsometry) 측정 방법을 이용한 질화 붕소막의 유전 상수를 나타내는 결과이다.

도 10a는 일 실시예에 따른 비정질의 질화 붕소막의 질량 밀도를 시뮬레이션한 결과이다.

도 10b는 다양한 물질의 유전 상수와 질량 밀도와의 관계를 나타낸 그래프이다.

도 11는 다양한 물질의 유전 상수와 항복장과의 관계를 나타내는 그래프이다.

도 12는 일 실시예에 따른 비정질의 질화 붕소막과 육방정계 질화 붕소막의 특성을 정리한 표이다.

도 13은 일 실시예에 따른 비정질의 질화 붕소막에 대한 열 확산 시험한 후의 ESD 라인 프로파일이다.

도 14는 비교예로서, TiN 층에 대한 열 확산 시험한 후의 단면 TEM 이미지과 ESD 라인 프로파일이다.

도 15은 일 실시예에 따른 비정질의 질화 붕소막의 온도에 따른 항복 바이어스를 나타낸 결과이다.

도 16a는 일 실시예에 따른 약 700℃에서 성장된 질화 붕소막의 선택적인 영역 전자 회절에 대한 이미지이다.

도 16b는 일 실시예에 따른 약 700℃에서 성장된 질화 붕소막의 고배율 TEM 이미지이다.

16c는 일 실시예에 다른 약 700℃에서 성장된 질화 붕소막에 대한 고속 푸리에 변환 결과를 나타낸 도면이다.

도 17는 일 실시예에 따른 나노 결정의 질화 붕소막에 대한 라만 스펙트럼 결과이다.

도 18은 일 실시예에 따른 나노 결정의 질화 붕소막의 FTIR(Fourier transform infrared spectroscopy) 스펙트럼을 나타내는 결과이다.

도 19은 일 실시예에 나노 결정의 질화 붕소막에 대한 XPS 프로파일을 나타내는 결과이다.

도 20은 일 실시예에 따른 나노 결정의 질화 붕소막을 확산 배리어층으로 이용한 예를 도시한 도면이다.

도 21는 일 실시예에 따라 나노 결정의 질화 붕소막의 주파수별 유전 상수를 나타내는 그래프이다.

도 22a는 약 400℃에서 성장된 질화 붕소막의 원자력 현미경(AFM) 이미지이다.

도 22b는 약 700℃에서 성장된 질화 붕소막의 원자력 현미경(AFM) 이미지이다.

도 23은 일 실시예에 따른 확산 배리어층을 포함하는 다층 구조체를 도시한 도면이다.

도 24는 다른 실시예에 따른 확산 배리어층을 포함하는 다층구조체를 보여주는 단면도이다.

도 25는 일 실시예에 따른 질화 붕소막을 포함하는 트랜지스터를 나타내는 참조도면이다.

도 26은 일 실시예에 따른 배선 구조체를 포함하는 반도체 장치를 나타내는 참조도면이다.

도 27은 일 실시예에 따른 질화 붕소막을 포함하는 전계 효과 트랜지스터를 도시한 도면이다.

도 28는 일 실시예에 따른 질화 붕소막을 포함하는 수직형 전계 효과 트랜지스터를 도시한 도면이다.

도 29는 일 실시예에 따른 질화 붕소막을 포함하는 핀 타입 트랜지스터를 도시한 도면이다.

도 30a는 일 실시예에 따른 질화 붕소를 포함하는 디스플레이 장치의 일부를 도시한 도면이다.

도 30b는 도 30a의 A-A' 선 및 B-B'선에 따라 절단한 단면도이다.

도 31은 일 실시예에 따른 질화 붕소막을 포함하는 낸드 플래시 메모리 소자를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부된 도면을 참조하여 예시적인 실시예들에 대해 상세히 설명하기로 한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 이하에서 설명되는 실시예들은 단지 예시적인 것으로, 이러한 실시예들로부터 다양한 변형이 가능하다.

[0028] 한편, 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. “상기” 의 용어 및 이와 유사한 지

시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다.

[0029] 이하의 실시예들에서는 질화 붕소막, 플라즈마를 이용하여 질화 붕소막을 제조하는 방법 및 질화 붕소막을 포함하는 장치에 대해 설명한다.

[0030] 도 1은 일 실시예에 따른 질화 붕소막의 제조 시스템(10)을 개략적으로 도시한 도면이다. 도 1을 참조하면, 질화 붕소막의 제조 시스템(10)은, 질화 붕소막의 성장을 위한 반응 가스가 이동할 수 있는 공간을 포함하는 챔버(11), 챔버(11)에 반응 가스를 공급하는 공급원(12), 챔버(11)로 이동하는 반응 가스의 질량 유량(mass flow)을 제어하는 유량 제어기(13), 챔버(11)내에는 플라즈마를 생성하는 플라즈마 장치(14) 및 챔버(11)의 온도를 조정하는 퍼니스(furnace)(15)를 포함하며, 챔버(11)내에 질화 붕소막을 증착시킨다. 그 밖에도 온도를 조정하는 장치는 복사열이 기판에 전달하는 고온 벽(hot wall) 타입일 수도 있고, 기판을 직접 가역하는, 콜드 월(cold wall)타입일 수도 있다.

[0031] 도 2a 내지 도 2c는 일 실시예에 따른 질화 붕소막의 제조 방법을 설명하는 참조도면이다.

[0032] 먼저, 시스템(10)의 챔버(11) 내부에 기판(S)을 준비한다. 기판(S)은 IV족 반도체 물질, 반도체 화합물, 절연물질, 금속 중 적어도 하나를 포함할 수 있다. 구체적인 예로서, 기판은 Si, Ge 또는 Sn 등의 IV족 반도체 물질 포함할 수 있다. 또는, 기판은, 예를 들면, Si, Ge, C, Zn, Cd, Al, Ga, In, B, C, N, P, S, Se, As, Sb 및 Te Ta, Ru, Rh, Ir, Co, Ta, Ti, W, Pt, Au, Ni, Fe 중 적어도 하나를 포함할 수 있다. 뿐만 아니라, 기판은 예를 들어, SiCOH계 조성으로 N, F를 더 포함할 수 있고, 유전율 저하를 위해 기공을 포함할 수도 있다. 한편, 기판(S)은 도펀트(dopant)를 더 포함할 수도 있다. 이상에서 언급된 기판(S)의 물질들은 예시적인 것에 불과하다.

[0033] 챔버(11) 내부에 기판(S)을 배치시키기 전에 기판(S)을 전처리할 수 있다. 예를 들어, 기판(S)을 아세톤과 같은 유기 용매에 담궈 초음파 처리한 후, IPA(iso-propenyl alcohol)와 질소 가스로 세정할 수 있다. 세정된 기판(S)의 표면을 산소 수소, NH_3 등 플라즈마 처리를 수행함으로써 표면에 남아 있는 탄소 불순물을 제거할 수 있다. 또한, 기판(S)을 HF 용액에 담그고 자연 산화물을 제거할 수도 있고, 무수 에탄올과 N2 가스를 사용하여 잔류 HF 용액을 제거할 수도 있다.

[0034] 질화 붕소막을 성장시키기 위한 공정 온도는 화학 기상 증착 공정에 사용되는 온도보다 낮은 대략 700℃ 이하가 될 수 있다. 예를 들면, 챔버(11) 내부의 공정 온도는 400℃ 정도가 될 수 있다. 그리고, 공정 온도를 올리기 전에, 질화 붕소막을 성장시키기 위한 공정 압력을 대략 2 Torr 이하로 설정할 수 있다. 예를 들어, 공정 압력은 10^{-2}Torr 이하일 수 있다.

[0035] 다음으로, 챔버(11) 내부에 질화 붕소막의 성장을 위한 반응 가스를 주입한다. 여기서, 반응 가스는 질화 붕소막의 성장을 위한 질화 붕소용 소스로서, 보라진(borazine, B3N3H6) 또는 암모니아-보란(NH3-BH3)과 같은 질소와 붕소 모두를 포함하는 소스일 수 있다. 또는 반응 가스는 질소를 포함하는 질소 소스와 붕소를 포함하는 붕소 소스를 포함할 수 있다. 질소 소스는 암모니아(NH3) 또는 질소(N2) 중 적어도 하나를 포함할 수 있고, 붕소 소스는 BH3, BF3, BC13, B2H6, (CH3)3B, (CH3CH2)3B, 중 적어도 하나를 포함할 수 있다.

[0036] 반응 가스는 불활성 가스를 더 포함할 수 있다. 불활성 가스는 예를 들면, 아르곤 가스, 네온 가스, 질소 가스, 헬륨 가스, 크립톤 가스 및 크세논 가스 중 적어도 하나를 포함할 수 있다. 반은 반응 가스는 소수 가스도 더 포함할 수 있다. 한편, 챔버(11) 내부로 주입되는 반응 가스의 혼합비는 질화 붕소막의 성장 조건에 따라 다양하게 변형될 수 있다.

[0037] 유량 제어기(13)는 챔버(11)에 유입되는 반응 가스의 유량을 제어할 수 있다. 질화 붕소용 가스의 유량은 다른 반응 가스 비해 낮을 수 있다. 플라즈마를 이용하여 질화 붕소막을 성장하고자 하는 경우에는 챔버(11)의 내부로 주입되는 반응 가스의 혼합비(mixing ratio), 즉 질화 붕소용 소스 및 불활성 가스의 부피비(volume ratio)는 예를 들면 대략 1:10~5000 정도가 될 수 있거나, 질화 붕소용 소스 및 불활성 가스 및 수소 가스의 부피비(volume ratio)는 예를 들면 대략 1:10~5000:10~500 정도가 될 수 있다.

[0038] 질화붕소용 소스가 다른 반응 가스에 비해 비율이 작기 때문에 질화 붕소들의 결정성이 약해진다. 그리하여, 일 실시예에 다른 질화 붕소막은 비정질 또는 나노 크기의 결정 구조로 형성될 수 있다.

[0039] 과량의 질화 붕소용 소스가 공급되면, 질화 붕소막이 불규칙적으로 성장할 수도 있고, 전구체가 흡착될 수도 있기 때문에 질화 붕소용 소스의 유량은 낮은 것이 바람직하다.

[0040] 예를 들어, 질화 붕소막을 성장시키는 동안, 유량 제어기(13)는 질화 붕소용 소스의 유량(flow rate)을

0.05sccm(standard cubic centimeters)으로 제어하고, 불활성 가스의 유량을 50 sccm 으로 제어할 수 있다, 수소 가스의 유량을 20sccm으로 제어할 수 있다. 유량 제어기(13)는 질화 붕소용 소스 및 불활성 가스의 유량을 제어한다고 하였으나, 이에 한정되지 않는다. 유량 제어기(13)는 질화 붕소용 소스의 유량만을 제어할 수도 있다.

[0041] 이어서, 챔버내로 질화 붕소용 소스가 유입되고 있는 동안 플라즈마 장치는 챔버(11) 내부에 플라즈마를 생성할 수 있다. 여기서, 플라즈마 생성을 위한 파워는 대략 10W ~ 4000W 정도가 될 수 있다. 예를 들어, 플라즈마 생성을 위한 파워는 약 30W이나 이에 한정되지 않는다.

[0042] 플라즈마 장치는 유도결합형 플라즈마, 축전결합 방전 플라즈마, 마이크로웨이프 플라즈마, 플라즈마 강화 방식, 전자 사이클로트론 공명 플라즈마, 헬리콘 플라즈마 등을 포함하는 플라즈마를 제공하는 장치일 수 있으나, 이에 한정되지 않는다., 예를 들어, 유도 결합형 플라즈마 장치는 전자기 유도에 의해 생성되는 전류, 즉 시간에 따라 변하는 자기장에 의해 에너지가 공급되는 일종의 플라즈마를 제공할 수 있다. 플라즈마 장치로부터 챔버(11) 내부에 플라즈마 생성을 위한 파워가 인가되면, 챔버(11)의 내부에는 전기장이 유도될 수 있다. 이와 같이 반응 가스가 주입된 상태에서 전기장이 유도되면 질화 붕소막(BN)의 성장을 위한 플라즈마가 형성된다.

[0043] 도 2b를 참조하면, 탄소 소스, 불활성 가스 및 수소 가스가 혼합된 반응 가스의 플라즈마에 의해 활성화된 질소(N*) 및 활성화된 붕소(B*)이 생성되어 기판(S)의 표면에 흡착될 수 있다. 그리고, 불활성 가스의 플라즈마가 기판(S)의 활성화를 지속적으로 유도함으로써 기판(S)의 표면에 활성화된 질소(N*) 및 활성화된 붕소(B*)의 흡착이 가속화될 수 있다. 활성화된 질소(N*) 및 활성화된붕소(B*)는 비정질로 흡착된다. 활성화된 질화 및 붕소 들끼리 결합된다 하더라도 그 양이 작아 나노 크기의 결정으로 흡착될 수 있다.

[0044] 도 2c를 참조하면, 저온에서도 기판(S)의 표면에 활성화된 질소(N*) 및 활성화된 붕소(B*)의 흡착이 가속화됨에 따라 기판(S)의 표면에는 질화 붕소막(BN)이 성장될 수 있다. 본 실시예에 따르면, 저온에서, 예를 들어, 700℃ 이하의 온도에서 기판(S)의 표면에 낮은 비율의 활성화된 질소(N*) 및 활성화된붕소(B*)에 의해 질화 붕소막(BN)이 직접 성장하기 때문에 성장한 질화 붕소막(BN)은 결정성이 약할 수 있다.

[0045] 일 실시예에 따른 질화 붕소막(BN)은 비정질로 성장되거나, 나노 크기의 결정으로 질화 성장될 수 있다. 비정질로 형성된 질화 붕소막(BN)에 결정이 있다 하더라도 3nm 이하의 결정이 있을 수 있으며, 나노 결정으로 형성된 질화 붕소막(BN)은 대략 100nm 이하의 크기의 결정들을 포함할 수 있다. 보다 구체적으로, 질화 붕소막(BN)은 대략 0.5nm ~ 100nm 정도의 크기를 가지는 결정들을 포함할 수 있다.

[0046] 일실시예에 다른 질화 붕소막(BN)의 두께는 약 100nm이하일 수 있다. 예를 들어, 질화 붕소막(BN)의 두께는 50nm이하일 수 있다. 또한, 질화 붕소막은 비정질 또는 나노 결정을 포함하기 때문에 얇게 형성될 수 있다. 그러나, 이에 한정되지 않는다. 질화 붕소막은 비정질 또는 나노 결정을 포함하기 때문에 두껍게 형성도 가능하다. 질화 붕소막이 두께는 적용되는 분야에 따라 선택될 수 있다.

[0047] 성장 후, 플라즈마를 끄고, 퍼니스(15)를 실온으로 서서히 냉각시킨다. 예를 들어, 20 sccm의 H_2 가스를 챔버내에 유입시킴으로써 퍼니스(15)를 실온으로 냉각시킬 수 있다.

[0048] 상술한 방법으로 제조된 질화 붕소막(BN)에 다른 층을 형성함으로써 소자를 제조할 수 있다. 또는 제조된 질화 붕소막(BN)을 다른 층에 전사할 수도 있다. 전사시 불화 수소산 전사 기술(hydrofluoric acide transfer technique)이 적용될 수 있으나, 이에 한정되지 않는다.

[0049] 도 2a 내지 도 2c와 같이 제조된 질화 붕소막(BN)은 비정질일 수 있다. 일 실시예에 따른 질화 붕소막(BN)이 결정을 포함한다 하더라도 나노 크기의 결정을 포함할 수 있다. 낮은 밀도의 활성화된 질소 및 붕소가 저온에서 직접 성장되었기 때문에 결정성이 약하다. 성장 온도 및 공정 압력 중 적어도 하나가 낮을수록 비정질의 함유율이 높아질 수 있다.

[0050] 일 실시예에 따른 질화 붕소막(BN)은 질소와 붕소의 비율이 거의 동일할 수 있다. 질소에 대한 붕소의 비율은 약 0.9 내지 약 1.1일 수 있다. 또한, 질화 붕소막은 수소를 포함할 수 있으나, 질화 붕소막에서의 수소 함유량은 작을 수 있다. 예를 들어, 수소는 약 10%이하일 수 있다. 질화 붕소막은 수소의 함유량이 적기 때문에 화학적으로 안정적일 수 있다.

[0051] 일 실시예에 따른 질화 붕소막(BN)은 약 100kHz 동작 주파수에서 3이하의 유전 상수(여기서 유전 상수라 함은 진공 또는 공기에 대한 상대 유전 상수를 의미할 수 있다)를 가질 수 있다. 예를 들어, 비정질의 질화 붕소막(a-BN)은 약 100kHz 동작 주파수에서 2.3이하의 유전 상수를 가지며, 나노 결정의 질화 붕소막(nc-BN)은 약

100kHz 동작 주파수에서 2.3 내지 2.5의 유전 상수를 가질 수 있다.

[0052] 또한, 일 실시예에 따른 질화 붕소막(BN)의 질량 밀도는 질화 붕소막의 유전 상수에 따라 달라질 수 있다. 예를 들어, 일 실시예에 따른 질화 붕소막은 1 내지 3의 질량 밀도(g/cm^2)를 가질 수 있다.

[0053] 그리고, 일 실시예에 따른 질화 붕소막의 항복장(breakdown field)은 4 $MVcm^{-1}$ 이상일 수 있다. 구체적으로, 일 실시예에 따른 질화 붕소막의 항복장(breakdown field)은 5 내지 10 $MVcm^{-1}$일 수 있다.

[0054] 일 실시예에 따른 질화 붕소막(BN)은 표면은 매끄러울 수 있다. 예를 들어, 질화 붕소막(BN)의 표면은 RMS(Root-Mean-Square) 거칠기 값이 약 0.3 내지 0.6일 수 있다. 일 실시예에 따른 질화 붕소막(BN)의 표면 거칠기는 질화 붕소용 소스의 유량에 의해 결정될 수 있다.

[0055] 질화 붕소막의 특성을 얻기 위해 약 10^{-4}Torr의 공정 압력 및 약 400℃의 공정 온도에서 ICP-CVD(inductively coupled plasma-chemical vapour deposition) 공법으로 Si 기판상에 질화 붕소막을 성장시켰다.

[0056] 도 3a 내지 도 3d는 일 실시예에 따른 질화 붕소막의 원자 구조를 나타내는 도면이다. 도 3a는 질화 붕소막의 저배율 TEM(Transmission electron microscopy) 이미지이고, 도 3b는 질화 붕소막의 선택적인 영역 전자 회절에 대한 이미지이다. 도 6b에 도시된 이미지는 식별 가능한 결정 고리가 없는 확산 패턴을 보여준다. 도 3c는 질화 붕소막의 고배율 TEM 이미지로서, 질화 붕소막의 원자들이 무질서하게 배열되어 있음을 확인할 수 있다. 또한, 도 3d는 질화 붕소막에 대한 고속 푸리에 변환 결과를 나타낸 도면으로서, 비정질 필름의 전형적인 확산 회절 패턴을 보여주고 있다. 따라서, 일 실시예에 따른 제조 방법으로 제조된 질화 붕소막은 비정질임을 알 수 있다.

[0057] 도 4a는 일 실시예에 따른 질화 붕소막의 라만 스펙트럼 결과이다. SiO_2/Si는 기판, 예를 들어, SiO_2/Si로 구성된 기판 자체에 대해 측정된 라만 스펙트럼 결과이고, 실시예 1은 SiO_2/Si로 구성된 기판상에 일 실시예에 따른 질화 붕소막(a-BN)을 형성한 후 측정된 라만 스펙트럼 결과이며, Tri-hBN는 SiO_2/Si로 구성된 기판상에 3 층의 육방정계 질화 붕소(Hexagonal Boron Nitride)막을 에피성장한 후 측정된 라만 스펙트럼 결과이다.

[0058] 도 4a에 도시된 바와 같이, 기판의 라만 스펙트럼과 일 실시예에 따른 질화 붕소막의 라만 스펙트럼은 서로 유사하다. 일 실시예에 따른 질화 붕소막(a-BN)과 3 층의 육방정계 질화 붕소막(Tri-hBN)을 비교하면, 1373 cm^{-1}에서 3 층의 육방정계 질화 붕소막(Tri-hBN)에는 존재하는 피크가 비정질의 질화 붕소막(a-BN)에는 존재하지 않음을 확인할 수 있다. 이는 일 실시예에 따른 질화 붕소막(a-BN)은 육방정계 질화 붕소(Hexagonal Boron Nitride)막에 포함된 결정성이 존재하지 않는다는 의미할 수 있다.

[0059] 도 4b는 일 실시예에 따른 질화 붕소막의 FTIR(Fourier transform infrared spectroscopy) 스펙트럼을 나타내는 결과이다. 입사각 60° 에서 s-편광을 이용하여 질화 붕소막에 대한 FTIR 스펙트럼을 측정하였다. 도 4b에 도시된 바와 같이, 일 실시예에 따른 질화 붕소막은 1370 cm^{-1} 근처에서 횡단 광학 모드(transverse optical mode)에 기인한 흡수 피크가 존재하는 반면, 1570cm^{-1} 근처에서 또 다른 흡수 피크가 존재함을 확인할 수 있다. 1570cm^{-1} 근처에서 피크가 존재하지 않는다는 것은 일 실시예에 따른 질화 붕소막은 비정질 특성을 있음을 의미한다.

[0060] 다양한 실험 결과에 따라 약 400℃의 공정 온도에서 형성된 질화 붕소막은 비정질임을 확인할 수 있다. 이하 약 400℃의 공정 온도에서 일 실시예에 따른 제조 방법으로 형성된 질화 붕소막을 비정질의 질화 붕소막(a-BN)이라고 칭한다.

[0061] 도 5는 일 실시예에 따른 비정질의 질화 붕소막(a-BN)에 대한 XPS 프로파일을 나타내는 결과이다. 도 5에 도시된 바와 같이, 붕소의 1s에 대한 피크는 190.4eV이고, 질소의 1s에 대한 피크는 397.9eV임을 확인할 수 있다. 도 5의 XPS 프로파일로부터 붕소와 질소의 각 피크의 크기를 기초로 붕소와 질소의 원자비는 약 1: 1.08이고, sp^2 결합을 포함하는 것으로 확인할 수 있다.

[0062] 도 6는 일 실시예에 따른 비정질의 질화 붕소막(a-BN)에 대한 FTIR 스펙트럼을 나타내는 결과이다. 도 6에 도시된 바와 같이, FTIR 스펙트럼에는 B-H 및 N-H에 대응하는 주파수에서 피크가 관찰되지 않았다.

[0063] 도 7a는 일 실시예에 따른 비정질의 질화 붕소막(a-BN)에 대한 HR-RBS(high-resolution Rutherford backscattering spectrometry) 프로파일을 나타내는 결과이고, 도 7b는 일 실시예에 따른 비정질의 질화 붕소막(a-BN)에 대한 HR-ERDA(high-resolution elastic recoil detection analysis) 프로파일을 나타내는 결과이다. 도 7a는 240-400 keV의 에너지 범위에서 측정한 결과이고, 도 7b는 52-68 keV의 에너지 범위에서 측정된 결과로서, 기판의 원소인 Si 와 O가 측정되었고, 질화 붕소막의 원소인 B와 N도 측정되었음을 확인할 수 있다. 또한, 수소가 측정되었음을 확인할 수 있다.

[0064] 도 7c는 HR-RBS 및 HR-ERDA 스펙트럼을 이용하여 계산된 질화 붕소막이 조성비이다. 도 7c에 도시된 바와 같이, 붕소와 질소의 비는 약 1.04: 1임을 확인할 수 있다. 또한, 질화 붕소막에서의 수소는 약 5.5%임을 확인할 수 있다.

[0065] 지금까지 기판상에 질화 붕소막을 성장시킨 질화 붕소막에 대한 특성을 확인하였다. 일 실시예에 따른 질화 붕소막은 촉매 물질을 포함하는 기판상에 성장시킨 후 다른 기판에 전사시킬 수도 있다.

[0066] 도 8a 및 도 8b는 일 실시예에 따른 전사된 질화 붕소막의 특성을 나타내는 도면이다. 도 8a는 SiO2 기판으로 전사된 질화 붕소막의 라만 스펙트럼의 결과이다. 약 30W 플라즈마 전력 및 약 300°C의 성장 온도에서 구리 포일상이 질화 붕소막을 성장시켰다. 그리고, 성장된 질화 붕소막을 SiO_2 기판으로 전사한 후 라만 스펙트럼을 획득하였다. 질화 붕소막이 성장되지 않는 SiO_2 기판의 라만 스펙트럼과 전사된 질화 붕소막의 라만 스펙트럼의 결과과 유사함을 알 수 있다. 이는 전사된 질화 붕소막도 SiO_2 기판과 같이 비정질임을 확인할 수 있다.

[0067] 도 8b는 일 실시예에 따른 전사된 질화 붕소막의 XPS 이미지를 나타낸다. 도 8b에 도시된 바와 같이, 400℃의 공정 온도에서 성장된 질화 붕소막과 동일하게 붕소의 1s에 대한 피크는 190.4eV이고, 질소의 1s에 대한 피크는 397.9eV임을 확인할 수 있다. 도 8b의 XPS 프로파일로부터 붕소와 질소의 각 피크의 크기를 기초로 붕소와 질소의 원자비는 약 1: 1.08이고, sp^2 결합을 포함하는 것을 확인할 수 있다. 따라서, 성장 기판이 촉매 기판이라 하더라도 저온에서 성장시키면 비정질의 질화 붕소막(a-BN)을 획득할 수 있음을 알 수 있다.

[0068] 다음은 비정질의 질화 붕소막(a-BN)의 유전 특성에 대해 설명한다. 유전 상수는 전기장의 인가에 의해 물질에서 전기 쌍극자가 얼마나 쉽게 유도될 수 있는지에 대한 물리적 측정치이다. 공기 또는 진공의 유전 상수는 1이지만, 고체 물질의 전기 분극성은 고성능 전자 기기와 가장 관련이 있는 이극성(dipolar), 원자(atomic) 및 전자(electronic) 요소들에서 발생한다. 이들 요소들의 기여는 10-kHz 내지 30-MHz 범위의 주파수 함수로 측정될 수 있다. 금속-절연체-금속(MIM) 구조상에서 커패시턴스-주파수 측정을 이용하여 유전 상수를 측정할 수 있다. 비교를 위해 서로 다른 주파수에서 비정질의 질화 붕소막(a-BN)과 육방정계 질화 붕소막(h-BN)에 대한 유전 상수를 측정하였다.

[0069] 도 9a는 일 실시예에 따른 비정질의 질화 붕소막(a-BN)의 유전 상수를 측정한 결과이다. 도 9a에 도시된 유전 상수는 50회 이상 측정한 유전 상수의 평균값이다. 도 9a에 도시된 바와 같이, 비정질의 질화 붕소막(a-BN) 및 육방정계 질화 붕소막(h-BN)의 유전 상수는 동작 주파수에 반비례함을 할 수 있다. 약 10kHz의 동작 주파수에서 비정질의 질화 붕소막(a-BN) 및 육방정계 질화 붕소막(h-BN) 각각의 유전 상수는 약 2 및 3.5임을 확인할 수 있다. 그리고, 약 100kHz의 동작 주파수에서 비정질의 질화 붕소막(a-BN) 및 육방정계 질화 붕소막 각각의 유전 상수는 약 1.78 및 3.28 임을 확인할 수 있다. 그리고, 약 1MHz 주파수에서 비정질의 질화 붕소막(a-BN)에 대한 유전 상수는 약 1.16으로 감소하여 공기 또는 진공의 유전 상수에 가까워졌음을 확인할 수 있다. 비정질의 질화 붕소막(a-BN)의 낮은 유전 상수는 BN 사이의 비극성 결합에 기인한 것으며, 높은 주파수에서도 쌍극자 정렬을 하는 차수(order)가 존재하지 않기 때문이다.

[0070] SE(spectroscopic ellipsometry) 측정 방법을 이용하여 질화 붕소막의 굴절률(n)을 측정하고 굴절률과 유전 상수(k)의 관계가 $n^2=k$을 이용하여 유전 상수를 획득할 수 있다.

[0071] 도 9b는 SE(spectroscopic ellipsometry) 측정 방법을 이용한 질화 붕소막의 유전 상수를 나타내는 결과이다. 633 nm 파장에서 SE 측정 방법으로 측정된 육방정계 질화 붕소막 및 비정질의 질화 붕소막(a-BN)의 굴절률 각각은 2.16 및 1.37이었다. 그리하여, 육방정계 질화 붕소막(h-BN) 및 비정질의 질화 붕소막(a-BN)에 대한 유전 상수 각각은 4.67 및 1.88이며, 100kHz에서 전기적 측정으로 얻은 값과 거의 일치함을 확인할 수 있다.

[0072] 도 10a는 일 실시예에 따른 비정질의 질화 붕소막(a-BN)의 질량 밀도를 시뮬레이션한 결과이다. Si 기판상에 40 nm 두께를 갖는 비정질의 질화 붕소막(a-BN)을 성장한 후, 기판에서 질화 붕소막 두께 방향인 z방향에 따른

질량 밀도를 시뮬레이션하였다. 도 10a에 도시된 바와 같이, 비정질의 질화 붕소막(a-BN)의 질량 밀도는 약 2g/cm^{3}임을 확인할 수 있다. 이는 비정질의 질화 붕소막(a-BN)은 유전 상수는 낮더라도 밀도는 높아 기계적 강도가 저하되지 않음을 알 수 있다.

[0073] 도 10b는 다양한 물질의 유전 상수와 질량 밀도와의 관계를 나타낸 그래프이다. 도 10b에 도시된 바와 같이, 일반적으로 물질의 유전 상수와 질량 밀도는 비례한다. 그리하여, 유전 상수가 낮은 물질은 질량 밀도가 낮아 기계적 강도가 낮을 수 있다. 그러나, 비정질의 질화 붕소막(a-BN)은 유전 상수가 약 2일 때 질량 밀도도 약 2로서 다른 물질에 비해 상대적으로 질량 밀도가 높다. 그리하여 비정질의 질화 붕소막(a-BN)은 기계적 강도가 높을 수 있다.

[0074] 한편, 저유전율 물질을 구현하기 위한 또 다른 방법으로, 공기의 낮은 유전율을 활용하기 위해, 물질을 다공성으로 만들기도 한다. 그러나, 이는 물질의 밀도를 감소시켜 결과적으로 기계적 강도를 저하시킬 수 있다. 그러나, 비정질의 질화 붕소막(a-BN)은 앞서 설명한 도 3a 내지 도 3d에 도시된 바와 같이, 다공성이 아니기 때문에 기계적 강도가 좋다. 물론 비정질의 질화 붕소막(a-BN)에 적어도 하나의 기공을 형성할 수 있다. 비정질의 질화 붕소막(a-BN)에 기공을 형성함으로써 유전 상수를 더 낮을 수 있다. 경우에 따라서는 비정질의 질화 붕소막(a-BN)의 기공에 다른 물질을 채울 수 있다. 비정질의 질화 붕소막(a-BN)의 기공에 다른 물질이 채워진다 하더라고 유전 상수가 크게 높아지지 않으면서 비정질의 질화 붕소막(a-BN)의 활용도를 높일 수 있다.

[0075] 도 11는 다양한 물질의 유전 상수와 항복장과의 관계를 나타내는 그래프이다. 도 11에 도시된 바와 같이, 유전 상수와 항복장은 비례 관계임을 확인할 수 있다. 도 11에 도시된 바와 같이, 유전 상수가 2에 가까운 다른 물질에 비해 비정질의 질화 붕소막(a-BN)의 항복장이 높음을 확인할 수 있다.

[0076] 도 12는 일 실시예에 따른 비정질의 질화 붕소막(a-BN)과 육방정계 질화 붕소막의 특성을 정리한 표이다. 도 12에 표시된 바와 같이, 비정질의 질화 붕소막(a-BN)은 100kHz 이하의 동작 주파수에서 유전 상수가 2이하임을 확인할 수 있다. 또한, 비정질의 질화 붕소막(a-BN)의 항복장은 7.3 MV-cm^{-1}로서, 육방정계 질화 붕소막보다 훨씬 크며, 633nm의 전자기파에 대한 반사계수도 2이하이다.

[0077] 앞서 설명한 바와 같은 전기적 특성과 유전 특성 때문에 비정질의 질화 붕소막(a-BN)은 층간 절연막으로 이용될 수 있다. 특히, 도전성 물질들 사이에서 층간 절연막으로 이용되는 경우 기생 용량을 줄일 수 있다.

[0078] 뿐만 아니라, 비정질의 질화 붕소막(a-BN)은 화학적으로 안정적이기 대문에 확산 배리어층(diffusion barrier)으로 이용될 수 있다.

[0079] 예를 들어, 로직 및 메모리 장치 중 BEOL(back end of line) CMOS 제조의 핵심 단계는, 금속 원자가 절연체로 이동하는 것을 방지하기 위해, 저유전율의 유전체와 금속 와이어 인터커넥트 사이에 확산 배리어를 증착하는 것이다. 이상적으로는, 저유전율 물질이 확산 배리어로서도 작용할 수 있다면, 별도의 확산 배리어를 증착할 필요가 없다. 일 실시예에 따른 비정질의 질화 붕소막(a-BN)은 저유전율이면서 항복장이 큰 바, 확산 배리어로 이용될 수 있을 것이다.

[0080] 도 13은 일 실시예에 따른 비정질의 질화 붕소막(a-BN)에 대한 열 확산 시험한 후의 ESD 라인 프로파일이다. Si 기판상에 3nm 두께를 갖는 비정질의 질화 붕소막(a-BN)을 형성하고, 일 실시예에 따른 비정질의 질화 붕소막(a-BN)에 80nm의 코발트 막을 증착시켰다. 그리고 나서 진공에서 600 ℃로 약 1 시간 동안 Co/a-BN/Si 소자를 어닐링하여 비정질의 질화 붕소막(a-BN)의 확산 배리어 특성을 테스트했다.

[0081] 도 13에 도시된 바와 같이, 두께의 높이에 따라 코발드 성분과 실리콘 성분이 분리되어 있음을 확인할 수 있다. 이는 코발트 성분이 실리콘이 있는 영역으로 확산되지 않음을 의미한다. 이는 비정질의 질화 붕소막(a-BN)이 확산 배리어 역할을 하고 있음을 알 수 있다.

[0082] 도 14는 비교예로서, TiN 층에 대한 열 확산 시험한 후의 단면 TEM 이미지과 ESD 라인 프로파일이다. 실리콘 기판상에 3nm 두께의 TiN층을 형성하고, TiN층에 80nm의 코발트 막을 증착시켰다. 그리고 나서 진공에서 600 ℃로 약 1 시간 동안 Co/TiN/Si 소자를 어닐링하였다. 그 결과, 도 14의 (i) 및 (ii) 에 도시된 바와 같이, 코발트 막에는 코발트가 분리되고, 분리된 코발트는 실리콘 기판으로 확산되었음을 확인할 수 있다.

[0083] 도 13 및 도 14의 결과로부터 비정질의 질화 붕소막(a-BN)은 일반적으로 확산 배리어로 이용되는 TiN층보다 금속의 확산을 방지하는 효과가 큼을 확인할 수 있다.

[0084] 도 15은 일 실시예에 따른 비정질의 질화 붕소막(a-BN)의 온도에 따른 항복 바이어스를 나타낸 결과이다. 비정

질의 질화 붕소막(a-BN)의 항복 바이어스는 온도에 반비례함을 알 수 있다. 온도가 높아질수록 항복 전압이 작아진다 하더라도, 비정질의 질화 붕소막(a-BN)은 TiN층의 항복 바이어스보다 큼을 확인할 수 있다. 이는 비정질의 질화 붕소막(a-BN)은 다양한 온도에서도 안정적임을 의미하며, 그 결과, 비정질의 질화 붕소막(a-BN)은 고성능 CMOS 전자 기기를 위한 우수한 저유전 물질이 될 수 있다.

[0085] 400℃ 이하의 저온에서 ICP-CVD(inductively coupled plasma-chemical vapour deposition) 공법으로 형성된 질화 붕소막은 비정질이고, 확산 배리어 기능을 수행할 수 있다. 그리고, 비정질의 질화 붕소막(a-BN)은 저유전율이고, 유사한 유전율을 갖는 물질에 비해 항복장이 크다. 비정질의 질화 붕소막(a-BN)은 400℃의 이하의 저온에서 생성되는데, 기판, 압력 등에 따라 공정 온도는 조절될 수 있다. 예를 들어, 기판이 질화 붕소막을 형성하는 촉매역할을 하는 경우, 400℃보다 낮은 예를 들어, 300℃에서 질화 붕소막을 형성할 수 있다.

[0086] 다음은 400℃보다 높은 온도에서 형성된 질화 붕소막에 대해 설명한다. 예를 들어, 약 10^{-4}Torr 의 공정 압력 및 약 700℃의 공정 온도에서 ICP-CVD(inductively coupled plasma-chemical vapour deposition) 공법으로 실리콘 기판상에 질화 붕소막을 성장시켰다.

[0087] 도 16a 내지 도 16c는 일 실시예에 따른 약 700℃에서 성장된 질화 붕소막의 원자 구조를 나타내는 도면이다. 도 16a는 약 700℃에서 성장된 질화 붕소막의 선택적인 영역 전자 회절에 대한 이미지이다. 도 16a에 도시된 이미지는 다결정 고리 패턴을 보여준다. 도 16b는 약 700℃에서 성장된 질화 붕소막의 고배율 TEM 이미지로서, 나노 크기의 작은 결정들이 배열되어 있음을 확인할 수 있다. 또한, 도 16c는 약 700℃에서 성장된 질화 붕소막에 대한 고속 푸리에 변환 결과를 나타낸 도면으로서, 육방형 상부 구조(superstructure)를 가지고 있음을 확인할 수 있다. 따라서, 약 400℃보다 높은 온도, 예를 들어 700℃에서 성장된 질화 붕소막은 나노 크기의 결정을 포함함을 확인할 수 있다.

[0088] 나노 결정의 질화 붕소막(nc-BN)은 앞서 설명한 도 3a 내지 도 3d에 도시된 바와 같이, 다공성이 아니기 때문에 기계적 강도가 좋다. 물론 나노 결정의 질화 붕소막(nc-BN)을 적용하는 장치에 따라 나노 결정의 질화 붕소막(nc-BN)에 하나 이상의 기공을 형성할 수 있다. 나노 결정의 질화 붕소막(nc-BN)에 기공을 형성함으로써 유전상수를 더 낮을 수 있다. 실시예에 따라 나노 결정의 질화 붕소막(nc-BN)의 기공에 다른 물질을 더 채울 수도 있다. 기공에 다른 물질이 채워진다 하더라고 나노 결정의 질화 붕소막(nc-BN)의 유전 상수가 크게 높아지지 않으면서 활용도를 높일 수 있다.

[0089] 도 17는 일 실시예에 따른 나노 결정의 질화 붕소막(nc-BN)에 대한 라만 스펙트럼 결과이다. 도 17에 도시된 바와 같이, 약 1370 cm^{-1}의 파장에서 SiO_2/Si로 구성된 기판 및 비정질의 질화 붕소막(a-BN)에는 피크가 존재하지 않는 반면, 약 1373 cm^{-1}의 파장에서 700℃에서 형성된 질화 붕소막인 실시예 2 및 육방정계 질화 붕소막(tri-hBN)에는 피크가 존재함을 확인할 수 있다. 이는 700℃에서 형성된 질화 붕소막은 결정성을 갖고 있음을 알 수 있다. 이하 나노 크기의 결정을 갖는 질화 붕소막을 나노 결정의 질화 붕소막(nc-BN) 이라고 칭한다.

[0090] 도 18은 일 실시예에 따른 나노 결정의 질화 붕소막(nc-BN)의 FTIR(Fourier transform infrared spectroscopy) 스펙트럼을 나타내는 결과이다. 입사각 60° 에서 s-편광을 이용하여 질화 붕소막에 대한 FTIR 스펙트럼을 측정하였다. 도 18에 도시된 바와 같이, 비정질의 질화 붕소막(a-BN)은 1370 cm^{-1} 근처에서 횡단 광학 모드(transverse optical mode)에 기인한 흡수 피크가 존재하지만, 1570cm-1 근처에서 흡수 피크가 존재하지 않음을 확인할 수 있다. 이는 일 실시예에 따른 나노 결정의 질화 붕소막(nc-BN)은 비정질 특성을 갖지 않음을 알 수 있다.

[0091] 도 19은 일 실시예에 나노 결정의 질화 붕소막(nc-BN)에 대한 XPS 프로파일을 나타내는 결과이다. 도 19에 도시된 바와 같이, 붕소의 1s에 대한 피크는 190.4eV이고, 질소의 1s에 대한 피크는 397.9eV임을 확인할 수 있다. 나노 결정의 질화 붕소막(nc-BN)과 비정질의 질화 붕소막(a-BN) 각각의 붕소의 1s 및 질소의 1s에 대한 피크가 거의 일치함을 확인할 수 있다. 도 19의 XPS 프로파일로부터 붕소와 질소의 원자비는 약 1: 1.08임을 확인할 수 있다.

[0092] 도 20은 일 실시예에 따른 나노 결정의 질화 붕소막(nc-BN)을 확산 배리어층으로 이용한 예를 도시한 도면이다. 실리콘 기판상에 700℃에서 질화 붕소막을 성장시키고, 질화 붕소막상에 50nm두께의 코발트막을 적층시켰다. 700℃에서 성장된 질화 붕소막은 나노 결정의 질화 붕소막(nc-BN)일 수 있다. 이후, 상술한 구조물을 600 ℃에서 1 시간 동안 진공 어닐링하였다. 도 20에 도시된 바와 같이, 실리콘 기판상에 매우 낮은 밀도의 바늘 형상의 코발트 실리사이드가 관찰되었다. 이는 나노 결정의 질화 붕소막(nc-BN)이 어닐링 조건에서도 확산 장벽의 기능

을 어느 정도 수행하였음을 확인할 수 있다.

[0093] 도 21는 일 실시예에 따라 나노 결정의 질화 붕소막(nc-BN)의 주파수별 유전 상수를 나타내는 그래프이다. 도 21에 도시된 바와 같이 동작 주파수가 50kHz 내지 1MHz 범위에서, 나노 결정의 질화 붕소막(nc-BN)은 2.5 이하의 유전 상수를 가짐을 확인할 수 있다. 예를 들어, 나노 결정의 질화 붕소막(nc-BN)은 2.3 내지 2.5 의 유전 상수를 가짐을 확인할 수 있다. 결정성의 육방정계 질화 붕소는 일반적으로 50MHz 내지 100kHz의 동작 주파수 범위에서 2.9 내지 3.8의 유전 상수를 나타내는 것에 비해 나노 결정의 질화 붕소막(nc-BN)은 2.5이하의 낮은 유전 상수를 가짐을 확인할 수 있다. 상기와 같이 나노 결정의 질화 붕소막(nc-BN)은 유전 상수가 낮기 때문에 층간 절연막으로 이용될 수 있다. 특히, 도전성 물질들 사이에서 층간 절연막으로 이용되는 경우 기생 용량을 줄일 수 있다.

[0094] 물론 비정질의 질화 붕소막(a-BN) 자체는 다공성이 아니다 할지라도 비정질의 질화 붕소막(a-BN)을 적용하는 장치에 따라 비정질의 질화 붕소막(a-BN)에 기공을 형성할 수 있다. 비정질의 질화 붕소막(a-BN)에 기공을 형성함으로써 유전 상수를 더 낮을 수 있다.

[0095] 비정질의 질화 붕소막(a-BN)은 약 6.00eV이하의 에너지 밴드 갭을 가질 수 있다. 일반적으로 3층의 육방정계의 질화 붕소막은 약 6.05eV의 에너지 밴드 갭을 갖는 반면, 400℃에서 성장한 질화 붕소막은 약 5.96eV의 에너지 밴드 갭을 가지며, 700℃에서 성장한 질화 붕소막은 약 5.85eV의 에너지 밴드 갭을 가짐을 확인하였다. 즉, 비정질 질화 붕소막 및 또는 나노 결정의 질화 붕소막(nc-BN)은 육방정계의 질화 붕소막보다 에너지 밴드갭이 낮다. 따라서, 비정질 질화 붕소막 및 또는 나노 결정의 질화 붕소막(nc-BN)은 화학적으로 안정적이다.

[0096] 도 22a는 약 400℃에서 성장된 질화 붕소막의 원자력 현미경(AFM) 이미지이고, 도 22b는 약 700℃에서 성장된 질화 붕소막의 원자력 현미경(AFM) 이미지이다. 도 22a에 도시된 바와 같이, 400℃에서 성장된 질화 붕소막(BN)의 표면 거칠기는 약 0.45nm임을 확인하였고, 도 22b에 도시된 바와 같이, 700℃에서 성장된 질화 붕소막의 표면 거칠기는 약 0.39nm임을 확인하였다. 비정질의 질화 붕소막(a-BN)의 표면은 매끄럽기 때문에 질화 붕소막(BN) 에 다른층의 형성이 용이함으로써 장치의 제조가 용이해진다.

[0097] 도 23은 일 실시예에 따른 확산 배리어층을 포함하는 다층 구조체(100)를 도시한 도면이다. 도 23에 도시된 바와 같이, 다층 구조체(100)는, 제1 물질층(110), 이와 이격된 제2 물질층(120) 및 이들 사이에 구비된 확산 배리어층(130)을 포함할 수 있다.

[0098] 제1 물질층(110)과 제2 물질층(120)은 서로 다른 물질로 구성될 수 있다. 확산 배리어층(130)은 제1 물질층(110)과 제2 물질층(120) 사이의 물질(원자)의 이동(확산)을 억제 또는 방지하는 역할을 할 수 있다. 확산 배리어층(130)은 앞서 기술한 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함할 수 있다. 이외에도 확산 배리어층(130)은 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 이외의 다른 물질을 더 포함할 수도 있다. 예를 들어, 확산 배리어층(130)은 이차원적 결정 구조를 갖는 금속 칼코게나이드계(metal chalcogenide-based) 물질과 그래핀을 포함할 수 있다. 또는, 확산 배리어층(130)은 Ti, Ta, TiN, TaN, TiSiN, WC, Co, MnN, Mn, 금속 실리사이드 등을 포함할 수 있다. 도 23의 제1 및 제2 물질층(110, 120) 중 하나는 도전 물질일 수 있고, 다른 하나는 반도체 물질일 수 있다. 또는, 제1 및 제2 물질층(110, 120) 중 하나는 도전 물질일 수 있고, 다른 하나는 절연 물질일 수 있다.

[0099] 예를 들어, 제1 물질층(110)은 절연층일 수 있고, 제2 물질층(120)은 도전층일 수 있다. 제1 물질층(110)은 실리콘 산화물, 실리콘 질화물, 실리콘 질산화물 등으로 형성되거나, 실리콘 질화물보다 높은 유전상수를 갖는 고유전 물질로 형성된 절연층일 수 있다. 또는, 제1 물질층(110)은 SiCOH 계 유기-무기 하이브리드 유기 절연 물질로 형성될 수도 있다. 일반적인 전자소자나 반도체소자에 사용되는 절연 물질이면 어느 것이든 제1 물질층(110)에 적용될 수 있다. 제2 물질층(120)은, 금속층이거나 금속화합물층일 수 있다. 이 경우, 확산 배리어층(130)은 제2 물질층(120)의 물질, 예컨대, 금속 원자가 제1 물질층(110)으로 이동/확산되는 것은 억제/방지하는 역할을 할 수 있다.

[0100] 도 24는 다른 실시예에 따른 확산 배리어층(210)을 포함하는 다층구조체(200)를 보여주는 단면도이다.

[0101] 도 24를 참조하면, 확산 배리어층(210)은 도전층(220)의 적어도 일면을 덮도록 구비될 수 있다. 예컨대, 확산 배리어층(210)은 도전층(220)의 측면 전체를 덮도록 구비될 수 있다. 도전층(220)은 금속이나 금속화합물로 형성된 층일 수 있다. 확산 배리어층(210)은 앞서 기술한 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함할 수 있다. 도시하지는 않았지만, 확산 배리어층(210)을 사이에 두고 도전층(220)과 접합된 다른 물질층이 더 구비될 수 있다. 다른 물질층은 반도체층이거나 절연층일 수 있다. 또한, 확

산 배리어층(210)과 도전층(220) 사이에 소정의 접착층이 더 구비될 수 있다. 도시하지 않았지만, 확산 배리어층은 도전성 물질층의 측면 전체를 감싸도록 구비될 수도 있다.

[0102] 도 25은 일 실시예에 따른 질화 붕소막을 포함하는 트랜지스터(300)를 나타내는 참조도면이다.

[0103] 도 25을 참조하면, 트랜지스터(300)는 기판(310), 기판(310) 상에 마련되며, 채널(320), 채널(320)에 전압을 인가하기 위해 마련되며, 서로 이격되어 배치되는 소스(332)과 드레인(334), 채널(320)에 전계를 형성하기 위해 마련되는 게이트(340) 및 채널(320)과 게이트(340) 사이에 마련되는 게이트 절연층(350)을 포함한다.

[0104] 기판(310)은 실리콘(Si), 실리콘-게르마늄, 실리콘 카바이드(SiC), 유리(glass), 플라스틱(plastic) 등의 물질로 구성될 수 있다. 또한, 기판(310)은 에피택셜 층, 실리콘-온-절연체(silicon-on-insulator, SOI)층, 반도체-온-절연체(semiconductor-on-insulator, SEOI)층 등을 포함할 수 있다.

[0105] 채널(320)은 제품 설계에 따른 적절한 반도체로 선택되어 형성될 수 있다. 예를 들어, 산화물 반도체, 유기물 반도체, 비정질 실리콘, 폴리-실리콘 등일 수 있다. 예를 들어, 산화물 반도체는 산화아연(ZnO)으로 형성되거나, 산화아연(ZnO)에 인듐(In), 갈륨(Ga), 하프늄(Hf), 스태늄(Sn) 등이 도핑된 InZnO(IZO), InGaZnO(IGZO), HfInZnO(HIZO) 등으로 형성될 수 있다.

[0106] 소스(332)과 드레인(334)은 채널(320)을 통하여 전기적으로 연결될 수 있다. 소스(332)과 드레인(334)은 도전성을 가지는 물질을 포함할 수 있으며, 예를 들어, 금속, 금속 합금, 전도성 금속 산화물 또는 전도성 금속 질화물 등으로 형성될 수 있다. 소스(332) 및 드레인(334)은 단층 또는 복층 구조로 형성할 수 있다.

[0107] 게이트(340)은 도전성을 가지는 물질을 포함할 수 있고, 금속, 금속 합금, 전도성 금속 산화물 또는 전도성 금속 질화물 등으로 형성할 수 있다. 또한, 게이트(340)은 불순물이 도핑된 반도체 물질로 형성될 수 있다.

[0108] 게이트 절연층(350)은 게이트(340)과 채널(320) 사이에 형성된다. 게이트 절연층(350)은 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 또는 나노 결정의 질화 붕소막(nc-BN)을 포함할 수 있다.

[0109] 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)은 배선 구조체의 일 구성요소로 이용될 수 있다. 배선 구조체의 프로세싱 및 구조들은 FEOL(front-end-of-line) 반도체 프로세싱 및 구조들, BEOL(back end of line) 반도체 프로세싱 및 구조들 또는 이들 둘 다에 적용될 수 있다.

[0110] FEOL은 반도체 기판 또는 층에 개별 디바이스들(예를 들어, 트랜지스터들, 커패시터들, 저항기들 등)이 패터닝되는 집적 회로(IC) 제조의일 부분이다. FEOL은 일반적으로 금속 인터커넥트 층들의 퇴적(그러나 이를 포함하지는 않음)까지 모든 것을 커버한다. 최종 FEOL 동작 후에, 결과는 전형적으로 격리된 트랜지스터들을 갖는(예를 들어, 어떠한 와이어도 없는) 웨이퍼일 수 있다.

[0111] BEOL은 개별 디바이스들(예를 들어, 트랜지스터들, 커패시터들, 저항기들 등)이 웨이퍼 상의 배선, 예를 들어, 금속화 층 또는 층들과 상호접속되는 IC 제조의 제2 부분이다. BEOL은 콘택들, 절연층들(유전체들), 금속 레벨들, 및 칩-대-패키지 접속들을 위한 본딩 사이트들을 포함할 수 있다. 제조 스테이지 콘택들(패드들)의 BEOL 부분에서, 인터커넥트 와이어들, 비아들 및 유전체 구조들이 형성될 수 있다. 최근 IC 프로세스들에서는, BEOL에서 10개 초과의 금속 층들이 추가될 수 있다.

[0112] 도 26은 일 실시예에 따른 배선 구조체(420)를 포함하는 반도체 장치(400)를 나타내는 참조도면이다.

[0113] 도 26을 참조하면, 반도체 장치(400)는 기판(410)과 이 기판(410)에 마련되는 배선 구조체(420)를 포함한다. 여기서, 배선 구조체(420)는 유전체층(422), 도전성 배선(424) 및 확산 배리어층(426)을 포함할 수 있다.

[0114] 기판(410)은 반도체 기판이 될 수 있다. 예를 들면, 기판(410)은 IV족 반도체 물질, III/V 족 반도체 화합물 또는 II/VI 족 반도체 화합물을 포함할 수 있다. 구체적인예로서, 기판(410)은 Si, Ge, SiC, SiGe, SiGeC, Ge Alloy, GaAs, InAs, InP 등을 포함할 수 있다. 하지만, 이는 단지 예시적인 것으로, 이외에도 다른 다양한 반도체 물질이 기판으로 사용될 수 있다.

[0115] 기판(410)은 단일층 또는 서로 다른 물질이 적층된 복수층을 포함할 수 있다. 기판은 예를 들면, SOI(Silicon-On-Insulator) 기판 또는 SGOI(Silicon Germanium-On-Insulator) 기판을 포함할 수 있다. 또한, 기판(410)은 도핑되지 않은(non-doped) 반도체 물질 또는 도핑된(doped) 반도체 물질을 포함할 수 있다.

[0116] 이 기판(410)에는 적어도 하나의 반도체 소자(미도시)가 포함될 수 있다. 여기서, 반도체 소자는 예를 들면, 트랜지스터(transistor), 커패시터(capacitor), 다이오드(diode) 및 저항기(resistor) 중 적어도 하나를 포함할

수 있다. 하지만, 이에 한정되는 것은 아니다.

[0117] 기판(410)에는 유전체층(422)이 형성되어 있다. 이 유전체층(422)은 단일층 구조 또는 서로 다른 물질들이 적층된 다층 구조를 가질 수 있다. 유전체층(422)은 일반적인 반도체 제조 공정에서 사용되는 유전물질을 포함할 수 있다. 예를 들면, 유전체층(422)은 실리콘 산화물, 질화물, 실리콘 질화물, 실리케이트 등을 포함할 수 있다. 하지만, 이는 단지 예시적인 것으로 이외에도 다른 다양한 유전 물질이 유전체층(422)으로 사용될 수 있다. 또한, 유전체층(422)은 SiCOH계 유무기 하이브리드 유전물질을 포함할 수도 있다. 또한, 유전체층(422)은 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)중 적어도 하나를 포함할 수도 있다. 유전체층(422)가 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)중 적어도 하나를 포함하는 경우, 후술하는 확산 배리어층(426)의 기능도 수행할 수 있는 바, 확산 배리어층(426)이 별도로 구비되지 않아도 무방하다.

[0118] 유전체층(422)에는 적어도 하나의 트렌치(422a)가 소정 깊이로 형성될 수 있다. 여기서, 적어도 하나의 트렌치(422a)는 기판(410)에 접촉하지 않도록 형성되거나 또는 기판(410)에 접촉하도록 형성될 수 있다. 도 26에는 유전체층(422)에 2개의 트렌치(422a)가 형성되어 있으며, 이 중에서 하나는 트렌치(422a)는 기판(410)에 접촉하지 않도록 형성되고 다른 하나는 트렌치(422a)는 기판(410)에 접촉하도록 형성된 경우가 도시되어 있다.

[0119] 도전성 배선(424)은 트렌치(422a)의 내부를 채우도록 마련되어 있다. 도전성 배선(424)은 전기전도도가 우수한 금속 또는 금속 합금을 포함할 수 있다. 예를 들면, 도전성 배선(424)은 Cu, Ru, Al, Co, W, Mo, Ti, Ta, Ni, Pt, Cr, Rh, Ir 또는 이들의 합금을 포함할 수 있다. 하지만, 이에 한정되는 것은 아니며, 다른 다양한 금속이 도전성 배선(424)으로 사용될 수 있다.

[0120] 트렌치(422a)의 내벽에는 확산 배리어층(426)이 마련되어 있다. 여기서, 확산 배리어층(426)은 유전체층(422)과 도전성 배선(424) 사이에서 도전성 배선(424)을 덮도록 마련될 수 있다. 구체적으로, 확산 배리어층(426)은 도전성 배선(424)의 측면 및 하면을 덮도록 트렌치(422a)의 내벽에 마련될 수 있다. 도전성 배선(424)의 상면은 확산 배리어층(426)에 의해 노출될 수 있다. 이러한 확산 배리어층(426)은 도전성 배선(424)을 이루는 물질의 확산을 방지하는 역할을 할 수 있다. 한편, 확산 배리어층(426)은 유전체층(422)과 도전성 배선(424) 사이의 접착층 역할을 추가적으로 할 수 있다. 확산 배리어층(426)은 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함할 수 있다.

[0121] 이외에도 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)은 다양한 전자 장치에서 확산 배리어층으로 활용될 수 있음은 물론이다. 전자 장치에 직접 질화 붕소층을 성장시킬 수도 있고, 기저 기판에 질화 붕소막을 성장시켜 전자 장치에 전사될 수도 있다.

[0122] 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)은 낮은 온도에서 성장하기 때문에 전자 장치의 일부 구성요소상에 직접 성장될 수 있다. 또한, 질화 붕소막의 표면 거칠기가 낮기 때문에 성장된 질화 붕소막(BN)상에 전자 장치의 다른 구성요소를 직접 적층시킬 수 있다.

[0123] 또한, 두 물질층 사이의 물질(또는 원자)의 이동(확산)을 억제 또는 성능이 우수하여 얇은 두께, 예를 들어, 5nm 이하의 두께로도 확산 배리어 기능을 수행할 수 있다. 그리하여, 집적회로(또는 트랜지스터)의 집적도를 높일 수 있다.

[0124] 한편, 반도체 소자들이 집적화됨에 따라 전도성 물질층 사이에 기생 커패시턴스가 발생한다. 상술한 기생 커패시턴스는 반도체 소자들의 신호 전달을 지연시키는 문제가 있다. 일 실시예에 따른 비정질의 질화 붕소 또는 나노 결정의 질화 붕소는 낮은 유전 상수를 갖는 바, 전도성 물질층 사이의 층간 절연막으로 이용됨으로써 기생 커패시턴스를 줄일 수 있다. 층간 절연막으로 이용되는 비정질의 질화 붕소막 및 나노 결정의 질화 붕소막의 두께는 약 5nm이상일 수 있다.

[0125] 또한, 비정질의 질화 붕소 또는 나노 결정의 질화 붕소는 저온 공정이 가능하여 전자 장치의 다른 물질을 훼손하지 않으면서 전자 장치의 물질층상에 직접 형성할 수 있다. 그리고, 비정질의 질화 붕소 또는 나노 결정의 질화 붕소는 표면 거칠기가 낮은 바, 다른 물질층을 순차적으로 적층할 수 도 있다. 상술한 반도체 소자들은 트랜지스터, 저항, 커패시터 등을 포함할 수 있다.

[0126] 도 27은 일 실시예에 따른 질화 붕소막을 포함하는 전계 효과 트랜지스터(500)를 도시한 도면이다. 도 27에 개시된 전계 효과 트랜지스터(500)는 기판(510) 상에 배치된 복수 개의 채널(520), 채널(520)과 접하는 소스(532) 및 드레인(534), 복수 개의 채널(520)과 이격 배치되는 복수 개의 게이트(540)을 포함한다.

[0127] 기판(510)은 절연성 기판일 수 있고, 또는, 표면에 절연층이 형성된 반도체 기판일 수 있다. 반도체 기판은 예

를 들면, Si, Ge, SiGe 또는 ^{2} 족 반도체 물질 등을 포함할 수 있다. 기판(510)은 예를 들어, 표면에 실리콘 산화물이 형성된 실리콘 기판일 수 있으며, 다만, 이에 한정되는 것은 아니다.

[0128] 기판(510) 상에, 소스(532) 및 드레인(534)이 제1 방향을 따라 이격 배치되고, 소스(532)과 드레인(534) 사이에 복수 개의 채널(520)이 제2 방향을 따라 이격 배치될 수 있다. 제1 방향은 X 방향, 제2 방향은 Y방향일 수 있다.

[0129] 복수 개의 게이트(540)는 채널(520) 각각과 이격 배치되며, 게이트(540)와 채널(520) 사이에는 게이트 절연막(550)이 배치될 수 있다. 예를 들어, 게이트 절연막(550)은 게이트(540)의 적어도 일부를 감싸도록 마련될 수 있다. 예를 들어, 제2 방향을 따라 게이트(540) 및 채널(520)이 교번적으로 배열되고, 게이트 절연막(550)은 게이트(540)를 둘러싸는 형태일 수 있다.

[0130] 게이트 절연막(550)은 채널(520)과 게이트(540) 사이를 절연하며, 누설 전류를 억제할 수 있다.

[0131] 채널(520) 각각과 소스(532), 드레인(534) 간의 컨택(contact)은 엣지 컨택 형태를 가질 수 있다. 예를 들어, 채널(520)의 양단 각각은 소스(532), 드레인(534)과 접촉한다.

[0132] 한편, 게이트(540) 각각은 소스(532) 및 드레인(534)과 이격 배치되며, 게이트(540)와 소스(532) 사이 및 게이트(540)와 드레인(534) 사이에는 스페이서(560)가 더 배치될 수 있다. 제1 방향으로 소스(532), 게이트(540) 및 드레인(534)이 배열되기 때문에 소스(532)과 게이트(540) 사이, 게이트(540)와 드레인(534) 사이에 기생 커패시턴스가 발생할 수 있다.

[0133] 기생 커패시턴스를 줄이기 위해, 일 실시예에 따른 스페이서(560)는 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함할 수 있다. 상술한 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)는 100kHz 동작 주파수에서 2.5이하의 유전 상수를 갖는 바, 기생 커패시턴스를 효과적으로 줄일 수 있다. 스페이서(560)은 일 실시예에 다른 질화 붕소막 이외에도 유전 상수가 낮은 물질이 더 포함될 수도 있다.

[0134] 또한, 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)는 다공성을 갖지 않고 기계적 강도를 갖는 바, 스페이서(560) 상층에 배치되는 채널(520)을 지지할 수 있다.

[0135] 실시예에 따른 전계 효과 트랜지스터(500)는 복수 개의 채널(520) 각각이 소스(532) 및 드레인(534)에 양단이 접하며 기판(510)으로부터 멀어지는 방향을 따라 이격되게 적층된 멀티 브릿지(multi-bridge) 형태를 가질 수 있다. 이러한 멀티 브릿지 형태의 채널은 쇼트 채널 효과(short channel effect)를 줄일 수 있고, 소스/드레인이 차지하는 면적을 줄일 수가 있기 때문에 고집적화에 유리하다. 또한, 채널의 위치에 관계없이 균일한 소스/드레인 접합 커패시턴스를 유지할 수 있기 때문에 고속 및 고신뢰성 소자로 적용될 수 있는 이점이 있다.

[0136] 게이트 절연막(550)은 고유전율의 물질인, high-k 유전 물질을 포함할 수 있다. 게이트 절연막(550)은 예를 들어, 알루미늄 산화물, 하프늄 산화물, 지르코늄 하프늄 산화물, 란타늄 산화물 등을 포함할 수 있다. 다만, 이에 한정되지는 않는다.

[0137] 게이트 절연막(550)은 강유전 물질 (ferroelectric material) 을 포함할 수 있다. 게이트 절연막(550)이 강유전 물질을 포함하는 경우, 전계 효과 트랜지스터(500)는 예를 들면, 로직 소자 또는 메모리 소자 등으로 적용될 수 있다. 게이트 절연막(550)이 강유전 물질을 포함하는 경우에는 음의 커패시턴스(negative capacitance) 효과에 의해 서브문턱 스윙(SS; subthreshold swing)을 낮출 수 있으므로, 전계 효과 트랜지스터(500)의 사이즈를 줄이면서 성능을 향상시킬 수 있다.

[0138] 강유전 물질은 결정화된 물질 구조에서 단위셀(unit cell) 내 전하 분포가 non-centrosymmetric 하여 자발적인 전기 쌍극자(electric dipole)를 가지며, 즉, 자발 분극(spontaneous polarization)을 갖는다. 따라서, 강유전 물질은 외부 전기장이 없는 상태에서도 dipole에 의한 잔류 분극(remnant polarization)을 갖는다. 또한, 외부 전기장에 의해 분극의 방향이 도메인 단위로 바뀔(switching) 수 있다. 이러한 강유전 물질은 예를 들면, Hf, Si, Al, Zr, Y, La, Gd 및 Sr 중에서 선택된 적어도 하나의 산화물을 포함할 수 있지만, 이는 예시적인 것이다. 또한, 필요에 따라 강유전 물질은 도펀트를 더 포함할 수도 있다.

[0139] 게이트 절연막(550)은 high-k 물질 및 강유전 물질을 포함하는 복층 구조를 가질 수도 있다. 게이트 절연막(550)은 실리콘 질화물 등과 같은 전하 구속 물질(charge trapping layer)를 포함함으로써 전계 효과 트랜지스터(500)는 메모리 특성을 가지는 메모리 트랜지스터로 동작할 수 있다.

[0140] 도 28는 일 실시예에 따른 질화 붕소막을 포함하는 수직형 전계 효과 트랜지스터(600)를 도시한 도면이다. 도 28에 도시된 전계 효과 트랜지스터(600)는 기판(610)에서 수직 방향으로 연장되는 채널(620)을 통해 전류가 수직 방향으로 흐르는 바, 수직 전계 효과 트랜지스터라고 칭할 수 있다. 도 28의 전계 효과 트랜지스터(600)는 기판(610), 채널(620), 소스(632), 드레인(634), 게이트(640), 게이트 절연층(650) 및 스페이서(660)를 포함할 수 았다.

[0141] 기판(610)은 예를 들어 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC 및/또는 InP와 같은 하나 이상의 반도체 물질을 포함할 수 있다. 몇몇 실시예에서, 기판(610)은 벌크 기판(bulk silicon substrate) 또는 SOI(silicon on insulator) 기판일 수 있다.

[0142] 채널(620)은 제1 방향 (예를 들어, X 축 방향)으로 서로 이격될 수 있다. 제1 방향은 기판(610)의 상면과 평행할 수 있다. 채널(620) 각각은 제2 방향 (예를 들어, Y축 방향)으로 기판(610)의 상면으로부터 돌출될 수 있다. 제2 방향은 기판(610)의 상면에 수직일 수 있다. 채널(620)을 형성하는 것은 기판(610) 상에 마스크층(미도시)을 형성하고, 마스크층을 식각 마스크로 이용하여 기판(610)을 식각하여 채널(620)을 형성하는 것을 포함할 수 있다.

[0143] 소스(632)는 기판(610)상에 배치될 수 있다. 소스(632)은 채널(620)의 일부 영역을 감싸면서 접할 수 있다. 소스(632)은 기판(610)을 시드층으로 이용하여 에피 택셜 성장 공정을 수행함으로써 형성될 수 있고, 에피 택셜 성장 공정 중에 불순물이 첨가될 수 있다. 그러나, 이에 한정되지 않는다. 소스(632)은 기판(610)에 불순물을 주입함으로써 형성될 수 있음도 물론이다. 또한, 소스(632)은 채널(620)의 측면과 접하게 배치된다고 하였으나, 이에 한정되지 않고, 채널(620)의 하면과 접하게 배치될 수도 있다.

[0144] 소스(632) 상에는 제1 스페이서(662)가 배치되고, 제1 스페이서(662) 상에는 게이트(640) 및 게이트 절연층(650)이 배치될 수 있다. 제1 스페이서(662)는 채널(620)의 측면 일부를 감싸도록 마련될 수 있고, 게이트(640)는 제1 스페이서(662)상에 배치되면서 채널(620)과 이격 배치될 수 있다. 게이트 절연층(650)은 제1 스페이서(662)상에 배치되면서 게이트(640)와 채널(620) 사이를 배치될 수 있다. 게이트 절연층(650) 및 게이트(640)도 제1 스페이서(662)상에서 수직으로 연장될 수 있다.

[0145] 게이트(640) 및 게이트 절연층(650)상에는 제2 스페이서(664)가 배치될 수 있으며, 제2 스페이서(664)는 채널(620)의 측면 일부를 감싸도록 마련될 수 있다.

[0146] 그리고, 드레인(634)이 채널(620)상에 형성될 수 있다. 드레인(634)이 채널(620)을 시드층으로 이용하는 에피 택셜 성장 공정에 의해 형성될 수 있다. 드레인(634)은 제2 스페이서(664)의 적어도 일부의 영역을 덮도록 배치될 수 있다.

[0147] 제1 및 제2 스페이서(662, 664)는 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함할 수 있다. 상술한 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)은 유전 상수가 낮은 바, 기생 커패시턴스를 줄일 수 있다. 제1 및 제2 스페이서(662, 664)는 일 실시예에 다른 질화 붕소막 이외에도 유전 상수가 낮은 물질이 더 포함될 수도 있다.

[0148] 또한, 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)은 다공성을 갖지 않고 기계적 강도를 갖는 바, 제1 스페이서(662)는 게이트(640) 및 게이트 절연층(650)을 지지하며, 제2 스페이서(664)는 드레인(634)를 지지할 수 있다.

[0149] 또한, 제1 스페이서(662)는 소스(632)을 형성한 후 형성되고, 제2 스페이서(664)는 게이트(640) 및 게이트 절연층(650)을 형성한 후 형성된다. 낮은 온도에서 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)을 형성함으로써 제1 및 제2 스페이서(662, 664)를 형성하는 바, 소스(632), 게이트(640)를 손상시키지 않을 수 있다.

[0150] 도 28는 채널(620)의 하측에 소스(632)를 형성하고, 채널의 상측에 드레인(634)를 형성한다고 하였으나, 이에 한정되지 않는다. 채널(620)의 하측에 드레인을 형성하고, 채널의 상측에 소스를 형성할 수 있음도 물론이다.

[0151] 도 29는 일 실시예에 따른 질화 붕소막을 포함하는 핀 타입 트랜지스터(700)를 도시한 도면이다. 도 29의 핀 타입 트랜지스터(700)는 기판(710) 상에 돌출된 핀 구조물(fin structure)을 가지는 입체형 트랜지스터이다. 이러한 핀 타입 트랜지스터(700)는 돌출된 핀 구조물(722, 724)을 채널(720)로 이용할 수 있기 때문에 채널 길이를 충분히 확보할 수 있다. 따라서, 단 채널 효과(short channel effect)를 방지 또는 최소화할 수 있으며, 누설 전류의 발생 및 면적 문제를 개선할 수 있다.

[0152] 트랜지스터(700)는 기판(710), 활성 핀(722), 더미 핀(724), 게이트(740), 게이트 절연층(750) 및 스페이서(760)를 포함할 수 있다. 도면에는 도시되어 있지 않지만, 활성 핀(722)의 양단 각각은 소스 및 드레인에 전기적으로 연결되어 있다. 채널으로서 제2 활성 핀을 도시하였으나, 활성 핀의 개수는 이에 한정되지 않는다.

[0153] 기판(710)은 반도체 기판일 수 있는데, 예를 들어, 반도체 기판은 실리콘, 실리콘-온-절연체(Silicon-On-Insulator, SOI), 실리콘-온-사파이어(Silicon-On-Sapphire), 게르마늄, 실리콘-게르마늄 및 갈륨 비소(gallium-arsenide) 중 어느 하나를 포함할 수 있다.

[0154] 활성 핀(722) 및 더미 핀(724)은 기판(710)과 연결되게 배치될 수 있다. 일 실시예에서, 활성 핀(722)은 기판(710)에서 수직 부분으로 돌출된 부분을 n+ 또는 p+로 도핑한 활성 영역일 수 있고, 더미 핀(724)은 기판(710)에서 수직 부분으로 돌출된 부분을 도핑하지 않은 영역일 수 있다. 다른 실시예에서, 활성 핀(722) 및 더미 핀(724) 모두 n+ 또는 p+로 도핑한 활성 영역일 수도 있다.

[0155] 활성 핀(722)의 각각은 너비및 높이를 가질 수 있으며, 활성 핀들의 너비 및 높이가 채널층의 너비 및 높이를 결정할 수 있다. 채널의 너비 및 높이는 활성핀의 개수에 의해 증가할 수 있다.

[0156] 게이트 절연층(750)은 활성 핀(722) 및 더미 핀(724) 상에 배치될 수 있다. 게이트 절연층(750)은 산화막, 질화막 또는 산질화막 중 어느 하나를 포함할 수 있다.

[0157] 스페이서(760)는 활성 핀(722) 및 더미 핀(724) 사이의 공간에서 소정 높이를 가지도록 배치될 수 있다. 스페이서(760)는 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함함으로써 유전 상수가 낮은 물질로 형성될 수 있다. 스페이서(760)은 일 실시예에 따른 질화 붕소막 이외에도 유전 상수가 낮은 유전 물질을 더 포함할 수 있다. 스페이서(760)는 활성 핀(722) 및 더미 핀(724) 사이에 배치됨으로써, 소자 분리막으로 이용될 뿐만 아니라 기생 커패시턴스를 줄일 수 있다.

[0158] 게이트(740)은 게이트 절연층(750) 및 스페이서(760)의 상부에 배치될 수 있다. 이로써, 게이트(740)은 활성 핀(722), 더미 핀(724) 및 스페이서(760)를 둘러싸는 구조를 가질 수 있다. 다시 말해, 활성 핀(722) 및 더미 핀(724)은 게이트(740)의 내부에 배치되는 구조를 가질 수 있다. 게이트(740)은 W, Ta 등과 같은 금속 물질, 이들의 질화물, 이들의 실리사이드, 도핑된 폴리실리콘 등을 포함할 수 있고, 증착 공정을 이용하여 형성될 수 있다.

[0159] 일 실시예에 따른 낮은 유전 상수의 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막 트랜지스터 이외에도 다양한 전자 장치에 이용될 수 있다.

[0160] 도 30a 및 도 30b는 일 실시예에 따른 질화 붕소막을 포함하는 디스플레이 장치(800)의 일부를 도시한 도면이다. 도 30a는 일 실시예에 따른 질화 붕소를 포함하는 디스플레이 장치(800)의 일부를 도시한 도면이고, 도 30b는 도 30a의 A-A' 선 및 B-B'선에 따라 절단한 단면도이다.

[0161] 도 30a 및 도 30b를 참조하면, 절연 기판(810) 상에는 게이트 신호를 전달하는 게이트 배선(822, 824)이 형성되어 있다. 게이트 배선(822, 824)은 일 방향 예컨대, 가로 방향으로 뻗어 있는 게이트선(822)과, 게이트선(822)에서 돌기 형태로 돌출되어 형성된 박막 트랜지스터의 게이트(824)을 포함한다.

[0162] 또한, 절연 기판(810) 상에는 스토리지 전압을 전달하는 스토리지 배선(828, 829)이 형성되어 있다. 스토리지 배선(828, 829)은 화소 영역을 가로질러 게이트선(822)과 실질적으로 평행하게 형성된 스토리지선(828)과, 스토리지선(828)으로부터 분지되어 데이터선(862)과 평행하게 연장된 스토리지 전극(829)을 포함한다.

[0163] 스토리지 전극(829)은 데이터선(862)을 따라 형성된 사각 링(ring) 형태로 형성될 수 있다. 즉, 스토리지 전극(829)의 중심부에는 개구 영역이 형성되어 데이터선(862)이 위치하며, 스토리지 전극(829)의 링부분은 화소 전극(880)과 적어도 일부가 중첩한다.

[0164] 스토리지 전극(829) 및 스토리지선(828)의 모양 및 배치 등은 다양한 형태로 변형될 수 있으며, 화소 전극(880)과 게이트선(822)의 중첩으로 발생하는 스토리지 커패시턴스(storage capacitance)가 충분할 경우 스토리지 전극(829) 및 스토리지선(828)은 형성되지 않을 수도 있다.

[0165] 게이트 배선(822, 824) 및 스토리지 배선(828, 829)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(822, 824) 및 스토리지 배선(828, 829)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다중막 구조

를 가질 수 있다. 이 중 한 도전막은 게이트 배선(822, 824) 및 스토리지 배선(828, 829)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 산화 아연(ZnO), ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막, 알루미늄 하부막과 몰리브덴 상부막, 및 티타늄 하부막과 구리 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(822, 824) 및 스토리지 배선(828, 829)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0166] 절연 기판(810), 게이트 배선(822, 824) 및 스토리지 배선(828, 829) 상에는 게이트 절연막(830)이 형성되어 있다. 게이트 절연막(830)은 산화 규소(SiOx), 질화 규소(SiNx) 또는 산질화 규소(SiON) 등으로 형성될 수 있다. 구체적으로, 게이트 절연막(830)은 단일층 또는 다중층으로 형성될 수 있으며, 다중층으로 형성될 경우 질화 규소와 산화 규소가 적층된 구조를 가질 수 있다. 이 때, 산화물 반도체층 패턴(842)과 접하는 영역에는 산화 규소 층으로 게이트 절연막(830)을 형성하고, 산화 규소 층의 하부에는 산화 질소 층이 배치될 수 있다. 산화물 반도체층 패턴(842)에 산화 규소 층이 접할 경우 산화물 반도체층 패턴(842)의 열화를 방지할 수 있다. 게이트 절연막(830)을 산질화 규소 층으로 형성하는 경우, 산질화 규소 층 내에서 산소 농도 분포를 가지게 할 수도 있다. 이 경우에도 산소 농도가 산화물 반도체층 패턴(842)과 인접할수록 높아지게 함으로써, 산화물 반도체층 패턴(842)의 열화를 방지할 수 있다.

[0167] 게이트 절연막(830) 상에는 박막 트랜지스터의 채널 형성을 위한 산화물 반도체층 패턴(842)이 형성되어 있다. 채널 영역은 게이트(824)과 중첩되어 있는 산화물 반도체층 패턴(842)에 의해 형성된다. 본 실시예에서 산화물 반도체층 패턴(842)은 채널 영역을 제외하고는 후술할 데이터 배선(862,865, 866)과 실질적으로 동일한 형상을 갖도록 형성되어 있다. 이는 후술할 본 실시예의 박막 트랜지스터 기판 제조 과정에서, 산화물 반도체층 패턴(842)과 데이터 배선(862,865, 866)을 하나의 식각 마스크를 이용하여 패터닝하기 때문이다. 다시 말하면, 산화물 반도체층 패턴(842)은 채널 영역에 형성되어 있다는 점을 제외하면 데이터 배선(862,865, 866)과 동일한 형상을 갖는다.

[0168] 산화물 반도체층 패턴(842)은 예를 들어, AxBxOx 또는 AxBxCxOx로 표현되는 화학식을 갖는 화합물을 포함한다. A는 Zn 또는 Cd, B는 Ga, Sn 또는 In, C는 Zn, Cd, Ga, In, 또는 Hf를 포함한다. X는 O이 아니며, A, B 및 C는 서로 다르다. 또 다른 실시예에 따르면, InZnO, InGaO, InSnO, ZnSnO, GaSnO, GaZnO, GaZnSnO, GaInZnO, HfInZnO 및 ZnO로 이루어진 군으로부터 선택된 어느 하나의 물질을 포함할 수 있다. 이러한 산화물 반도체는 수소화 비정질 규소에 비하여 전하의 유효 이동도(effective mobility)가 2 내지 100배 정도로 뛰어난 반도체 특성을 갖고 있다.

[0169] 산화물 반도체층 패턴(842) 상에는 식각 방지 패턴(852)이 형성되어 있다. 여기서, 식각 방지 패턴(852)은 게이트(824)과 소스/드레인 전극(865, 866)이 중첩되는 박막 트랜지스터 영역, 게이트 선(822)과 데이터 선(862)이 오버랩되는 영역(이하, 제1 오버랩 영역이라 함, 도 1의 도면부호 '01' 참조) 및 스토리지 배선(828, 829)과 데이터선(862)이 오버랩되는 영역(이하, 제2 오버랩 영역이라 함, 도 1의 도면부호 '02' 참조)에 각각 형성된다.

[0170] 박막 트랜지스터 영역에 형성된 식각 방지 패턴(852)은 후속하는 에칭 공정이나 증착 공정시 플라즈마(plasma), 에칭액 또는 에칭 가스에 의해 산화물 반도체층 패턴(842)이 손상되는 것을 방지하기 위한 것이다. 산화물 반도체층 패턴(842)이 플라즈마, 에칭액 또는 에칭 가스 등에 손상을 받으면 박막 트랜지스터의 성능이 크게 저하될 수 있기 때문이다. 이에 따라, 박막 트랜지스터 영역에 형성된 식각 방지 패턴(852)은 산화물 반도체층 패턴(842)을 덮되, 특히 채널 영역을 덮을 수 있을 정도로 형성된다. 즉, 산화물 반도체층 패턴(842)이 채널 영역에서 노출되는 것을 방지하기 위해, 채널 영역과 중첩되는 영역에 채널 영역보다 채널의 길이 방향으로 더 넓게 형성될 수 있다

[0171] 반면, 제1 오버랩 영역(01)에 형성된 식각 방지 패턴(852)은 제1 오버랩 영역(01)에서 게이트 선(822)과 데이터 선(862) 사이에 발생하는 캐패시턴스를 감소시키기 위한 것이고, 제2 오버랩 영역(02)에 형성된 식각 방지 패턴(852)은 제2 오버랩 영역(02)에서 스토리지 배선(828, 829)과 데이터 선(862) 사이에 발생하는 캐패시턴스를 감소시키기 위한 것이다. 게이트 선(822)과 데이터 선(862) 사이에 발생하는 캐패시턴스 또는 스토리지 배선(828, 829)과 데이터 선(862) 사이에 발생하는 캐패시턴스는 RC 지연의 원인이 되기 때문이다. 따라서, 식각 방지 패턴(852)은 제1 오버랩 영역(01) 및 제2 오버랩 영역(02)의 산화물 반도체층 패턴(842) 상에 형성된다.

[0172] 이와 같은 식각 방지 패턴(852)은 절연 물질로 이루어지며, 예를 들어, SiOx 및 SiNx로 이루어진 군으로부터 선택된 어느 하나의 물질을 포함할 수 있다.

[0173] 게이트 절연막(830), 산화물 반도체층 패턴(842) 및 식각 방지 패턴(852) 위에는 데이터 배선(862,865, 866)이 형성되어 있다. 데이터 배선(862,865, 866)은 게이트선(822)과 다른 방향 예컨대, 세로 방향으로 형성되어 게이트선(822)과 교차하여 화소를 정의하는 데이터선(862)과, 데이터선(862)으로부터 가지(branch) 형태로 분지되어 박막 트랜지스터 영역의 산화물 반도체층 패턴(842) 및 식각 방지 패턴(852)의 상부까지 연장되어 있는 소스 전극(865)과, 소스 전극(865)과 이격되고 게이트(824)을 중심으로 소스 전극(865)과 대향하도록 박막 트랜지스터 영역의 산화물 반도체층 패턴(842) 및 식각 방지 패턴(852)의 상부에 형성되어 있는 드레인 전극(866)을 포함한다.

[0174] 식각 방지 패턴(852)은 소스 전극(865) 및 드레인 전극(866) 사이로 적어도 일부가 노출된다. 식각 방지 패턴(852), 소스 전극(865) 및 드레인 전극(866)의 하부에는 산화물 반도체층 패턴(842)이 배치된다. 즉, 산화물 반도체층 패턴(842)은 식각 방지 패턴(852), 소스 전극(865) 및 드레인 전극(866)과 완전히 중첩된다. 전술한 바와 같이, 소스 전극(865) 및 드레인 전극(866)은 채널 영역과 중첩된 분리 영역을 제외하고는 산화물 반도체층 패턴(842)과 실질적으로 동일한 형상을 갖는다.

[0175] 이러한 데이터 배선(862,865, 866)은 Ni, Co, Ti, Ag, Cu, Mo, Al, Be, Nb, Au, Fe, Se, W, Ru, 또는 Ta 등으로 이루어진 단일막 또는 다중막 구조로 형성될 수 있다. 또한 금속에 Ti, Zr, W, Ta, Nb, Pt, Hf, O, C, N에서 선택된 하나이상의 원소가 포함된 합금도 적용 가능하다. 다중막 구조의 예로는 Ti/Cu, Ta/Al, Ta/Al, Ni/Al, Co/Al, Mo(Mo 합금)/Cu 등과 같은, 이중막 또는 Mo/Al/Mo, Ti/Al/Ti, Ta/Al/Ta, Ti/Al/TiN, Ta/Al/TaN, Ni/Al/Ni, Co/Al/Co 등과 같은 삼중막을 들 수 있다. 다만, 데이터 배선(862,865, 866)이 상술한 물질로 제한되는 것은 아니다.

[0176] 식각 방지 패턴(852) 상부에는 저유전 물질(low-k dielectric material) 패턴(858)을 더 포함한다. 저유전 물질 패턴(858)은 식각 방지 패턴(852)과 실질적으로 동일한 형상을 갖도록 형성될 수 있다.

[0177] 저유전 물질 패턴(858)은 실리콘 질화막에 비하여 낮은 유전 상수를 갖는 물질, 즉 상대 유전율이 3보다 작은 저유전 물질로 형성될 수 있다. 상술한 저유전 물질 패턴(858)는 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함할 수 있다.

[0178] 식각 방지 패턴(852) 상부에 저유전 물질 패턴(858)을 더 형성하는 것은 제1 오버랩 영역(O1)에서 게이트 선(822)과 데이터 선(862) 사이에 발생하는 캐패시턴스와 제2 오버랩 영역(O2)에서 스토리지 배선(828, 829)과 데이터 선(862) 사이에 발생하는 캐패시턴스를 더욱 감소시키면서 공정 시간을 단축하기 위함이다.

[0179] 즉, 식각 방지 패턴(852)의 두께 및 저유전 물질 패턴(858)의 두께의 합이 클수록 제1 오버랩 영역(O1)에서 게이트 선(822)과 데이터 선(862) 사이에 발생하는 캐패시턴스와 제2 오버랩 영역(O2)에서 스토리지 배선(828, 829)과 데이터 선(862) 사이에 발생하는 캐패시턴스가 더욱 감소된다.

[0180] 또한, 식각 방지 패턴(852)의 두께에 비하여 저유전 물질 패턴(858)의 두께가 더 큰 값을 갖는 것이 바람직하며, 이에 따라 공정 시간을 단축할 수 있다.

[0181] 본 실시예에서는 식각 방지 패턴(852) 상부에 저유전 물질 패턴(858)이 적층된 구조에 대하여 설명하였으나, 본 발명이 이에 한정되는 것은 아니며 적층 순서는 뒤바뀌어도 무방하다. 즉, 저유전 물질 패턴(858) 상부에 식각 방지 패턴(852)이 적층될 수도 있다.

[0182] 데이터 배선(862,865, 866) 및 이에 의해 노출된 식각 방지 패턴(852) 상부에는 보호막(870)이 형성되어 있다. 보호막(870)은 게이트 절연막(830)과 마찬가지로, 산화 규소(SiOx), 질화 규소(SiNx) 또는 산질화 규소(SiON) 등으로 형성될 수 있다. 일 실시예에 따르면, 보호막(870)은 질화 규소(SiNx) 및 산화 규소(SiOx)를 포함하는 이중층을 포함할 수 있다.

[0183] 보호막(870)에는 드레인 전극(866)의 일부를 노출시키는 컨택홀(875)이 형성되어 있다.

[0184] 보호막(870) 상에는 컨택홀(875)을 통하여 드레인 전극(866)과 전기적으로 연결되는 화소 전극(880)이 형성되어 있다. 화소 전극(880)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전체 또는 알루미늄 등의 반사성 도전체로 이루어질 수 있다.

[0185] 데이터 전압이 인가된 화소 전극(880)은 박막 트랜지스터 기판과 대향하는 상부 기판의 공통 전극과 함께 화소 영역(미도시)에서의 광 방출을 제어할 수 있다.

[0186] 도 31은 일 실시예에 따른 질화 붕소막을 포함하는 낸드 플래시 메모리 소자(900)를 도시한 도면이다. 낸드 플

래시 메모리 소자의 메모리 셀은 기판(910)상에 3차원으로 배열될 수 있다.

[0187] 기판(910)은 Si 단결정 기판, 화합물 반도체 기판, SOI(silicon on insulator) 기판(910) 및 변형된(strained) 기판과 같은 반도체 기판(910)일 수 있다. 일 실시예에서, 3차원 낸드 플래시 메모리 셀의 하부에 정의되는 주변회로 영역에 반도체 층이 형성될 수 있으며, 반도체 층 자체가 기판(910)일 수도 있다. 본 발명의 실시예는 이에 한정되는 것은 아니며, 예를 들면, 다른 실시예에서, 기판(910)은 세라믹 기판(910) 또는 플렉시블 소자를 구현하기 위한 고분자 기판, 또는 심지어 패브릭층일 수도 있다. 기판에는 도핑에 의한 불순물 영역(미도시) 또는 도전막(미도시)과 같은 배선이 제공될 수 있다

[0188] 기판(910)상에서는 기판(910)과 수평한 방향(예를 들어, 제1 방향(X)과 제2 방향(Y))으로 이격 배치되는 복수개의 반도체 구조체(920)가 배열될 수 있다. 반도체 구조체(920)는 금속 산화물을 포함할 수 있다. 상술한 금속 산화물은 산소 공공을 포함할 수 있으며, 이러한 산소 공공은 반도체 구조체(920)에 깊이 방향으로 국지적으로 형성될 수 있다. 반도체 구조체(920)는 금속 산화물을 구성하는 금속 원소와 산소 원자 사이의 공유 결합 및 이온 결합 중 적어도 하나를 가질 수 있다. 금속 원소는 아연, 니켈, 니오븀, 티타늄, 지르코늄, 하프늄, 바나듐, 몰리브데늄, 마그네슘, 코발트, 철, 구리, 알루미늄, 망간 또는 이들의 조합을 포함할 수 있다. 예를 들면, 금속 산화물은 아연 산화물일 수 있다. 또한, 금속 산화물에는, 인듐 또는 갈륨과 같은 불순물 원소가 금속 산화물에 도핑될 수 있다. 예를 들면, 금속 산화물은 인듐-갈륨-아연 산화물(IGZO)을 포함할 수 있다. 금속 산화물은 다결정 구조, 비정질 구조, 나노 결정립이 분산된 구조 또는 이들이 혼합된 구조를 가질 수 있다. 예를 들면, 금속 산화물은 비정질 구조이거나 비정질 구조 내에 나노 결정립이 분산된 구조를 가질 수 있다.

[0189] 복수 개의 반도체 구조체(920) 각각은 기판(910)과 수직한 방향으로 서로 다른 도펀트가 도핑된 반도체층이 교번적으로 배열될 수 있다. 예를 들어, 제3 방향으로 n형 도펀트가 도핑된 제1 도핑층(922)과 p형 도펀트가 도핑된 제2 도핑층(924)이 교번적으로 배열된 것으로 도시되어 있으나, 이에 한정되지 않는다.

[0190] 기판(910)을 기준으로 제1 방향으로 이웃하는 반도체 구조체(920) 사이에는 게이트 구조체(930)가 배치될 수 있다. 게이트 구조체(930)는 절연층(932)과 게이트(934)가 기판(910)과 수직한 방향, 예를 들어, 제3 방향(Z 방향)으로 교번적으로 배열될 수 있다. 게이트 구조체(930)의 절연층(932) 및 게이트(934)는 반도체 구조체(920)의 제1 도펀트가 도핑된 제1 도핑층(922)과 제2 도펀트가 도핑된 제2 도핑층(924)과 일대응되게 배열될 수 있다. 예를 들어, 절연층(932)은 n형 도핑된 제1 도핑층(922)과 나란하게 배열되고, 게이트(934)는 p형 도핑된 제2 도핑층(924)과 나란하게 배열될 수 있다.

[0191] 게이트 구조체(930)와 반도체 구조체(920)사이에는 정보 저장막(940)이 더 배치될 수 있다. 정보 저장막(940)은 게이트 구조체(930)를 감싸며 인접하는 메모리셀간 분리되어 개별화될 수 있다. 정보 저장막(940)은 반도체 구조체(920)상의 전하 차단막(942), 전하 차단막(942)상의 데이터 저장막(944) 및 데이터 저장막(944)상의 블로킹 절연막(946)을 포함할 수 있다.

[0192] 전하 차단막(942)은 SiO2, Si3N4, SiON, HfO2, HfSiO, Al2O3 및 ZrO2로 이루어지는 군에서 선택되는 어느 하나, 또는 이들의 조합을 포함할 수 있다. 데이터 저장막(944)은 유전체 매트릭스 및 유전체 매트릭스 내에 분산된 실리콘 나노 결정(NC)을 포함할 수 있다. 유전체 매트릭스는 SiO2, SiON, Si3N4, SRN(Si rich nitride), HfO2, HfSiO, HfSiON, HfON, HfAlO, Al2O3 및 AlN으로 이루어지는 군에서 선택되는 적어도 하나의 유전체 재료를 포함할 수 있다. 블로킹 절연막(946)은 Al2O3, SiO2, HfO2, ZrO2, Ta2O5, LaO, LaAlO, LaHfO 및 HfAlO로 이루어지는 군에서 선택되는 어느 하나, 또는 이들의 조합을 포함할 수 있다.

[0193] 데이터 저장막(944)의 유전체 매트릭스, 전하 차단막(942) 및 블로킹 절연막(946)에 대한 전술한 재료들은 예시적이며 다른 공지의 재료들이 채용될 수 있다. 예를 들면, 정보 저장막(940)은 게이트(934)-게이트 절연막(932)-블로킹 절연막(946)-데이터 저장막(944)-전하 차단막(942)-기판(910)의 적층 순서로, SONOS(polysilicon-silicon dioxide-silicon nitride-silicon dioxide-Silicon) 구조, SANOS(polysilicon-alumina-silicon nitride-silicon dioxide-Silicon) 구조, TANOS(Tantalum or titanium nitride-alumina-silicon nitride-silicon dioxide-Silicon) 구조, MANOS(metal-alumina-silicon nitride-silicon dioxide-Silicon) 구조, 또는 Be-MANOS(metal-alumina-silicon nitride-Band engineered oxide-Silicon) 구조와 같은 다양한 재료의 적층 구조를 가질 수 있다. 그러나, 이들 정보 저장막(940)의 각 재료들은 예시적일 뿐 다른 후보 물질들이 적용될 수 있음은 자명하다.

[0194] 낸드 플래시 메모리 소자는 선택 소자(901)와 스트링 소자(902)로 구분될 수 있으며, 게이트 구조체(930)의 하단 또는 게이트 구조체(930)의 상단을 포함하는 영역이 선택 소자(901)가 될 수 있고, 게이트 구조체(930)의 중

간을 포함하는 영역이 스트링 소자(902)가 될 수 있다.

[0195] 예를 들어, 반도체 구조체(920)의 최하단에 배치된 p형 도핑된 제2 도핑층(924), 상술한 제2 도핑층(924)과 이웃하는 한 쌍의 n형 도핑된 제1 도핑층(922), p형 도핑된 제2 도핑층(924)에 대응하는 게이트(934) 및 제2 도핑층(924)과 게이트(934) 영역 사이의 정보 저장막(940)이 선택 소자(901)가 될 수 있다. 반도체 구조체(920)의 최하단에 배치된 제2 도핑층(924)은 채널 영역으로 기능하고, 제2 도핑층(924)과 이웃하는 한 쌍의 n형 도핑된 제1 도핑층(922) 각각은 소스/드레인이 될 수 있다.

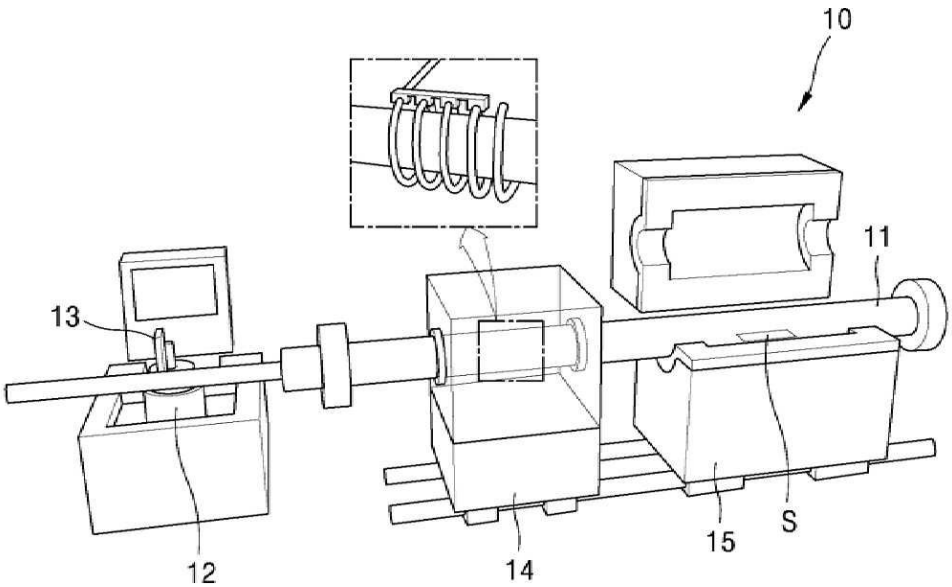
[0196] 반도체 구조체(920)의 가운데 영역에 배치된 p형 도핑된 제2 도핑층(924), 상술한 제2 도핑층(924)과 이웃하는 한 쌍의 n형 도핑된 제1 도핑층(922), p형 도핑된 제2 도핑층(924)에 대응하는 게이트(934) 및 제2 도핑층(924)과 게이트(934) 영역 사이의 정보 저장막(940)이 스트링 소자(902)가 될 수 있다. 반도체 구조체(920)의 가운데 영역에 배치된 제2 도핑층(924)은 채널로 기능하고, 제2 도핑층(924)과 이웃하는 한 쌍의 n형 도핑된 제1 도핑층(922) 각각은 소스/드레인이 될 수 있다.

[0197] 기판(910)을 기준으로 제2 방향으로 이웃하는 반도체 구조체(920) 사이에는 스페이서(960)가 배치될 수 있다. 스페이서(960)는 이웃하는 메모리 스트링들을 전기적으로 분리할 수 있다. 스페이서(960)는 일 실시예에 따른 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN) 중 적어도 하나를 포함하는 절연 물질일 수 있다. 비정질의 질화 붕소막(a-BN) 및 나노 결정의 질화 붕소막(nc-BN)은 저유전 물질이기 때문에 이웃하는 메모리 스트링의 전기적 특성을 절연시킬 뿐만 아니라 기생 커패시턴스의 생성을 줄일 수 있다. 스페이서(960)은 일 실시예에 따른 질화 붕소막 이외에도 유전 상수가 낮은 유전 물질을 더 포함할 수도 있다.

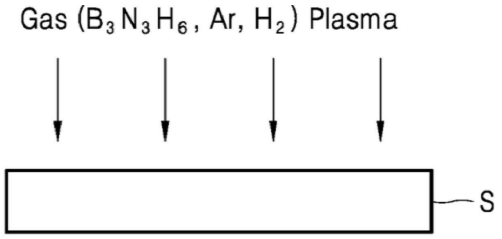
[0198] 이상에서는 유전 상수가 낮은 질화 붕소막의 실시예에 대하여 도시하고 설명하였지만, 본 실시예는 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안될 것이다.

도면

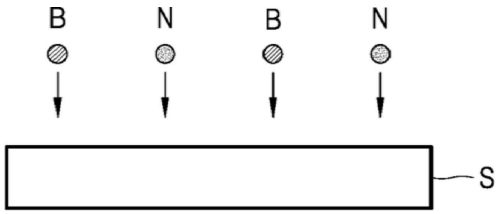
도면1



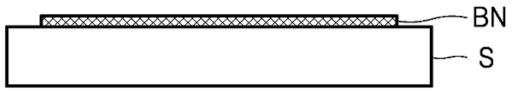
도면2a



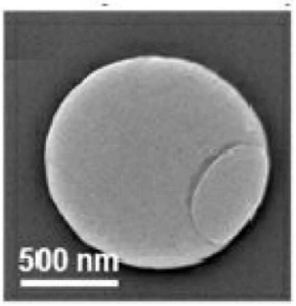
도면2b



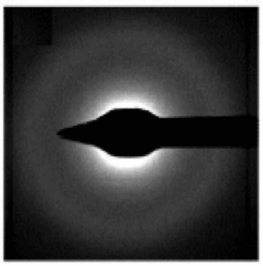
도면2c



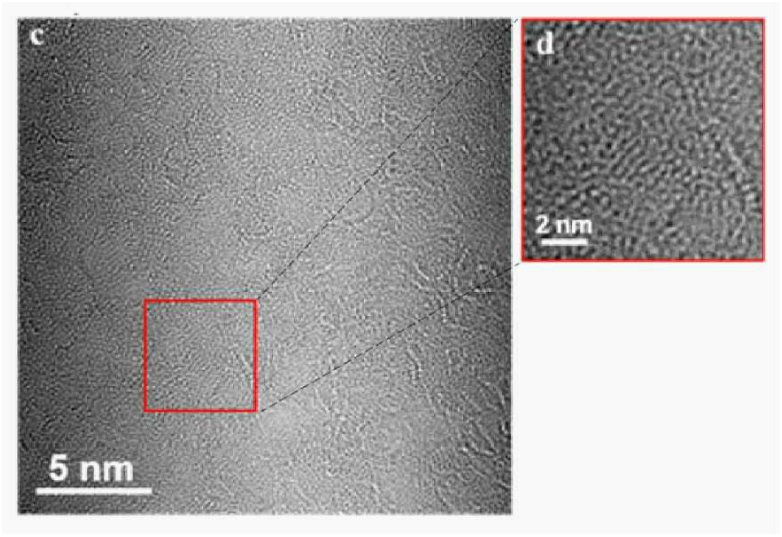
도면3a



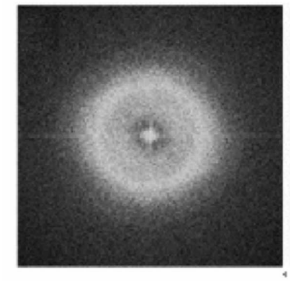
도면3b



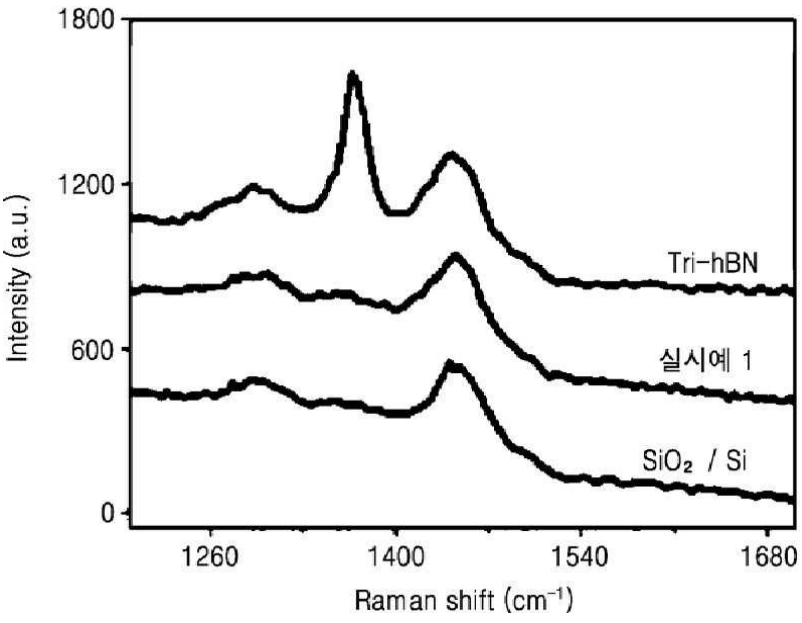
도면3c



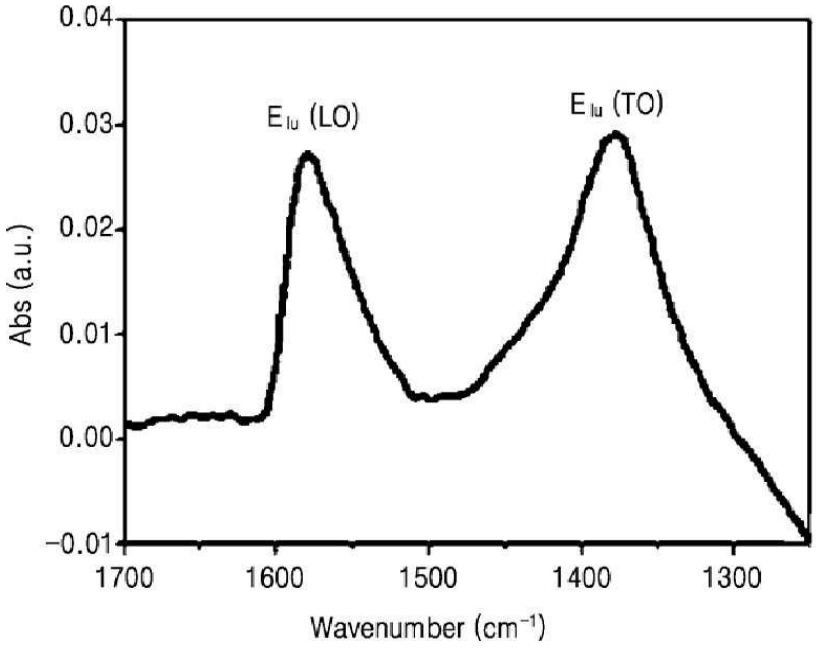
도면3d



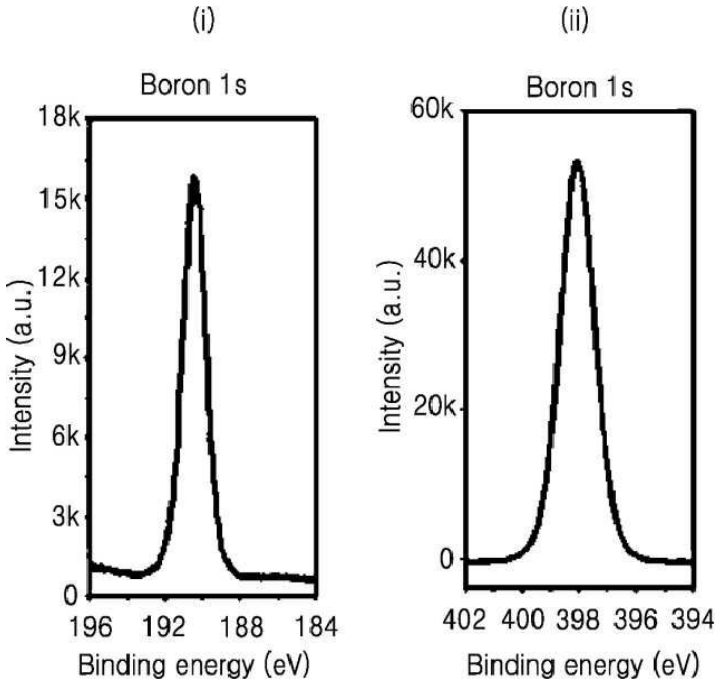
도면4a



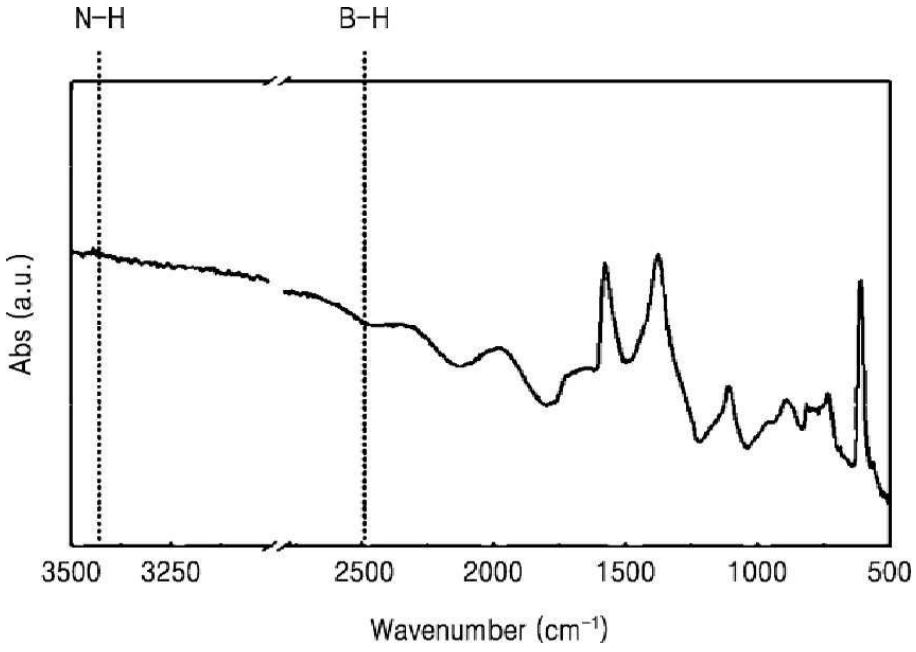
도면4b


0.04
0.03
0.02
0.01
0.00
−0.01
Abs (a.u.)
E1u (LO)
E1u (TO)
1700
1600
1500
1400
1300
Wavenumber (cm−1)

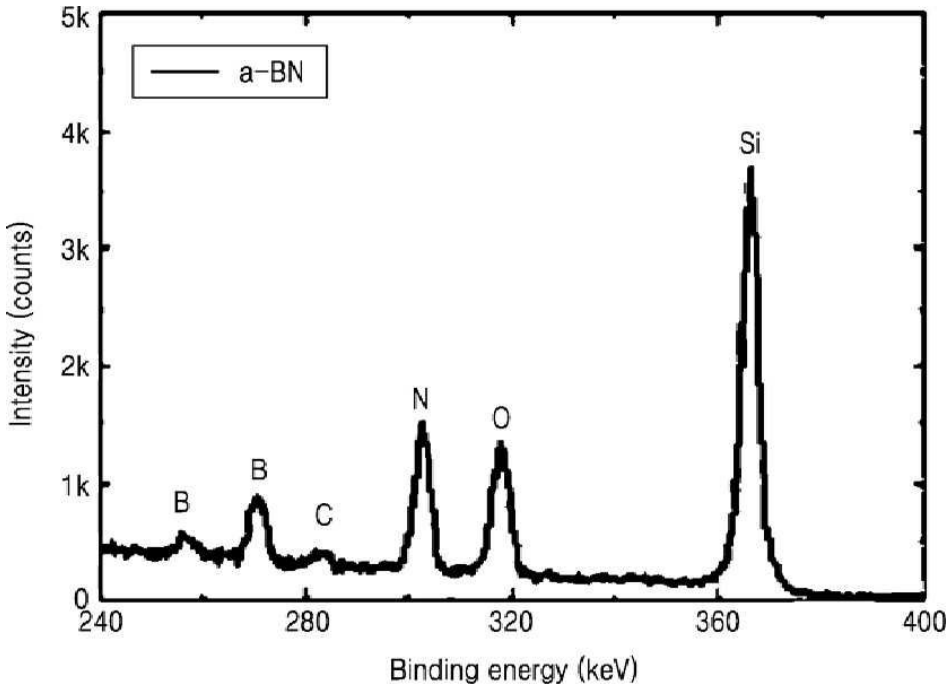
도면5


(i)
Boron 1s
18k
15k
12k
9k
6k
3k
0
Intensity (a.u.)
196
192
188
184
Binding energy (eV)
(ii)
Boron 1s
60k
40k
20k
0
Intensity (a.u.)
402
400
398
396
394
Binding energy (eV)

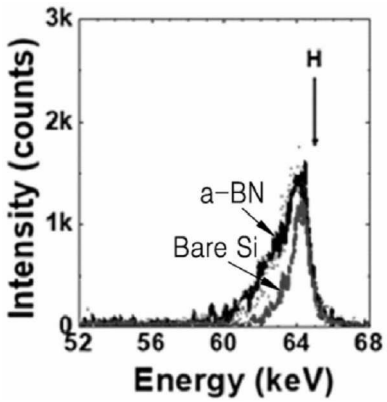
도면6


N-H
B-H
Abs (a.u.)
3500
3250
2500
2000
1500
1000
500
Wavenumber (cm⁻¹)

도면7a


a-BN
5k
4k
3k
2k
1k
0
Intensity (counts)
B
B
C
N
O
Si
240
280
320
360
400
Binding energy (keV)

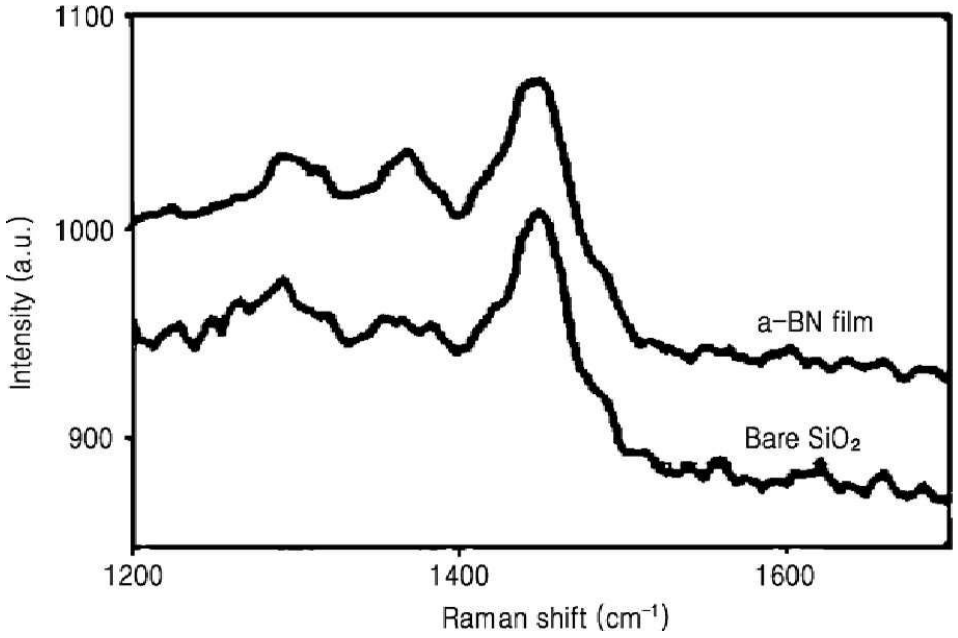
도면7b



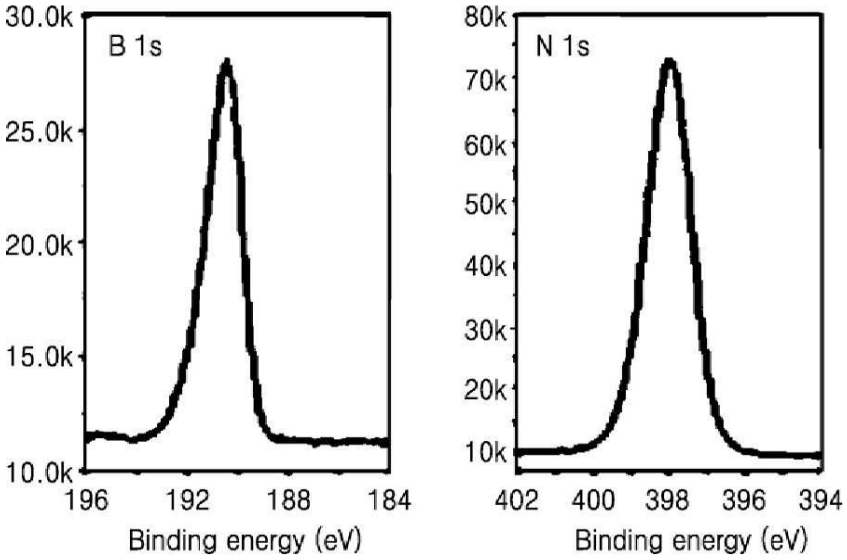
도면7c

Samples	B (at%)	N (at%)	H (at%)
a-BN	47.6	46.9	5.5

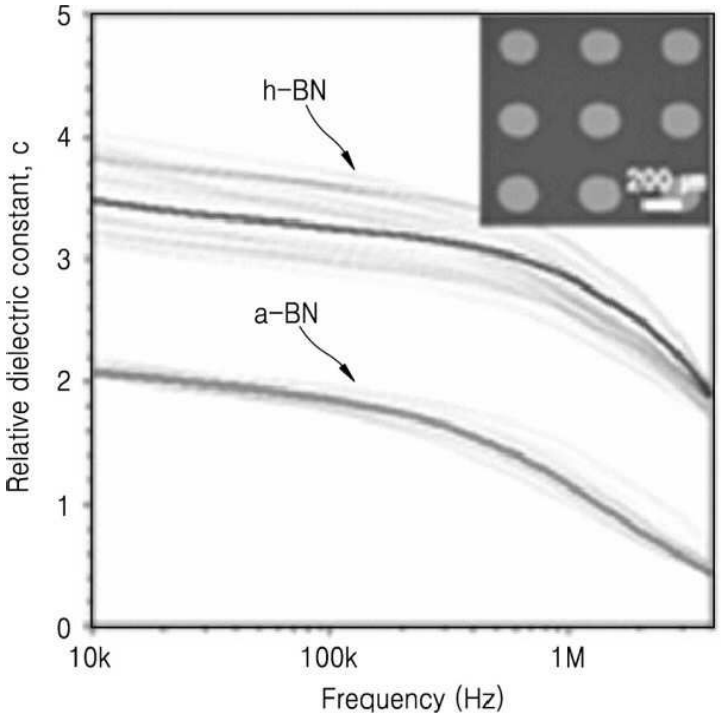
도면8a



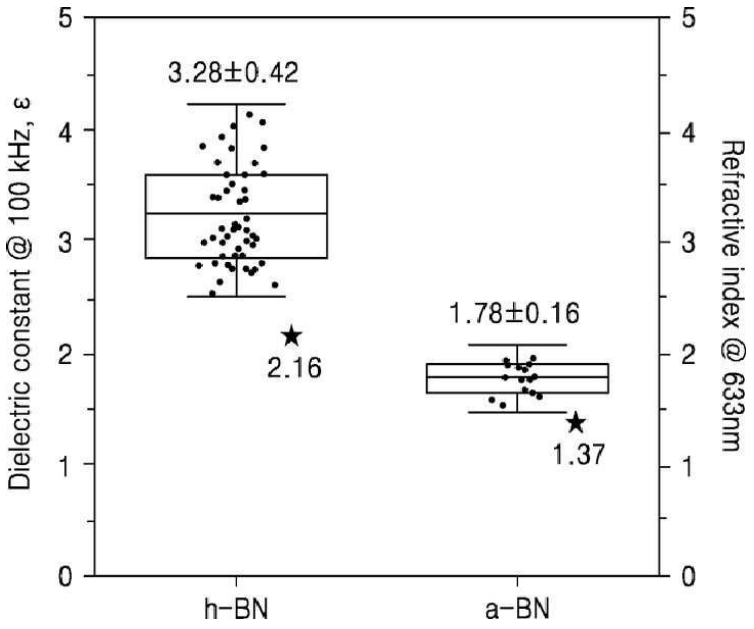
도면8b


B 1s
30.0k
25.0k
20.0k
15.0k
10.0k
196
192
188
184
Binding energy (eV)
N 1s
80k
70k
60k
50k
40k
30k
20k
10k
402
400
398
396
394
Binding energy (eV)

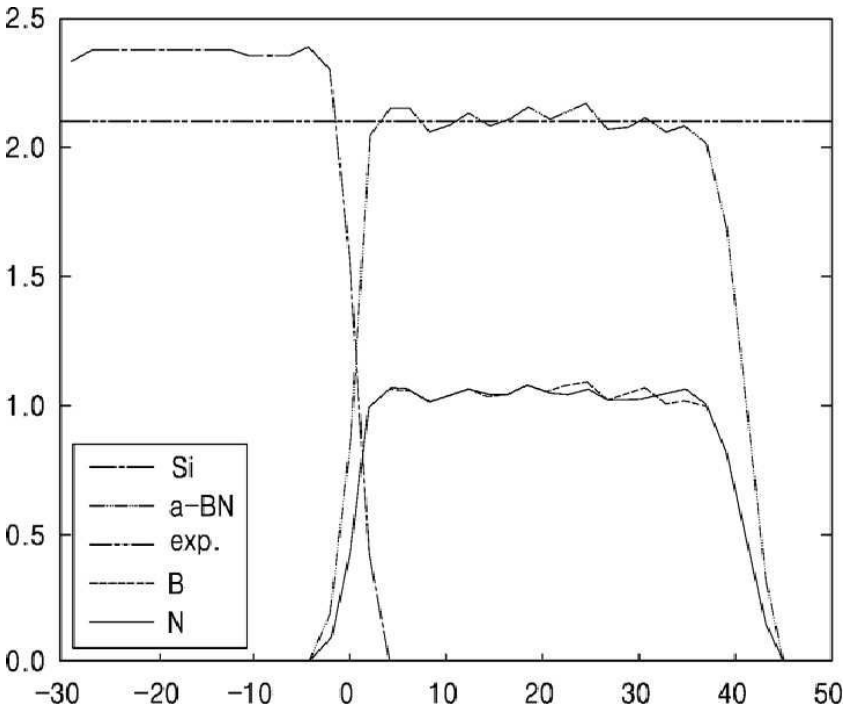
도면9a


h-BN
a-BN
200 nm
Relative dielectric constant, c
5
4
3
2
1
0
10k
100k
1M
Frequency (Hz)

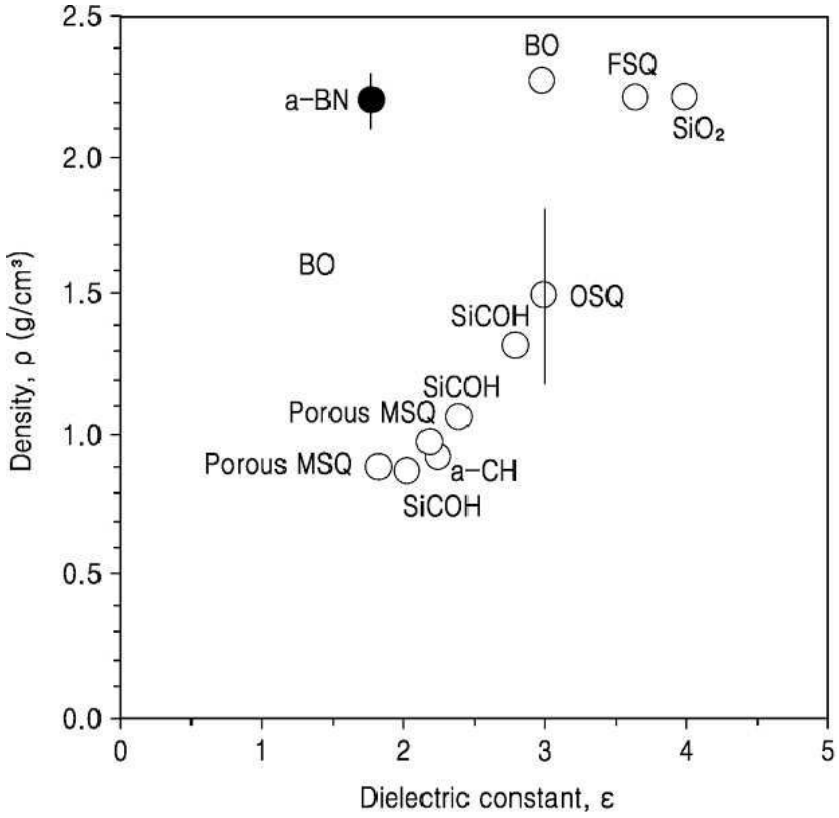
도면9b


3.28±0.42
2.16
1.78±0.16
1.37
Dielectric constant @ 100 kHz, ε
Refractive index @ 633nm
h-BN
a-BN
0
1
2
3
4
5

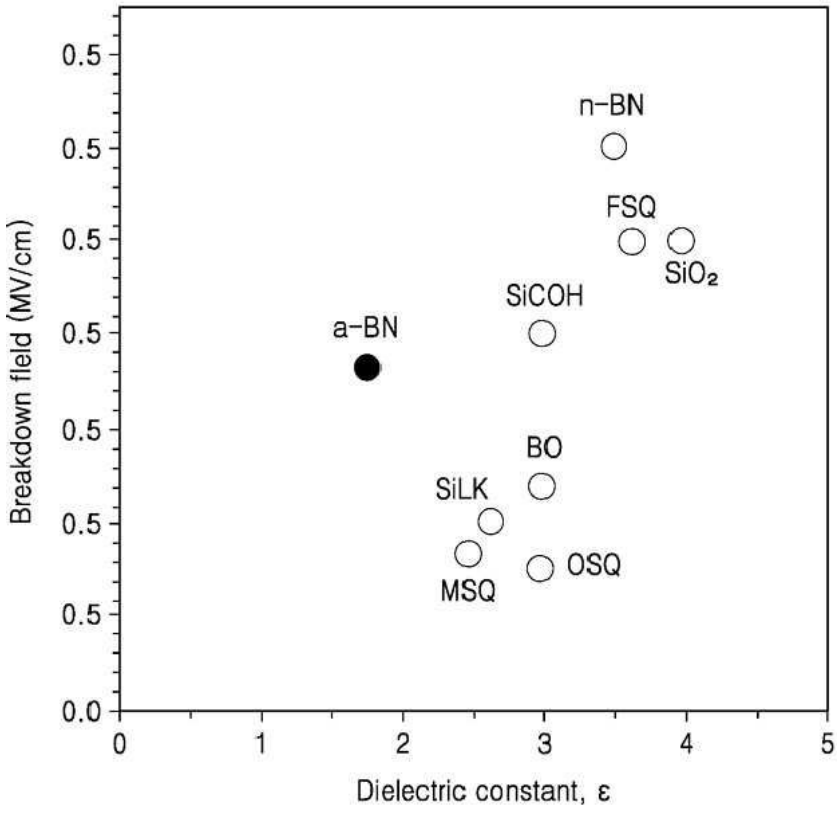
도면10a


Si
a-BN
exp.
B
N
0.0
0.5
1.0
1.5
2.0
2.5
-30
-20
-10
0
10
20
30
40
50

도면10b


Density, ρ (g/cm³)
Dielectric constant, ε
a-BN
BO
FSQ
SiO₂
BO
OSQ
SiCOH
SiCOH
Porous MSQ
Porous MSQ
a-CH
SiCOH

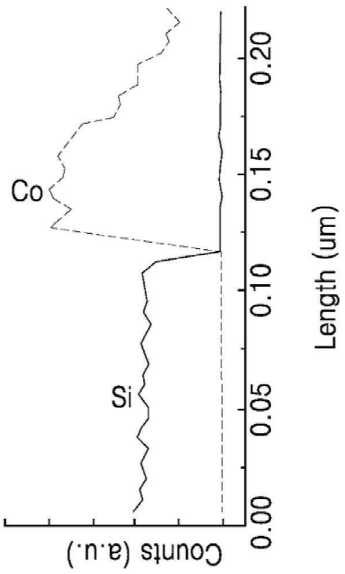
도면11


Breakdown field (MV/cm)
Dielectric constant, ε
n-BN
FSQ
SiO₂
SiCOH
a-BN
BO
SiLK
OSQ
MSQ

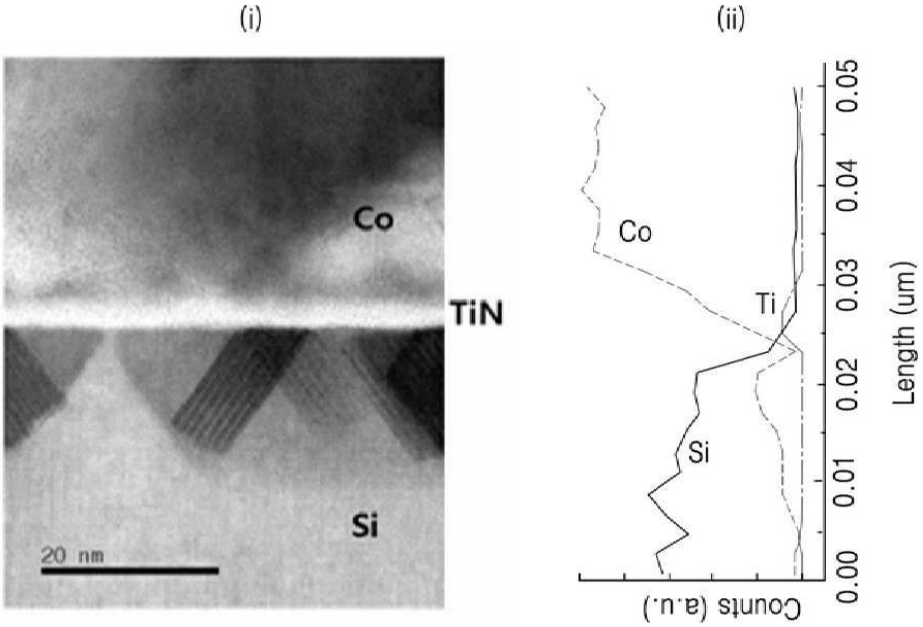
도면12

	Electrical properties		Film properties	
	Dielectric constant @100 kHz / @1 MHz	Breakdown Field ($MV-cm^{-1}$)	Reflective index (n) @ 633 nm	Density ($g-cm^{-3}$)
h-BN	3.28 / 2.87	2.2	2.16	2.1
a-BN	1.78 / 1.16	7.3	1.37	2.1~2.3

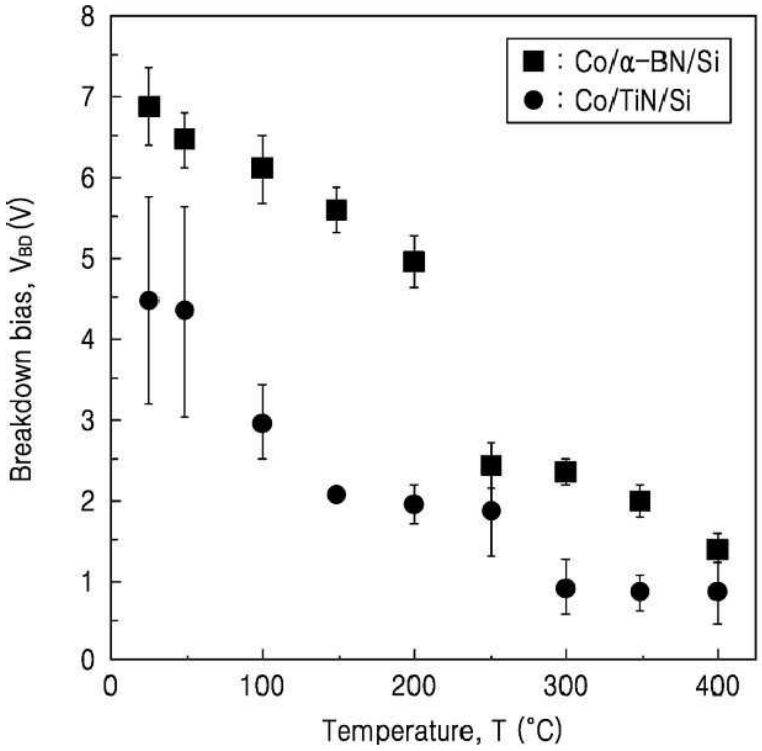
도면13



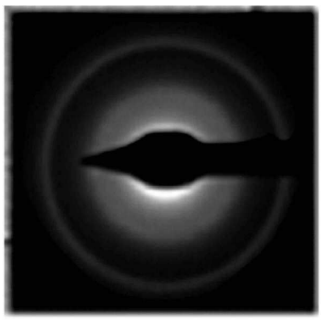
도면14



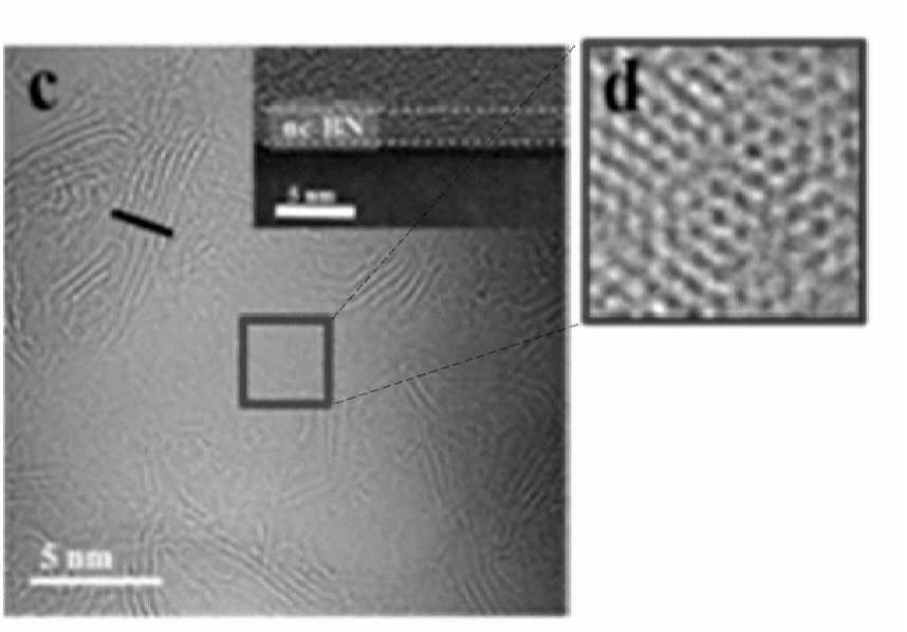
도면15


■ : Co/α-BN/Si
● : Co/TiN/Si
Breakdown bias, V_{BD} (V)
Temperature, T (°C)
0
1
2
3
4
5
6
7
8
0
100
200
300
400

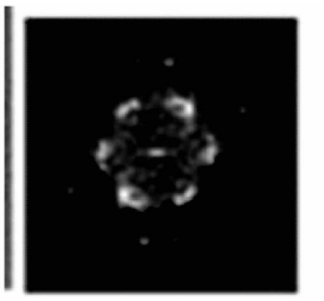
도면16a



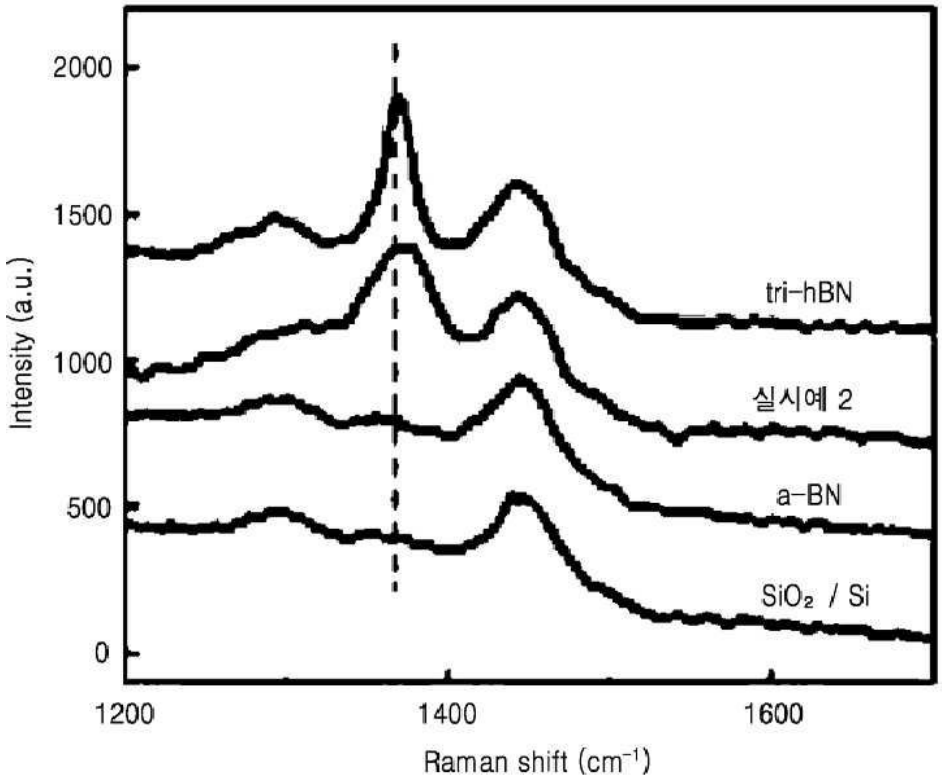
도면16b



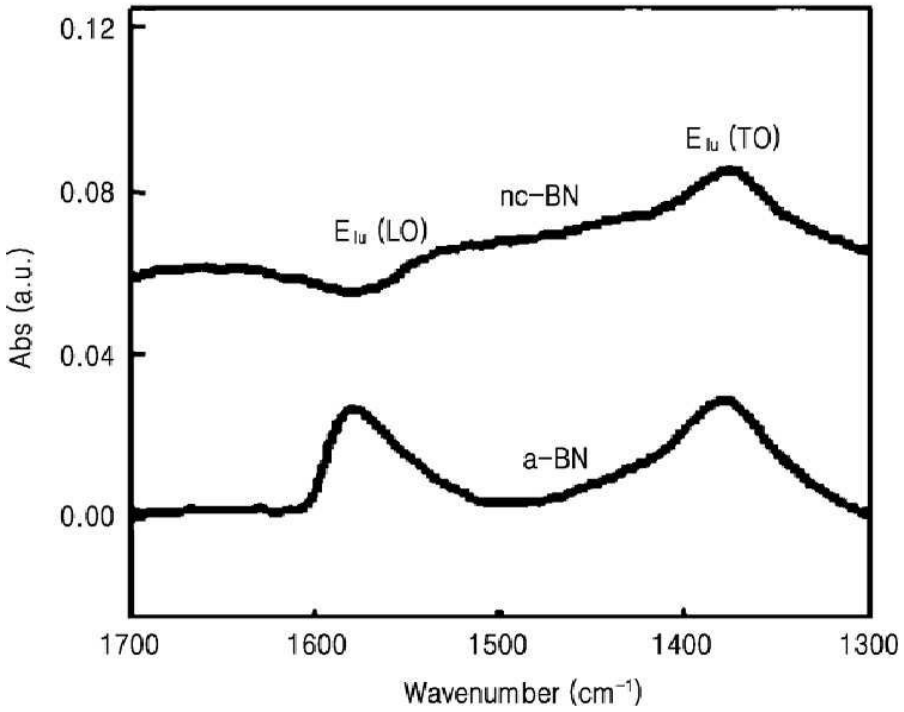
도면16c



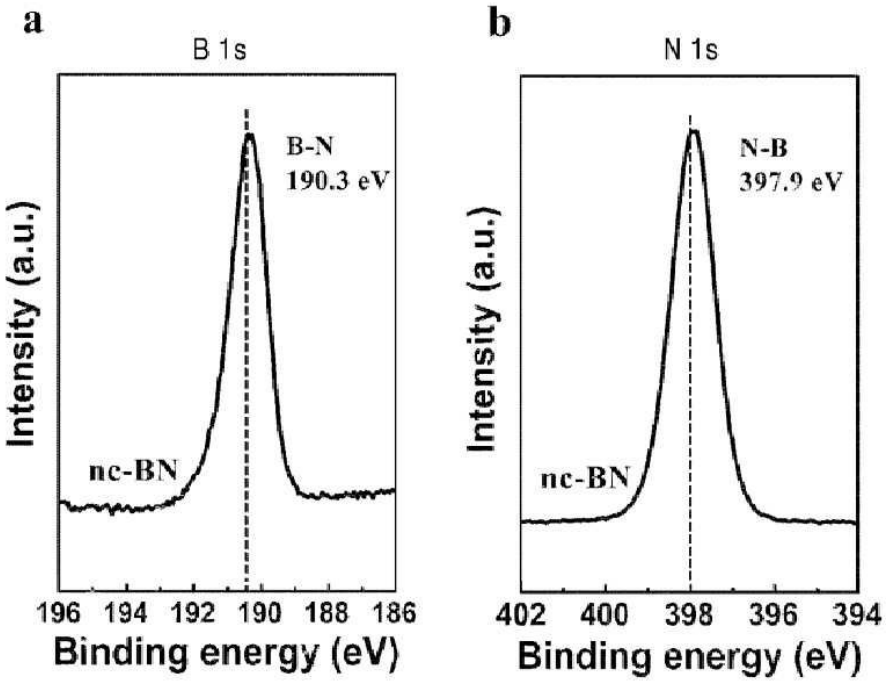
도면17


2000
1500
1000
500
0
Intensity (a.u.)
tri-hBN
실시예 2
a-BN
SiO2 / Si
1200
1400
1600
Raman shift (cm-1)

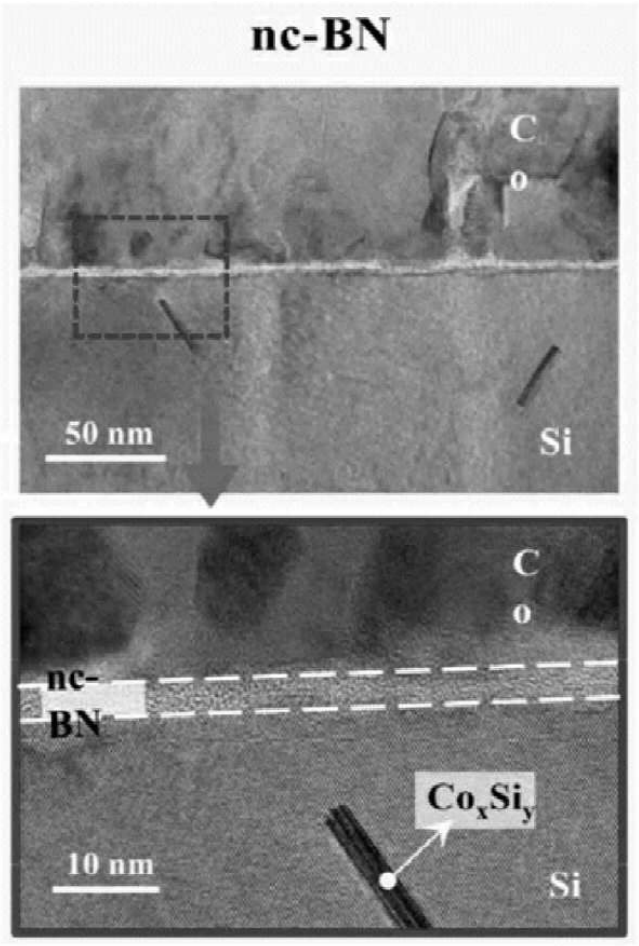
도면18


0.12
0.08
0.04
0.00
Abs (a.u.)
E1u (TO)
nc-BN
E1u (LO)
a-BN
1700
1600
1500
1400
1300
Wavenumber (cm-1)

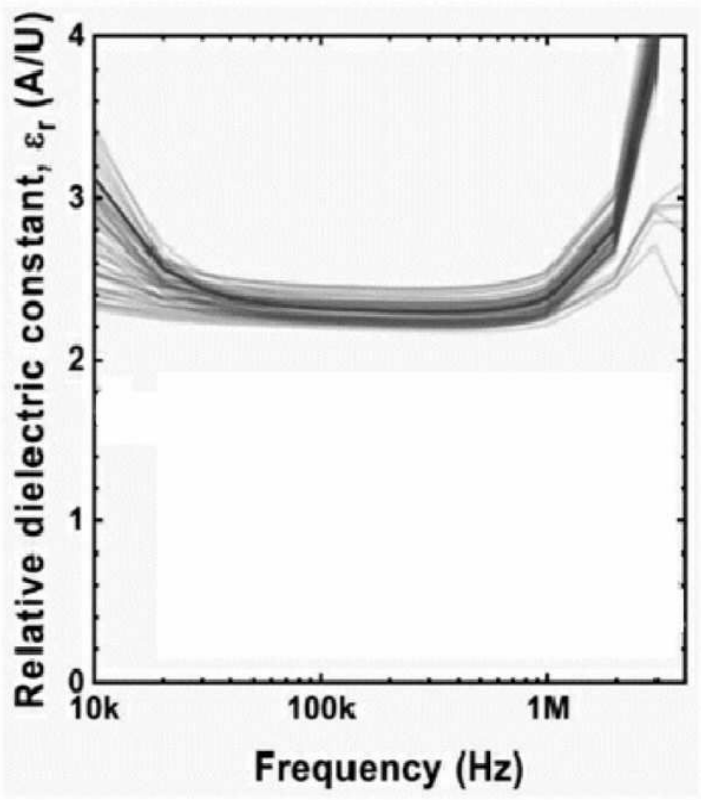
도면19


a
B 1s
B-N
190.3 eV
nc-BN
Intensity (a.u.)
196 194 192 190 188 186
Binding energy (eV)
b
N 1s
N-B
397.9 eV
nc-BN
Intensity (a.u.)
402 400 398 396 394
Binding energy (eV)

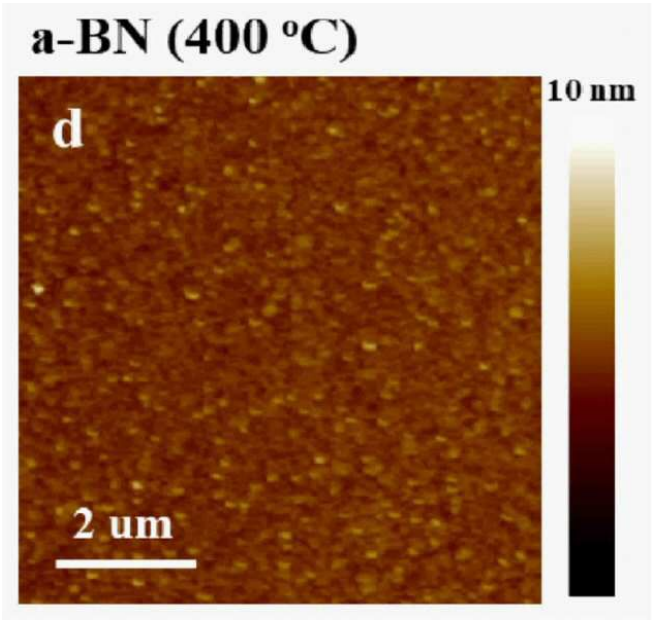
도면20


nc-BN
C
o
50 nm
Si
C
o
nc-
BN
CoxSiy
10 nm
Si

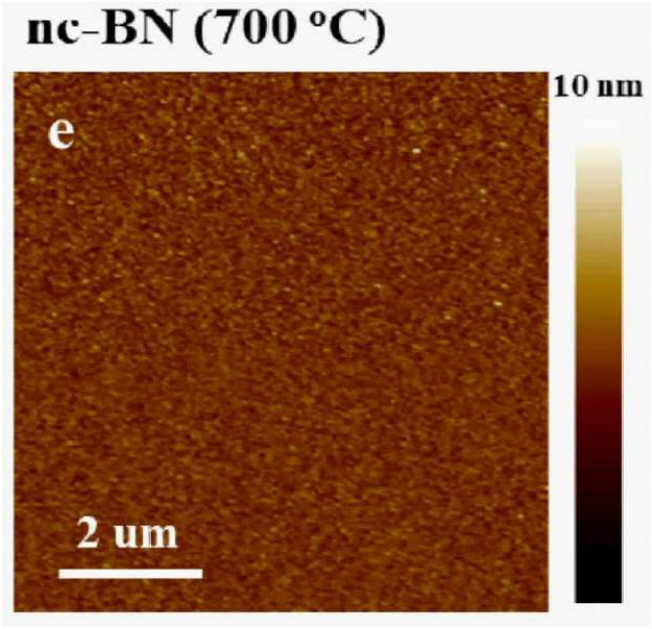
도면21


Relative dielectric constant, ε_r (A/U)
4
3
2
1
0
10k
100k
1M
Frequency (Hz)

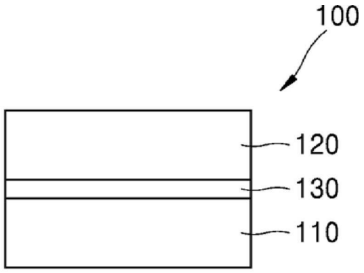
도면22a


a-BN (400 °C)
d
10 nm
2 um

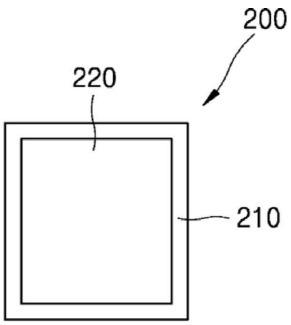
도면22b



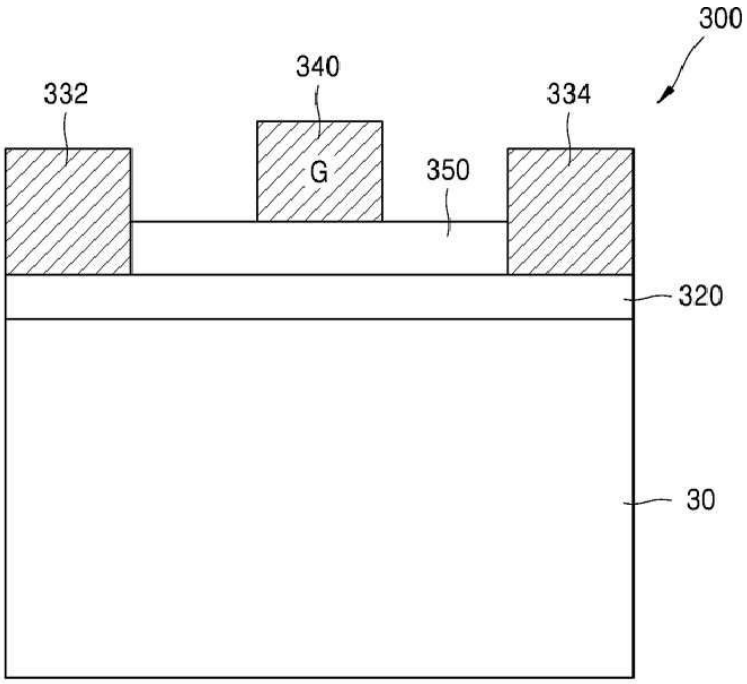
도면23



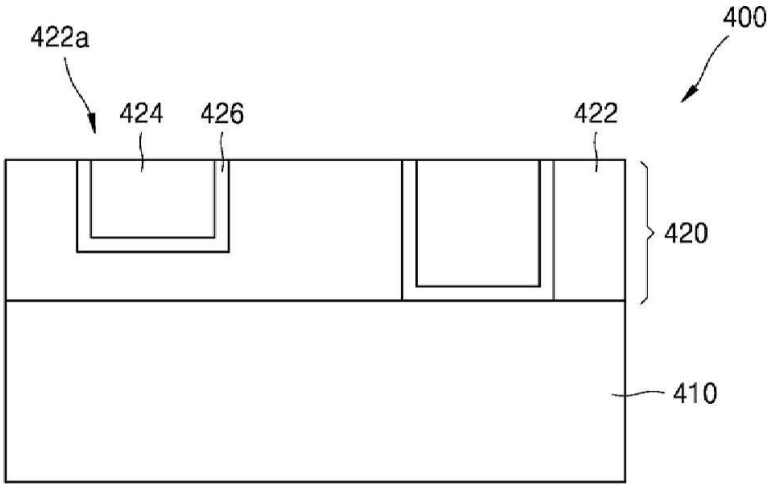
도면24



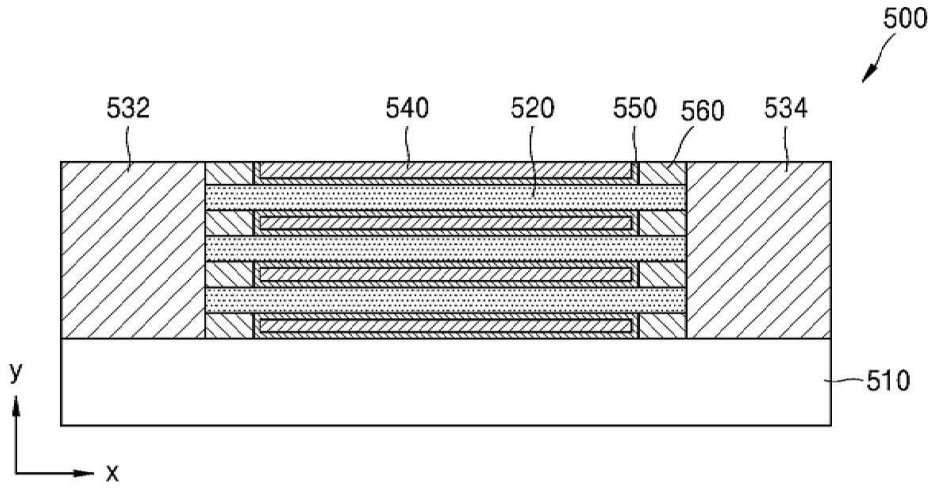
도면25



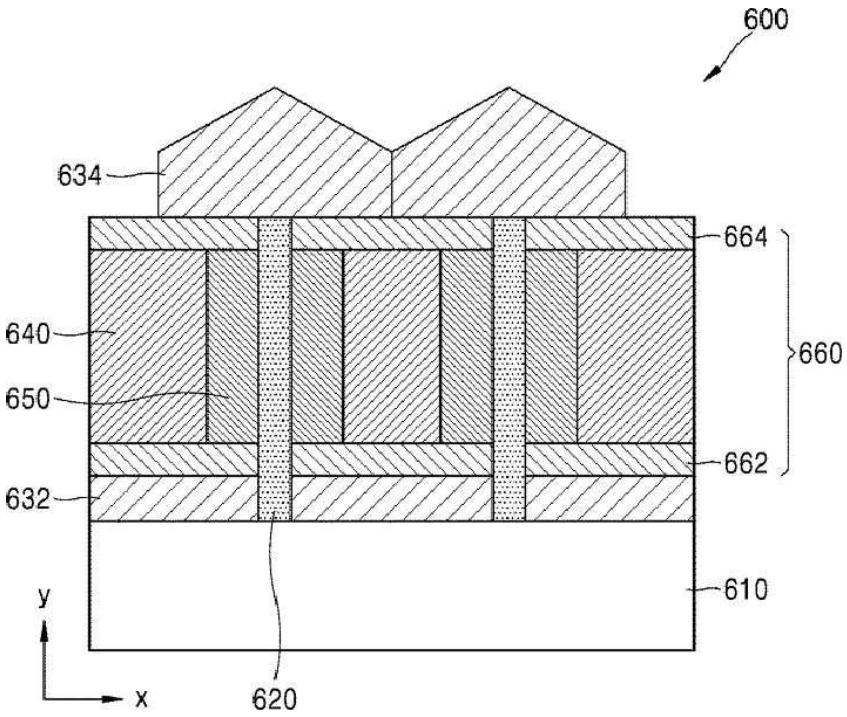
도면26



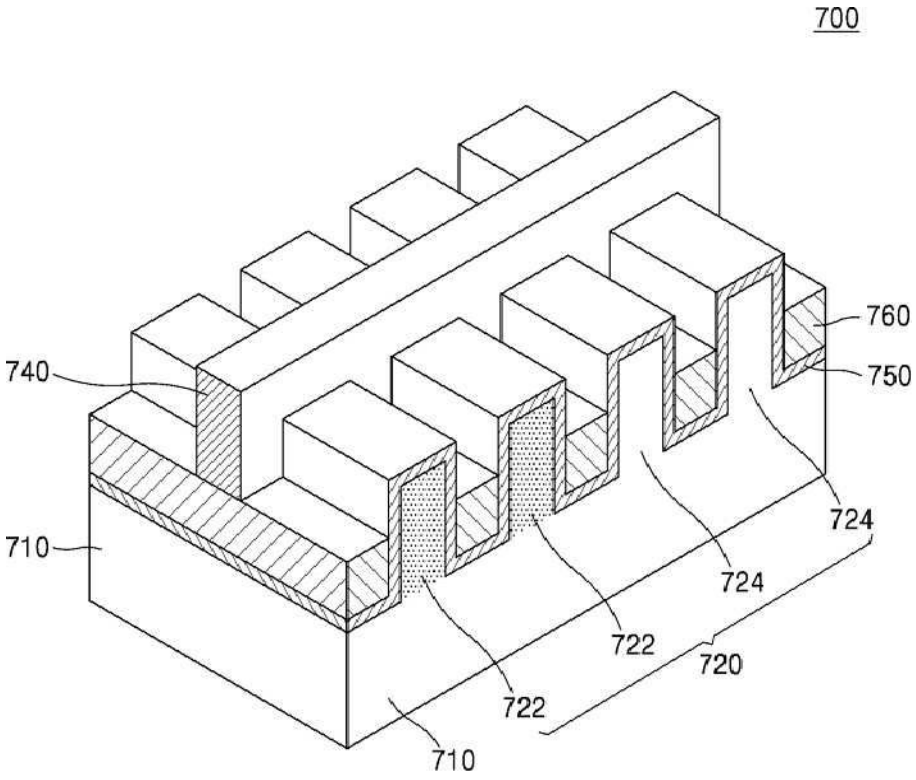
도면27


500
532
540
520
550
560
534
510
y
x

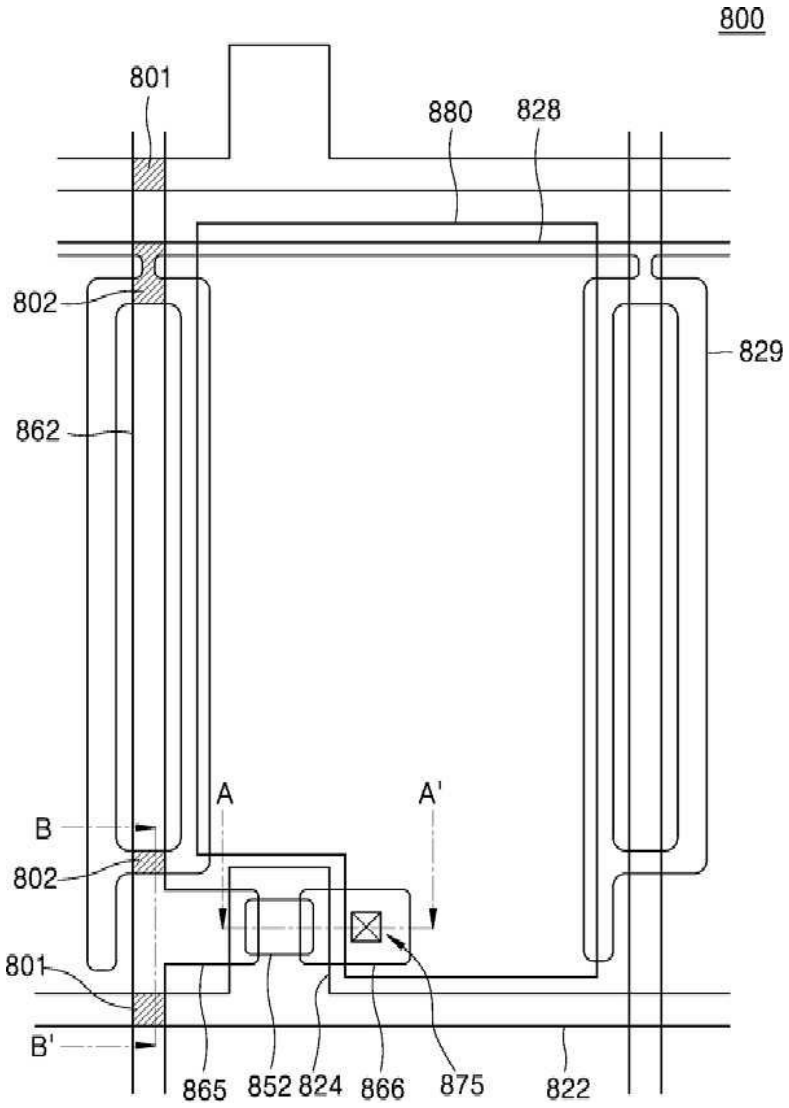
도면28


600
634
664
640
650
660
662
632
610
620
y
x

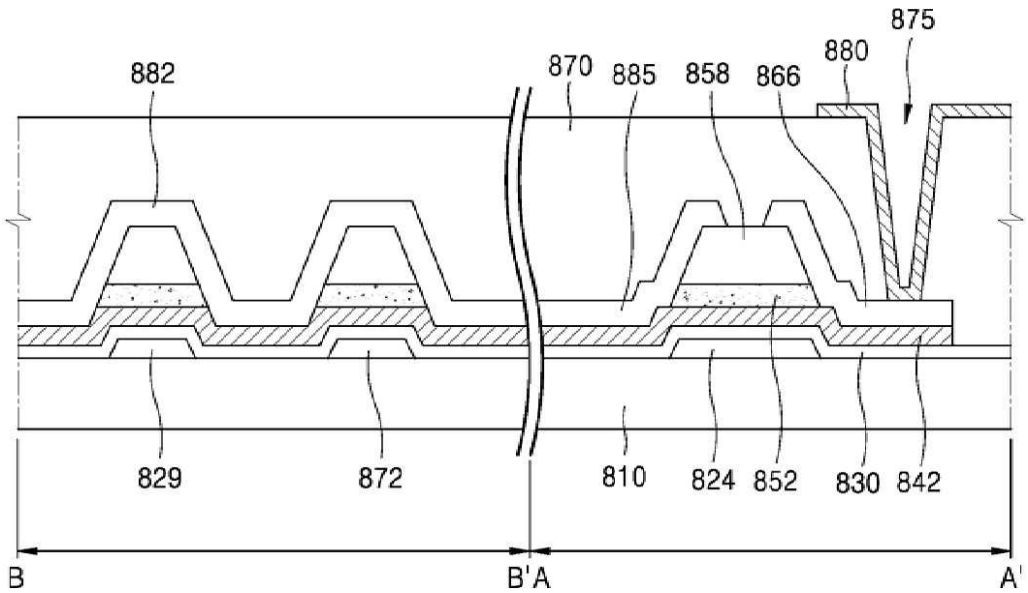
도면29



도면30a


800
801
880
828
802
829
862
A
A'
B
802
801
B'
865
852
824
866
875
822

도면30b


875
880
882
870
885
858
866
829
872
810
824
852
830
842
B
B'
A
A'

도면31

