



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년04월19일  
 (11) 등록번호 10-1254560  
 (24) 등록일자 2013년04월09일

(51) 국제특허분류(Int. Cl.)  
**H05B 33/10** (2006.01)  
 (21) 출원번호 10-2006-0059352  
 (22) 출원일자 2006년06월29일  
 심사청구일자 2011년06월22일  
 (65) 공개번호 10-2008-0001186  
 (43) 공개일자 2008년01월03일  
 (56) 선행기술조사문헌  
 KR1020050094581 A\*  
 KR1020050045730 A  
 KR1020060001377 A  
 KR1020060055846 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**박재희**  
 대구광역시 수성구 신천동로 278, 삼익아파트 1003호 (수성동1가)  
**박경민**  
 경상북도 구미시 진평2길 15-3 (진평동)  
**이석중**  
 경상북도 구미시 송동로 154, 103동 1102호 (도량동, 도량파크맨션)  
 (74) 대리인  
**특허법인네이트**

전체 청구항 수 : 총 15 항

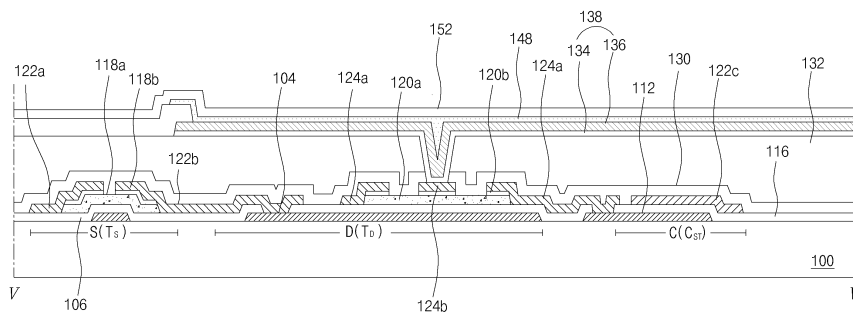
심사관 : 이준석

**(54) 발명의 명칭 유기전계 발광소자와 그 제조방법**

**(57) 요약**

본 발명은 유기전계 발광소자에 관한 것으로 특히, 상부 발광형 유기전계 발광소자에 관한 것이다.  
 본 발명은, 박막트랜지스터 어레이기판에 유기발광부를 구성함에 있어, 음극전극(cathode electrode)과 발광부와 양극전극(anode electrode)순으로 구성하는 것을 특징으로 한다.  
 이때, 박막트랜지스터 어레이기판의 단차에 의해, 상기 발광층이 분리되거나 또는 상기 양극전극과 음극전극이 쇼트(short)되는 것을 방지하기 위해, 상기 음극전극의 하부에 기판을 평탄화하는 평탄화층을 구성하고, 상기 평탄화층과 음극전극 사이에 상기 음극전극의 들뜸을 방지하기 위한 버퍼층을 더욱 구성하는 것을 특징으로 한다.

**대표도** - 도8a



## 특허청구의 범위

### 청구항 1

다수의 화소 영역이 정의된 기판과;

상기 기판의 각 화소 영역마다 구성되는 스위칭 소자와, 이에 연결된 구동소자와;

상기 스위칭 소자 및 구동소자가 형성된 기판에 구성되고, 표면을 평탄화 하는 평탄화층과;

상기 평탄화층의 상부에 위치하고 상기 구동소자와 연결되는 음극전극과;

상기 평탄화층과 상기 음극전극 사이에 위치한 버퍼층과;

상기 음극전극의 상부에 구성된 발광층과;

상기 발광층의 상부에 구성된 양극전극

을 포함하고,

상기 발광층은, 상기 음극전극 상부에 순차 적층된 전자 주입층과, 전자 수송층과, 주 발광층과, 홀 수송층과, 홀 주입층과, 버퍼층으로 구성되는 것을 특징으로 하는 유기전계 발광소자.

### 청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 음극전극은 불투명한 재질이고, 상기 양극 전극은 투명한 재질인 것을 특징으로 하는 유기전계 발광소자.

### 청구항 3

제 1 항에 있어서,

상기 버퍼층은 상기 평탄화층과 부착특성이 좋은 금속층 이거나, 무기 절연막인 것을 특징으로 하는 유기전계 발광소자.

### 청구항 4

제 1 항에 있어서,

상기 스위칭 소자와 구동소자는 n형 박막트랜지스터이고, 각각은 게이트 전극과 액티브층과 오믹콘택층과 소스 전극과 드레인 전극으로 구성되고, 상기 스위칭 소자의 드레인 전극은 상기 구동소자의 게이트 전극과 접촉하도록 구성하고, 상기 구동소자의 드레인 전극은 상기 음극전극과 접촉하도록 구성된 유기전계 발광소자.

### 청구항 5

제 4 항에 있어서,

상기 스위칭 소자및 구동소자의 소스 전극은 "U"형상이거나 링 형상이고, 상기 드레인 전극은 상기 소스 전극의 내부에 이와 이격하여 구성된 막대 형상이거나 원형상인 것을 특징으로 하는 유기전계 발광소자.

### 청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 4 항에 있어서,

상기 스위칭 소자의 게이트 전극과 접촉하고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 스위칭 소자의 드레인 전극과 접촉하고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 더욱 포함하는 유기전계 발광 소자.

**청구항 7**

제 4 항에 있어서,

상기 구동소자의 소스 전극과 접촉하고 일 끝단에 전원 패드를 포함하는 전원 배선을 더욱 포함하는 유기전계 발광소자.

**청구항 8**

제 7항에 있어서,

상기 전원 배선에서 연장된 연장부를 제 1 전극으로 하고, 상기 스위칭 소자의 드레인 전극에서 연장된 연장부를 제 2 전극으로 하는 스토리지 캐패시터를 더욱 포함하는 유기전계 발광소자.

**청구항 9**

삭제

**청구항 10**

제 1 항에 있어서,

상기 발광층의 버퍼층은 CuPC와 같은 결정성장이 이루어지는 유기물질 또는 V<sub>2</sub>O<sub>5</sub>를 포함하는 산화물인 것을 특징으로 하는 유기전계 발광소자.

**청구항 11**

기판을 준비하는 단계와;

상기 기판에 다수의 화소영역을 정의하는 단계와;

상기 기판의 각 화소 영역마다 스위칭 소자와, 이에 연결된 구동소자를 형성하는 단계와;

상기 스위칭 소자와 구동소자가 형성된 기판의 전면에, 표면을 평탄화하는 평탄화층을 형성하는 단계와;

상기 구동소자와 연결되면서 상기 평탄화층의 상부에 위치하는 음극 전극을 형성하는 단계와;

상기 음극전극과 상기 평탄화층 사이에 버퍼층을 형성하는 단계와;

상기 음극전극의 상부에 발광층을 형성하는 단계와;

상기 발광층의 상부에 양극전극을 형성하는 단계

를 포함하고,

상기 발광층은, 상기 음극전극 상부에 순차 적층된 전자 주입층과, 전자 수송층과, 주 발광층과, 홀 수송층과, 홀 주입층과, 버퍼층으로 형성되는 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 12**

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제 11 항에 있어서,

상기 양극전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹중 선택

된 하나로 형성하고, 상기 음극전극은 칼슘(Ca), 알루미늄(Al), 마그네슘(Mg), 은(Ag), 리튬(Li)과 같은 일함수가 낮은 물질 그룹 중 선택된 하나로 형성하는 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 13**

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제 11 항에 있어서,

상기 평탄화층은 벤조사이클로부텐(BCB)과, 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나로 형성된 유기전계 발광소자 제조방법.

**청구항 14**

제 11 항에 있어서,

상기 버퍼층은 버퍼 금속층 이거나, 버퍼 절연막인 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 15**

제 14 항에 있어서,

상기 버퍼금속층은 상기 평탄화층과 부착특성이 뛰어난 물질인 몰리브덴(Mo)또는 ITO이고, 상기 버퍼 절연막은 무기절연막인 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 16**

제 11 항에 있어서,

상기 평탄화층의 하부에 무기절연막을 형성하는 단계를 더욱 포함하는 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 17**

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 11 항에 있어서,

상기 스위칭 소자와 구동소자는 n형 박막트랜지스터이고 각각, 게이트 전극과 액티브층, 오믹 콘택층과 소스 전극과 드레인 전극으로 형성되고, 상기 스위칭 소자의 드레인 전극은 상기 구동소자의 게이트 전극과 접촉하도록 형성되고, 상기 구동소자의 드레인 전극은 상기 음극전극과 접촉하도록 형성된 유기전계 발광소자 제조방법.

**청구항 18**

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제 17 항에 있어서,

상기 스위칭 소자및 구동소자의 소스 전극은 "U"형상이거나 링 형상이고, 상기 드레인 전극은 상기 소스 전극의 내부에 이와 이격하게 구성된 막대 형상이거나 원형상인 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제 17 항에 있어서,

상기 스위칭 소자의 게이트 전극과 접촉하고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 스위칭 소자의 드레인 전극과 접촉하고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계를 더욱 포함하는 유기전계 발광소자 제조방법.

**청구항 20**

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제 17 항에 있어서,

상기 구동소자의 소스 전극과 접촉하고 일 끝단에 전원 패드를 포함하는 전원 배선을 더욱 형성하는 단계를 포함하는 유기전계 발광소자 제조방법.

**청구항 21**

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제 20 항에 있어서,

**청구항 22**

삭제

**청구항 23**

제 11 항에 있어서,

상기 발광층의 버퍼층은 CuPC와 같은 결정성장이 이루어지는 유기물질 또는  $V_2O_5$ 를 포함하는 산화물인 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 24**

기판을 준비하는 단계와;

상기 기판의 전면에 다수의 화소 영역과, 화소 영역마다 스위칭 영역과 구동영역과 스토리지 영역을 정의하는 단계와;

상기 기판의 전면에 제 1 도전성 금속층을 형성하고 패틴하여, 상기 스위칭 영역과 구동영역에 각각 게이트 전극을 형성하고, 상기 스토리지 영역에 전원 배선을 형성하는 단계와;

상기 스위칭 영역과 구동 영역에 대응하여, 상기 각 게이트 전극에 대응하는 게이트 절연막의 상부에 액티브층과 오믹 콘택층을 형성하는 단계와;

상기 게이트 절연막을 패틴하여, 상기 구동 영역의 게이트 전극과 상기 전원 배선을 노출하는 단계와;

상기 기판의 전면에 제 2 도전성 금속층을 형성하고 패틴하여, 상기 스위칭 영역과 구동영역에 각각 소스 전극과 드레인 전극을 형성하고, 상기 스위칭 영역의 드레인 전극은 상기 구동영역의 게이트 전극과 접촉하도록 하고, 상기 구동 영역의 소스 전극은 상기 전원 배선과 접촉하도록 형성하는 단계와;

상기 기판의 전면에 제 1 보호막을 형성하고, 상기 제 1 보호막의 상부에 평탄화층을 형성하는 단계와;

상기 평탄화층과 그 하부의 제 1 보호막을 패틴하여, 상기 구동 영역의 드레인 전극을 노출하는 단계와;

상기 평탄화층의 상부에 버퍼 금속층과 음극 전극층을 증착하고 패틴하여, 상기 화소 영역에 버퍼 금속층과 음극 전극층으로 구성된 화소 전극을 형성하는 단계와;

상기 기관의 전면에 제 2 보호막을 형성하고 패틴하여, 상기 화소 전극을 노출하는 단계와;

상기 화소전극(음극전극)의 상부에 발광층을 형성하는 단계와

상기 발광층의 상부에 양극전극을 형성하는 단계

를 포함하는 유기전계 발광소자 제조방법.

**청구항 25**

청구항 25은(는) 설정등록료 납부시 포기되었습니다.

제 24 항에 있어서,

상기 발광층은, 상기 음극전극 상부에 순차 적층된 전자 주입층과, 전자 수송층과, 주 발광층과, 홀 수송층과, 홀 주입층과, 버퍼층으로 형성되는 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 26**

청구항 26은(는) 설정등록료 납부시 포기되었습니다.

제 24 항에 있어서,

상기 양극전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹중 선택된 하나로 형성하고, 상기 음극전극층은 칼슘(Ca), 알루미늄(Al), 마그네슘(Mg), 은(Ag), 리튬(Li)과 같은 일함수가 낮은 물질 그룹 중 선택된 하나로 형성하는 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 27**

청구항 27은(는) 설정등록료 납부시 포기되었습니다.

제 24 항에 있어서,

**청구항 28**

제 24 항에 있어서,

상기 버퍼 금속층은 상기 평탄화층과 부착특성이 뛰어난 물질이며, 몰리브덴(Mo)과 ITO인 것을 특징으로 하는 유기전계 발광소자 제조방법.

**청구항 29**

기관을 준비하는 단계와;

상기 기관의 전면에 다수의 화소 영역과, 화소 영역마다 스위칭 영역과 구동영역과 스토리지 영역을 정의하는 단계와;

상기 기관의 전면에 제 1 도전성 금속층을 형성하고 패틴하여, 상기 스위칭 영역과 구동영역에 각각 게이트 전극을 형성하고, 상기 스토리지 영역에 전원 배선을 형성하는 단계와;

상기 스위칭 영역과 구동 영역에 대응하여, 상기 각 게이트 전극에 대응하는 게이트 절연막의 상부에 액티브층과 오믹 콘택층을 형성하는 단계와;

상기 게이트 절연막을 패틴하여, 상기 구동 영역의 게이트 전극과 상기 전원 배선을 노출하는 단계와;  
 상기 기관의 전면에 제 2 도전성 금속층을 형성하고 패틴하여, 상기 스위칭 영역과 구동영역에 각각 소스 전극과 드레인 전극을 형성하고, 상기 스위칭 영역의 드레인 전극은 상기 구동영역의 게이트 전극과 접촉하도록 하고, 상기 구동 영역의 소스 전극은 상기 전원 배선과 접촉하도록 형성하는 단계와;  
 상기 기관의 전면에 제 1 보호막을 형성하고, 상기 제 1 보호막의 상부에 평탄화층을 형성하는 단계와;  
 상기 구동영역의 드레인 전극에 대응하는 평탄화층과 하부의 제 1 보호막을 노출하는 단계와;  
 상기 평탄화층이 형성된 기관의 전면에 버퍼 절연막을 형성하는 단계와;  
 상기 구동 영역의 드레인 전극에 대응하는 상기 제 1 보호막과 상기 버퍼 절연막을 식각하여, 상기 드레인 전극을 노출하는 단계와;  
 상기 화소 영역에 상기 드레인 전극과 접촉하는 화소 전극을 형성하는 단계와;  
 상기 기관의 전면에 제 2 보호막을 형성하고 패틴하여, 상기 화소 전극을 노출하는 단계와;  
 상기 화소전극(음극전극)의 상부에 발광층을 형성하는 단계와  
 상기 발광층의 상부에 양극전극을 형성하는 단계  
 를 포함하는 유기전계 발광소자 제조방법.

**청구항 30**

청구항 30은(는) 설정등록료 납부시 포기되었습니다.

제 29 항에 있어서,

상기 평탄화층은 벤조사이클로부텐(BCB)과, 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나로 형성된 유기전계 발광소자 제조방법.

**청구항 31**

청구항 31은(는) 설정등록료 납부시 포기되었습니다.

제 29 항에 있어서,

상기 버퍼 절연막은 질화 실리콘( $SiN_x$ )과 산화 실리콘( $SiO_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질로 형성하는 것을 특징으로 하는 유기전계 발광소자 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0021] 본 발명은 유기전계 발광소자에 관한 것으로 특히, 고휘도를 구현할 수 있는 상부 발광식 유기전계 발광소자에 관한 것이다.
- [0022] 일반적으로, 유기전계 발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자(electron)와 정공(hole)을 발광층 내부로 주입시켜, 주입된 전자(electron)와 정공(hole)이 결합한 엑시톤(exciton)이 여기상태로부터 기저상태로 떨어질 때 발광하는 소자이다.
- [0023] 이러한 원리로 인해, 종래의 박막 액정표시소자와는 달리 별도의 광원을 필요로 하지 않으므로 소자의 부피와 무게를 줄일 수 있는 장점이 있다.

- [0024] 또한, 유기전계 발광소자는 고품위 패널특성(저전력, 고휘도, 고반응속도, 저중량)을 나타낸다. 이러한 특성 때문에 OLED는 이동통신 단말기, CNS, PDA, Camcorder, Palm PC 등 대부분의 consumer 전자 응용제품에 사용될 수 있는 강력한 차세대 디스플레이로 여겨지고 있다.
- [0025] 또한 제조 공정이 단순하기 때문에 생산원가를 기존의 LCD보다 많이 줄일 수 있는 장점이 있다.
- [0026] 이러한 유기전계 발광소자를 구동하는 방식은 수동 매트릭스형(passive matrix type)과 능동 매트릭스형(active matrix type)으로 나눌 수 있다.
- [0027] 상기 수동 매트릭스형 유기전계 발광소자는 그 구성이 단순하여 제조방법 또한 단순 하나 높은 소비전력과 표시 소자의 대면적화에 어려움이 있으며, 배선의 수가 증가하면 할수록 개구율이 저하되는 단점이 있다.
- [0028] 반면, 능동 매트릭스형 유기전계 발광소자는 높은 발광효율과 고 화질을 제공할 수 있는 장점이 있다.
- [0029] 도 1은 능동 매트릭스형 유기전계 발광소자의 구성을 개략적으로 도시한 도면이다.
- [0030] 도시한 바와 같이, 유기전계 발광소자(10)는 투명하고 유연성이 있는 제 1 기판(12)의 상부에 박막트랜지스터(T) 어레이부(14)와, 상기 박막트랜지스터 어레이부(14)의 상부에 화소마다 독립적으로 패터닝된 제 1 전극(16)과, 유기 발광층(18)과, 유기 발광층 상부의 기판의 전면에 제 2 전극(20)을 구성한다.
- [0031] 이때, 상기 발광층(18)은 적(R), 녹(G), 청(B)의 컬러를 표현하게 되는데, 일반적인 방법으로는 상기 각 화소(P)마다 적, 녹, 청색을 발광하는 별도의 유기물질을 패터닝하여 사용한다.
- [0032] 상기 제 1 기판(12)이 흡습제(22)가 부착된 제 2 기판(28)과 실런트(26)를 통해 합착됨으로써 유기전계 발광소자(10)가 완성된다.
- [0033] 이때, 상기 흡습제(22)는 캡슐내부에 침투할 수 있는 수분을 제거하기 위한 것이며, 기판(28)의 일부를 식각하고 식각된 부분에 분말형태의 흡습제(22)를 놓고 테이프(25)를 부착함으로써 흡습제(22)를 고정한다.
- [0034] 전술한 바와 같은 구성은, 투명한 양극전극(16)이 어레이부에 형성되어 하부 발광식으로 동작하게 된다.
- [0035] 전술한 바와 같은 유기전계 발광소자의 한 화소에 대한 구성을 이하, 도 2의 등가회로도를 참조하여 상세히 설명한다.
- [0036] 도 2는 종래의 유기전계 발광소자의 한 화소에 해당하는 등가회로도이다.
- [0037] 도시한 바와 같이, 기판(32)의 일 방향으로 게이트 배선(42)과 이와는 수직하게 교차하는 데이터 배선(44)이 구성된다.
- [0038] 상기 데이터 배선(44)과 게이트 배선(42)의 교차지점에는 스위칭 소자( $T_S$ )가 구성되고, 상기 스위칭 소자( $T_S$ )와 전기적으로 연결된 구동 소자( $T_D$ )가 구성된다.
- [0039] 이때, 상기 구동 소자( $T_D$ )는 p타입 박막트랜지스터이기 때문에, 박막트랜지스터의 소스 전극(66)과 게이트 전극(68)사이에 스토리지 캐패시터( $C_{ST}$ )가 구성되고, 상기 구동 소자( $T_D$ )의 드레인 전극(63)은 유기 발광층(E)의 양극 전극(도 1의 16, anode electrode)과 접촉하여 구성된다.
- [0040] 전술한 구성에서, 상기 구동소자( $T_D$ )의 게이트 전극(68)과 소스 전극(66)사이에 스토리지 캐패시터( $C_{ST}$ )가 구성된다.
- [0041] 상기 구동 소자( $T_D$ )의 소스 전극(66)과 전원배선(55)을 연결하여 구성한다.
- [0042] 전술한 바와 같이 구성된 유기전계 발광소자의 동작특성을 이하, 간략히 설명한다.
- [0043] 먼저, 상기 스위칭 소자( $T_S$ )의 게이트 전극(46)에 게이트 신호가 인가되면 상기 데이터 배선(44)을 흐르는 전류 신호는 상기 스위칭 소자( $T_S$ )를 통해 전압 신호로 바뀌어 구동 소자( $T_D$ )의 게이트 전극(68)에 인가된다.
- [0044] 이와 같이 하면, 상기 구동 소자( $T_D$ )가 동작되어 상기 발광부(E)에 흐르는 전류의 레벨이 정해지며 이로 인해 유기발광층은 그레이 스케일(grey scale)을 구현할 수 있게 된다.
- [0045] 이때, 상기 스토리지 캐패시터( $C_{ST}$ )에 저장된 신호는 상기 게이트 전극(68)의 신호를 유지하는 역할을 하기 때문



에, 상기 스위칭 소자( $T_S$ )가 오프 상태가 되더라도 다음신호가 인가될 때까지 상기 발광부(E)에 흐르는 전류의 레벨을 일정하게 유지할 수 있게 된다.

- [0046] 이하, 도 3을 참조하여 능동 매트릭스형 유기전계 발광소자의 박막트랜지스터 어레이부를 개략적으로 설명한다.
- [0047] 도 3은 유기전계 발광소자에 포함되는 박막트랜지스터 어레이부의 한 화소를 개략적으로 도시한 평면도이다.
- [0048] 일반적으로, 능동 매트릭스형 유기전계 발광소자의 박막트랜지스터 어레이부는 기관(32)에 정의된 다수의 화소(P)마다 스위칭 소자( $T_S$ )와 구동 소자( $T_D$ )와 스토리지 캐패시터(storage capacitor :  $C_{ST}$ )가 구성되며, 동작의 특성에 따라 상기 스위칭 소자( $T_S$ ) 또는 구동 소자( $T_D$ )는 각각 하나 이상의 박막트랜지스터의 조합으로 구성될 수 있다.
- [0049] 이때, 상기 기관(32)은 투명한 절연 기관을 사용하며, 그 재질로는 유리나 플라스틱을 예로 들 수 있다.
- [0050] 도시한 바와 같이, 기관(32)상에 서로 소정 간격 이격 하여 일 방향으로 구성된 게이트 배선(42)과, 상기 게이트 배선(42)과 절연막을 사이에 두고 서로 교차하는 데이터 배선(44)이 구성된다.
- [0051] 동시에, 상기 데이터 배선(44)과 평행하게 이격된 위치에 일 방향으로 전원 배선(55)이 구성된다.
- [0052] 상기 스위칭 소자( $T_S$ )와 구동 소자( $T_D$ )로 각각 게이트 전극(46,68)과 액티브층(50,62)과 소스 전극(56,66) 및 드레인 전극(60,63)을 포함하는 박막트랜지스터가 사용된다.
- [0053] 전술한 구성에서, 상기 스위칭 소자( $T_S$ )의 게이트 전극(46)은 상기 게이트 배선(42)과 연결되고, 상기 소스 전극(56)은 상기 데이터 배선(44)과 연결된다.
- [0054] 상기 스위칭 소자( $T_S$ )의 드레인 전극(60)은 상기 구동 소자( $T_D$ )의 게이트 전극(68)과 콘택홀(64)을 통해 연결된다.
- [0055] 상기 구동 소자( $T_D$ )의 소스 전극(66)은 상기 전원 배선(55)과 콘택홀(58)을 통해 연결된다.
- [0056] 또한, 상기 구동 소자( $T_D$ )의 드레인 전극(63)은 화소부(P)에 구성된 제 1 전극(양극전극, 36)과 접촉하도록 구성된다.
- [0057] 이때, 상기 전원 배선(55)과 그 하부의 다결정 실리콘패턴(35)은 절연막을 사이에 두고 겹쳐져 스토리지 캐패시터( $C_{ST}$ )를 형성한다.
- [0058] 이하, 도면을 참조하여 전술한 바와 같이 구성된 박막트랜지스터 어레이부를 포함하는 유기전계 발광소자의 단면구성을 설명한다.
- [0059] 도 4는 도 3의 III-III을 따라 절단한 유기전계 발광소자의 단면도이다.(구동소자( $T_D$ )와 화소(발광부(P))의 단면만을 도시한 도면이다.)
- [0060] 도시한 바와 같이, 유기전계 발광소자는 게이트 전극(68)과, 액티브층(62)과 소스 전극(66)과 드레인 전극(63)을 포함하는 구동소자인 박막트랜지스터( $T_D$ )가 구성되고, 구동소자( $T_D$ )의 상부에는 절연막(67)을 사이에 두고 구동소자( $T_D$ )의 드레인 전극(63)과 접촉하는 제 1 전극(양극전극, 36)과, 제 1 전극(36)의 상부에 특정한 색의 빛을 발광하는 발광부(38)와, 발광부(38)의 상부에는 제 2 전극(음극전극,80)이 구성된다.
- [0061] 상기 구동소자( $T_D$ )와는 병렬로 스토리지 캐패시터( $C_{ST}$ )가 구성되며, 소스 전극(66)은 스토리지 캐패시터( $C_{ST}$ )의 제 2 전극(전원배선)(55)과 접촉하여 구성되며, 상기 제 2 전극(55)의 하부에는 상기 다결정 실리콘인 제 1 전극(35)이 구성된다.
- [0062] 이하, 단면도를 참조하여 상기 발광층의 구성을 좀 더 상세히 설명한다.
- [0063] 도 5는 종래에 따른 유기전계 발광소자의 발광부의 구성을 개략적으로 도시한 단면도이다.
- [0064] 종래에 따른 유기전계 발광소자는, 앞서 언급한 바와 같은 박막트랜지스터 어레이기관(32)에 먼저, 양극 전극(anode electrode,36)을 구성하고 상기 양극전극(36)의 상부에 홀 주입층(HIL,38a)과 홀 수송층(HTL,38b), 발광층(EML,38c), 전자 수송층(EIL, 38d), 전자 주입층(ETL, 38e)과 음극전극(cathode electrode, 80)을 적층하

여 구성한다.

- [0065] 전술한 구성에서, 일반적인 유기물질의 경우 정공과 전자의 이동도가 크게 차이가 나기 때문에, 상기 정공 수송층(38a)과 전자 수송층(38d)을 더욱 구성함으로써, 정공(hole)과 전자(electron)가 상기 발광층(38c)으로 좀 더 효과적으로 전달될 수 있도록 한다.
- [0066] 이와 같이 하면, 정공(hole)과 전자(electron)의 밀도가 균형을 이루도록 하여 발광효율을 높일 수 있다.
- [0067] 또한, 상기 양극 전극(36)과 정공 수송층(38b) 사이에 상기 정공 주입층(38a)을 더욱 구성하고, 상기 음극 전극(80)과 전자 수송층(38d) 사이에 전자 주입층(38e)을 더욱 구성하게 되면, 상기 삽입된 층으로 인해 정공 주입에너지 및 전자 주입에너지의 장벽을 낮추는 역할을 하여, 발광효율을 증가시키고 구동 전압을 낮추게 하는 장점이 있다.
- [0068] 그런데, 일반적으로 상기 음극전극(80)으로 사용되는 물질은 비교적 일함수가 낮은 물질인, 칼슘(Ca), 알루미늄(Al), 마그네슘(Mg), 은(Ag), 리튬(Li)과 같은 물질을 사용한다.
- [0069] 상기 양극전극으로는 ITO와 같은 투명 전극을 사용한다.
- [0070] 현재로서는 음극전극(80)으로 사용하는 물질로는 투명한 물질이 없고, 상기 양극전극(36)으로 순수하게 투명한 금속물질로인 상기 ITO가 일반화 되어 사용되고 있다.
- [0071] 그런데, 상기 양극전극(36)으로 사용되는 ITO는 스퍼터링을 이용한 증착공정을 사용하는 것이 일반화되었기 때문에, 자칫 하부층에 심각한 데미지를 입히면서 증착되는 특성이 있기 때문에 유기 발광층의 상부에 상기 ITO를 형성한다는 것은 좀 힘든 문제이다.
- [0072] 따라서, 종래에는 개구영역의 심각한 저하를 감안하면서, 상기 양극전극(36)을 박막트랜지스터 어레이기판(32)의 상부에 제 1 층으로 구성하였다.
- [0073] 결과적으로, 종래의 유기전계 발광소자는 상기 박막트랜지스터 어레이기판(32)을 중심으로 하부 발광을 하는 구성이기 때문에, 어레이부에 의한 심각한 휘도저하 현상이 있어 왔고, 개구영역의 손실을 최소화하기 위해 박막트랜지스터 어레이기판의 설계 또한 자유롭지 못한 단점이 있었다.
- [0074] 또한, 전술한 형태는 상기 양극전극(36)이 구동소자와 직접 접촉하는 구성이기 때문에, 상기 박막트랜지스터 또한 P타입인 다결정 박막트랜지스터를 기반으로 하게 되어 공정상 복잡함이 있어 생산수율을 저하하는 문제가 있었다.

**발명이 이루고자 하는 기술적 과제**

- [0075] 따라서, 본 발명은 전술한 문제를 해결하기 위해 제안된 것으로, 본 발명의 목적은 상부 발광형 유기전계 발광소자를 제작하는 것을 제 1 목적으로 한다.
- [0076] 또한, 상부 발광형으로 제작함으로써 개구영역을 확보하여 휘도를 개선하고, 박막트랜지스터 어레이기판을 설계함에 있어, 설계의 자유도를 확보할 수 있도록 하는 것을 제 2 목적으로 한다.
- [0077] 또한, n형 박막트랜지스터를 기반으로 한 구동회로(CMOS 회로)와 스위칭 소자와 구동 소자를 구성하는 것이 가능하여, 공정 단순화를 통한 비용절감을 제 3 목적으로 한다.
- [0078] 또한, 어레이기판의 단차에 의해 발광층이 분리되는 것을 방지하고, 상기 발광층의 파괴에 의해 양극전극과 음극전극이 쇼트되는 것을 방지하는 동시에, 박막트랜지스터와 접촉하는 음극전극이 들뜨는 것을 방지하는 것을 제 4 목적으로 한다.

**발명의 구성 및 작용**

- [0079] 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 유기전계 발광소자는 다수의 화소 영역이 정의된 기판과; 상기 기판의 각 화소 영역마다 구성되는 스위칭 소자와, 이에 연결된 구동소자와; 상기 스위칭 소자 및 구동소자가 형성된 기판에 구성되고, 표면을 평탄화 하는 평탄화층과; 상기 평탄화층의 상부에 위치하고 상기 구동소자와 연결되는 음극전극과; 상기 평탄화층과 상기 음극전극 사이에 위치한 버퍼층과; 상기 음극전극의 상부

에 구성된 발광층과; 상기 발광층의 상부에 구성된 양극전극을 포함한다.

- [0080] 상기 음극전극은 불투명한 재질이고, 상기 양극 전극은 투명한 재질인 것을 특징으로 한다.
- [0081] 상기 버퍼층은 상기 평탄화층과 부착특성이 좋은 금속층 이거나, 무기 절연막인 것을 특징으로 한다.
- [0082] 상기 스위칭 소자와 구동소자는 n형 박막트랜지스터이고, 각각은 게이트 전극과 액티브층과 오믹콘택층과 소스 전극과 드레인 전극으로 구성되고, 상기 스위칭 소자의 드레인 전극은 상기 구동소자의 게이트 전극과 접촉하도록 구성하고, 상기 구동소자의 드레인 전극은 상기 음극전극과 접촉하도록 구성된 것을 특징으로 한다.
- [0083] 상기 스위칭 소자 및 구동소자의 소스 전극은 "U"형상이거나 링 형상이고, 상기 드레인 전극은 상기 소스 전극의 내부에 이와 이격하여 구성된 막대 형상이거나 원형상인 것을 특징으로 한다.
- [0084] 상기 스위칭 소자의 게이트 전극과 접촉하고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 스위칭 소자의 드레인 전극과 접촉하고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 더욱 포함한다.
- [0085] 상기 구동소자의 소스 전극과 접촉하고 일 끝단에 전원 패드를 포함하는 전원 배선을 더욱 포함하고, 상기 전원 배선에서 연장된 연장부를 제 1 전극으로 하고, 상기 스위칭 소자의 드레인 전극에서 연장된 연장부를 제 2 전극으로 하는 스토리지 캐패시터를 더욱 포함한다.
- [0086] 상기 발광층은, 상기 음극전극 상부에 순차 적층된 전자 주입층과, 전자 수송층과, 주 발광층과, 홀 수송층과, 홀 주입층과, 버퍼층으로 구성된 것을 특징으로 한다.
- [0087] 상기 버퍼층은 CuPC와 같은 결정성장이 이루어지는 유기물질 또는  $V_2O_5$ 를 포함하는 산화물인 것을 특징으로 한다.
- [0088] 본 발명의 제 1 특징에 따른 유기전계 발광소자 제조방법은 기판을 준비하는 단계와; 상기 기판에 다수의 화소 영역을 정의하는 단계와; 상기 기판의 각 화소 영역마다 스위칭 소자와, 이에 연결된 구동소자를 형성하는 단계와; 상기 스위칭 소자와 구동소자가 형성된 기판의 전면에, 표면을 평탄화하는 평탄화층을 형성하는 단계와; 상기 구동소자와 연결되면서 상기 평탄화층의 상부에 위치하는 음극 전극을 형성하는 단계와; 상기 음극전극과 상기 평탄화층 사이에 버퍼층을 형성하는 단계와; 상기 음극전극의 상부에 발광층을 형성하는 단계와; 상기 발광층의 상부에 양극전극을 형성하는 단계를 포함한다.
- [0089] 상기 양극전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹중 선택된 하나로 형성하고, 상기 음극전극은 칼슘(Ca), 알루미늄(Al), 마그네슘(Mg), 은(Ag), 리튬(Li)과 같은 일함수가 낮은 물질 그룹 중 선택된 하나로 형성하는 것을 특징으로하고, 상기 평탄화층은 벤조사이클로부텐(BCB)과, 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나로 형성된다.
- [0090] 상기 버퍼층은 버퍼 금속층 이거나, 버퍼 절연막인 것을 특징하며, 상기 버퍼금속층은 상기 평탄화층과 부착특성이 뛰어난 물질인 몰리브덴(Mo) 또는 ITO이고, 상기 버퍼 절연막은 무기절연막인 것을 특징으로 한다.
- [0091] 상기 평탄화층의 하부에 무기절연막을 형성하는 단계를 더욱 포함한다.
- [0092] 본 발명의 제 2 특징에 따른 유기전계 발광소자 제조방법은 기판을 준비하는 단계와; 상기 기판의 전면에 다수의 화소 영역과, 화소 영역마다 스위칭 영역과 구동영역과 스토리지 영역을 정의하는 단계와; 상기 기판의 전면에 제 1 도전성 금속층을 형성하고 패터하여, 상기 스위칭 영역과 구동영역에 각각 게이트 전극을 형성하고, 상기 스토리지 영역에 전원 배선을 형성하는 단계와; 상기 스위칭 영역과 구동 영역에 대응하여, 상기 각 게이트 전극에 대응하는 게이트 절연막의 상부에 액티브층과 오믹 콘택층을 형성하는 단계와; 상기 게이트 절연막을 패터하여, 상기 구동 영역의 게이트 전극과 상기 전원 배선을 노출하는 단계와; 상기 기판의 전면에 제 2 도전성 금속층을 형성하고 패터하여, 상기 스위칭 영역과 구동영역에 각각 소스 전극과 드레인 전극을 형성하고, 상기 스위칭 영역의 드레인 전극은 상기 구동영역의 게이트 전극과 접촉하도록 하고, 상기 구동 영역의 소스 전극은 상기 전원 배선과 접촉하도록 형성하는 단계와; 상기 기판의 전면에 제 1 보호막을 형성하고, 상기 제 1 보호막의 상부에 평탄화층을 형성하는 단계와; 상기 평탄화층과 그 하부의 제 1 보호막을 패터하여, 상기 구동 영역의 드레인 전극을 노출하는 단계와; 상기 평탄화층의 상부에 버퍼 금속층과 음극 전극층을 증착하고 패터하여, 상기 화소 영역에 버퍼 금속층과 음극 전극층으로 구성된 화소 전극을 형성하는 단계와; 상기 기판의 전면에 제 2 보호막을 형성하고 패터하여, 상기 화소 전극을 노출하는 단계와; 상기 화소전극(음극전극)의 상부에 발광층을

형성하는 단계와; 상기 발광층의 상부에 양극전극을 형성하는 단계를 포함한다.

- [0093] 본 발명의 제 3 특징에 따른 유기전계 발광소자 제조방법은 기판을 준비하는 단계와; 상기 기판의 전면에 다수의 화소 영역과, 화소 영역마다 스위칭 영역과 구동영역과 스토리지 영역을 정의하는 단계와; 상기 기판의 전면에 제 1 도전성 금속층을 형성하고 패터하여, 상기 스위칭 영역과 구동영역에 각각 게이트 전극을 형성하고, 상기 스토리지 영역에 전원 배선을 형성하는 단계와; 상기 스위칭 영역과 구동 영역에 대응하여, 상기 각 게이트 전극에 대응하는 게이트 절연막의 상부에 액티브층과 오믹 콘택층을 형성하는 단계와; 상기 게이트 절연막을 패터하여, 상기 구동 영역의 게이트 전극과 상기 전원 배선을 노출하는 단계와; 상기 기판의 전면에 제 2 도전성 금속층을 형성하고 패터하여, 상기 스위칭 영역과 구동영역에 각각 소스 전극과 드레인 전극을 형성하고, 상기 스위칭 영역의 드레인 전극은 상기 구동영역의 게이트 전극과 접촉하도록 하고, 상기 구동 영역의 소스 전극은 상기 전원 배선과 접촉하도록 형성하는 단계와; 상기 기판의 전면에 제 1 보호막을 형성하고, 상기 제 1 보호막의 상부에 평탄화층을 형성하는 단계와; 상기 구동영역의 드레인 전극에 대응하는 평탄화층과 하부의 제 1 보호막을 노출하는 단계와; 상기 평탄화층이 형성된 기판의 전면에 버퍼 절연막을 형성하는 단계와; 상기 구동 영역의 드레인 전극에 대응하는 상기 제 1 보호막과 상기 버퍼 절연막을 식각하여, 상기 드레인 전극을 노출하는 단계와; 상기 화소 영역에 상기 드레인 전극과 접촉하는 화소 전극을 형성하는 단계와; 상기 기판의 전면에 제 2 보호막을 형성하고 패터하여, 상기 화소 전극을 노출하는 단계와; 상기 화소전극(음극전극)의 상부에 발광층을 형성하는 단계와; 상기 발광층의 상부에 양극전극을 형성하는 단계를 포함한다.
- [0094] 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.
- [0095] -- 제 1 실시예 --
- [0096] 본 발명의 특징은 발광부를 구성함에 있어, 음극전극을 하부에 구성하고 양극전극을 상부에 구성하는 구조에서, 음극전극의 하부에 버퍼층과 평탄화층을 구성하는 것을 특징으로 한다.
- [0097] 도 6은 본 발명에 따른 유기전계 발광소자의 구성을 개략적으로 도시한 단면도이다.
- [0098] 도시한 바와 같이, 본 발명에 따른 유기전계 발광소자(EL)는 박막트랜지스터 어레이기판(100)에 음극전극(cathode electrode, 200)과 전자 주입층(EIL,202)과 전자 수송층(ETL,204)과, 발광층(EML,206)과, 상기 발광층(EML,206)의 상부에 홀 수송층(208)과 홀 주입층(210)과 양극전극(214)을 구성한다.
- [0099] 이때, 상기 정공 주입층(210)과 양극 전극(214) 사이에 버퍼층(212)을 더욱 구성하는 것을 특징으로 한다.
- [0100] 상기 정공 주입층(210)의 상부에 버퍼층(212)을 더욱 구성하는 이유는, 상기 양극전극(214)인 ITO 또는 IZO를 스퍼터링 방법으로 증착할 때, 상기 하부의 정공 주입층(210)에 데미지를 입히지 않도록 하기 위한 것이다.
- [0101] 이를 위해, 상기 버퍼층(212)은 상기 정공 주입층(210)의 특성을 가짐과 동시에, 좀 더 강한특성을 가져야 하므로 CuPC(Copper Phthalocyanine, 구리 페로사이닌)와 같이 결정성이 잘 이루어지는 물질이나, V<sub>2</sub>O<sub>5</sub>(바나듐산 무스물)과 같은 산화물질 등을 사용한다.
- [0102] 특히, 상기 CuPC는 얇게 증착하는 것이 가능하고, 낮은 문턱전압과 높은 이동도를 갖는 특성을 가지며 특히, 유연성을 가지기 때문에 표시장치에 사용하는데 좋은 장점을 가진다.
- [0103] 진술한 구성은, 상기 양극전극(214)을 발광부의 상부에 구성하였기 때문에, 상부발광으로 구동하는 것이 가능하여 개구영역을 더욱 확보할 수 있는 특징을 가진다.
- [0104] 또한, 음극전극(200)이 어레이기판의 구동소자(미도시)와 접촉하는 구성이므로, 상기 박막트랜지스터는 n타입 비정질 실리콘 박막트랜지스터로 제작될 수 있기 때문에, 공정상 간단하여 공정비용면에서 유리한 장점이 있다.
- [0105] 진술한 구성에서, 상기 박막트랜지스터 어레이 기판(100) 표면의 단차를 평탄화 하는 동시에, 상기 음극전극(200)의 들뜸을 방지하기 위해, 상기 음극전극(200)의 하부에 평탄화층과 버퍼 금속층 또는 버퍼 절연막을 더욱 구성하는 것을 특징으로 한다.
- [0106] 이하, 도면을 참조하여, 본 발명에 따른 유기전계 발광소자용 박막트랜지스터 어레이 기판의 구성을 설명한다.
- [0107] 이하, 도 7은 본 발명에 따른 유기전계 발광소자용 박막트랜지스터 어레이기판의 일부를 확대하여 개략적으로 도시한 확대 평면도이다.

- [0108] 본 발명에 따른 유기전계 발광소자용 어레이 기관(100)은, 기관(100)상에 다수의 화소영역(P)을 정의하고, 상기 화소 영역(P)마다 스위칭 소자(T<sub>S</sub>)와 이에 연결된 구동소자(T<sub>D</sub>)를 구성한다.
- [0109] 상기 스위칭 소자(T<sub>S</sub>)와 구동소자(T<sub>D</sub>)는 n형 박막트랜지스터이고, 각각은 게이트 전극(102,104)과, 액티브층(118a,120a)과, 오믹 콘택층(미도시) 소스 전극(122a,124a)과 드레인 전극(122b,124b)을 포함하며, 상기 스위칭 소자(T<sub>S</sub>)의 드레인 전극(122b)은 상기 구동소자(T<sub>D</sub>)의 게이트 전극(104)과 연결되도록 구성한다.
- [0110] 상기 화소 영역(P)의 일 측에는 상기 스위칭 소자(T<sub>S</sub>)의 게이트 전극(102)에 신호를 전달하는 게이트 배선(106)을 구성하고, 상기 게이트 배선(106)과 수직한 방향의 상기 화소 영역(P)의 타 측에는 데이터 배선(126)을 구성하고, 게이트 배선(106)과 평행하게 이격하여 전원 배선(110)을 구성한다.
- [0111] 상기 게이트 배선(106)과 데이터 배선(126)과 상기 전원배선(110)의 끝단에는 게이트 패드(108)와 데이터 패드(128)와 전원 패드(114)를 구성하고, 상기 게이트 패드(108)와 접촉하는 게이트 패드 전극(140)과, 상기 데이터 패드(128)와 접촉하는 데이터 패드 전극(144)과, 상기 전원패드(114)와 접촉하는 전원 패드 전극(142)을 구성한다.
- [0112] 상기 화소 영역(P)에는 상기 스위칭 소자(T<sub>S</sub>)의 드레인 전극(122b)에서 연장된 연장부(122c)를 제 1 전극으로 하고, 상기 제 1 전극의 상부에 전원 배선(110)에서 연장된 연장부(112)를 제 2 전극으로 하는 스토리지 캐패시터(C<sub>ST</sub>)를 형성한다.
- [0113] 또한, 상기 화소 영역(P)의 전면에 대응하여, 상기 구동소자(T<sub>D</sub>)의 드레인 전극(124b)과 접촉하는 화소 전극(음극전극,138)을 구성한다.
- [0114] 상기 화소 전극(138)의 상부에 발광층(미도시)과 양극전극(미도시)을 구성한다.
- [0115] 이때, 스위칭 소자(T<sub>S</sub>)와 구동 소자(T<sub>D</sub>)는 비정질 실리콘을 액티브층(118a,120a)으로 사용하는 비정질 박막트랜지스터이며, 상기 소스 전극(122a,124a)과 드레인 전극(122b,124b)은 구동특성을 개선하기 위한 형태로 구성하는 것을 특징으로 한다.
- [0116] 예를 들어, 도시한 바와 같이 스위칭 소자(T<sub>S</sub>)는 소스 전극(122a)을 "U"형상으로 구성하고, 드레인 전극(122b)은 상기 소스 전극(122a)의 내부에 이와 이격된 형태의 막대 형상으로 구성하고, 상기 구동 소자(T<sub>D</sub>)는 소스 및 드레인 전극(124a,124b)을 링 형상 및 원현상으로 구성한다.
- [0117] 진술한 구성들은 상기 소스 전극(122a,124a)과 드레인 전극(122b,124b) 사이의 거리에 해당하는 액티브층(118a,120a)의 채널 길이를 짧게 하고 너비를 넓게 가져갈 수 있는 구성으로 특히, 전류 구동하는 특성상 상기 구동 소자(T<sub>D</sub>)의 구성은 액티브층(120a)의 채널너비를 극대화 할 수 있어 소자의 열화를 최소화 할 수 있는 장점이 있다.
- [0118] 이하, 도 8a와 도 8b와 도 8c와 도 8d를 참조하여, 본 발명에 따른 유기전계 발광소자의 단면구성을 설명한다.
- [0119] 도 8a와 도 8b와 도 8c와 도 8d는 도 7의 V-V,VI-VI,VII-VII,VIII-VIII을 따라 절단한 단면도이다.
- [0120] 도시한 바와 같이, 기관(100)은 화소 영역(P)과 화소 영역(P)의 내부에 스위칭 영역(S)과 구동 영역(D)과 스토리지 영역(C)을 구성하고, 화소 영역(P)의 일 측에는 게이트 영역(GA)과, 이에 평행한 방향에 전원 영역(VA)과, 상기 게이트 영역및 전원 영역(GA,VA)과 수직한 방향으로 데이터 영역(DA)을 정의한다.
- [0121] 상기 스위칭 영역(S)과 구동 영역(D)에는 n형 박막트랜지스터인 스위칭 소자(T<sub>S</sub>)와 구동 소자(T<sub>D</sub>)를 구성하고, 상기 스토리지 영역(C)은 상기 스위칭 소자(T<sub>S</sub>)의 드레인 전극(122b)에서 연장된 연장부(122c)를 제 1 전극으로 하고, 상기 제 1 전극 상부의 게이트 절연막(116)을 유전체로 하고, 상기 전원 배선(도 7의 110)에서 상기 게이트 절연막(116)의 상부로 연장된 연장부(112)를 제 2 전극으로 하는 스토리지 캐패시터(C<sub>ST</sub>)를 구성한다.
- [0122] 상기 화소 영역(P)에는 상기 구동 소자(T<sub>D</sub>)의 드레인 전극(124b)과 접촉하면서 화소 영역(P)의 전면에 버퍼 금속층(134)과 음극 전극층(136)이 적층된 화소전극(138)을 구성하고, 상기 화소 전극(138)의 상부에는 앞서 언급한 제 1 및 제 2 예에 따른 다층으로 구성된 발광층(148)과, 발광층(148)의 상부에 양극전극(152)을 구성한다.

- [0123] 상기 스위칭 소자(T<sub>S</sub>)와 구동 소자(T<sub>B</sub>)의 제 1 전극으로 게이트 전극(102,104)을 구성하고, 상기 게이트 전극(102,104)의 상부에 게이트 절연막(116)을 사이에 두고 액티브층(118a,120a)을 구성하고, 상기 액티브층(118a,120a)의 상부에는 소스 전극(122a,124a)과 드레인 전극(122b,124b)을 구성한다.
- [0124] 상기 액티브층(118a,120a)을 형성하기 전 또는 후에 상기 게이트 절연막(116)에 콘택홀(미도시)을 형성한 후, 상기 스위칭 소자(T<sub>S</sub>)의 드레인 전극(122b)과 상기 구동 소자(T<sub>B</sub>)의 게이트 전극(104)이 접촉하도록 구성하고, 상기 구동소자(T<sub>B</sub>)의 드레인 전극(124b)과 상기 전원 배선(110)이 접촉하도록 구성한다.
- [0125] 또한, 화소영역(P)의 경계에 대응하는 부분에 제 2 보호막(146)를 구성함으로써, 상기 화소영역(P)간 상기 발광층(148)이 콘택되는 것을 방지하도록 한다.
- [0126] 상기 게이트 영역(GA)과 전원 영역(VA)과 상기 데이터 영역(DA)의 맨 끝단에는 게이트 패드(108)와 이와 접촉하는 게이트 패드 전극(140)과, 전원 패드(114)와 이와 접촉하는 전원 패드 전극(142)과, 데이터 패드(128)와 이와 접촉하는 데이터 패드 전극(144)을 구성한다.
- [0127] 진술한 구성에서, 상기 화소전극(138)을 형성하기 전 평탄화층(132)을 더욱 구성함으로써, 상기 어레이 기판(100)의 단차에 의해 상기 발광층(148)이 증착되지 않거나, 얇게 증착되어 전극간 쇼트가 발생하거나, 발광층(148)의 열화가 가속화 되어 다크 스팟(dark spot)이 발생하는 불량을 방지하도록 하였다.
- [0128] 또한, 상기 화소 전극(138)과 게이트 패드 전극(140)과 전원 패드 전극(142)과 데이터 패드 전극(144)의 하부층으로, 상기 평탄화층(132)과 부착특성이 좋은 버퍼 금속층(134)을 더욱 구성함으로써, 화소 전극(138)등이 벗겨지는 불량을 방지할 수 있는 것을 특징으로 한다.
- [0129] 도 9a 내지 도 9e와 도 10a 내지 도 10e와 도 11a 내지 도 11e와 도 12a 내지 도 12e는 도 7의 V-V,VI-VI, VII-VII,VIII-VIII를 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다.
- [0130] 도 9a와 도 10a와 도 11a와 도 12a에 도시한 바와 같이, 기판(100)상에 다수의 화소 영역(P)과, 상기 화소 영역(P)마다 스위칭 영역(S)과 구동영역(D)과 스토리지 영역(C)을 정의하고, 상기 화소 영역(P)의 일측과 타측에 게이트 영역(GA)과 데이터 영역(DA)을 정의하고, 상기 게이트 영역(GA)과 평행한 영역에 전원영역(VA)을 정의한다.
- [0131] 상기 다수의 영역(S,D,C,GA,VA,DA)이 정의된 기판(100)의 전면에 알루미늄(Al)과 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 티타늄(Ti)등을 포함하는 도전성금속 그룹 중 선택된 하나 또는 하나 이상을 증착하고 패터하여, 상기 스위칭 영역(S)과 구동 영역(D)에 각각 게이트 전극(102,104)을 형성하고, 상기 게이트 영역(G)에는 일 끝단에 게이트 패드(108)를 포함하는 게이트 배선(도 7의 106)을 형성하고, 상기 전원 영역(VD)에는 일 끝단에 전원 패드(114)를 포함하는 전원 배선(110)과, 상기 전원 배선(110)에서 상기 스토리지 영역(C)으로 연장된 연장부(112)를 형성한다.
- [0132] 다음으로, 상기 기판(100)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여, 게이트 절연막(116)을 형성한다.
- [0133] 다음으로, 상기 게이트 절연막(116)의 상부에 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)을 증착하고 패터하여, 상기 스위칭 영역(S)과 구동 영역(D)에 구성된 게이트 전극(102,104)의 상부에 각각 액티브층(118a,120a)과 오믹 콘택층(118b,120b)을 형성한다.
- [0134] 다음으로, 상기 게이트 절연막(116)을 패터하여, 상기 구동 영역(D)의 게이트 전극(104)과, 상기 스토리지 영역(C)의 전원 배선의 연장부(112)를 노출하는 제 1 콘택홀(CH1)과 제 2 콘택홀(CH2)을 형성한다.
- [0135] 다음으로, 도 9b와 도 10b와 도 11b와 도 12b에 도시한 바와 같이, 액티브층(118a,120a)과 오믹 콘택층(118b,120b)이 형성된 기판(100)의 전면에 앞서 언급한 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하고 패터하여, 상기 스위칭 영역(S)과 구동 영역(D)에 이격된 소스 전극(122a,124a)과 드레인 전극(122b,124b)을 형성하고, 상기 데이터 영역(D)에는 일 끝단에 데이터 패드(128)를 포함하는 데이터 배선(도 7의 126)을 형성한다.
- [0136] 이때, 상기 스위칭 영역(S)의 드레인 전극(122b)은 상기 스토리지 영역(C)으로 연장된 연장부(122c)를 포함하며 동시에, 상기 구동 영역(D)의 게이트 전극(104)과 접촉하도록 구성하고, 상기 구동 영역(D)의 드레인 전극(124b)은 상기 전원배선 또는 전원배선의 연장부(112)와 접촉하도록 구성한다.

- [0137] 다음으로, 상기 소스 전극(122a,124a)과 드레인 전극(122b,124b) 사이로 노출된 오믹 콘택층(118b,120b)을 제거하여 하부의 액티브층(118a,120a)을 노출하는 공정을 진행한다.
- [0138] 이때, 상기 노출된 액티브층(118a,120a)은 액티브채널(active channel)로서의 기능을 하게 되며 따라서, 상기 액티브 채널(active channel)의 길이(length)를 짧게 하거나 너비(width)를 넓게 하기 위해, 상기 소스 전극을 "U"형상 또는 링형상으로 구성할 수 있으며 이러한 경우, 상기 드레인 전극(122b,124b)은 각각 상기 소스 전극(122a,124a)의 내부에 위치하여 막대 형상 또는 원형상으로 구성하면 된다.
- [0139] 다음으로, 도 9c와 도 10c와 도 11c와 도 12c에 도시한 바와 같이, 소스 및 드레인 전극(122a,124a,122b,124b)이 형성된 기판(100)의 전면에 앞서 언급한 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 제 1 보호막(130)을 형성하고, 상기 제 1 보호막(130)을 형성하고, 상기 제 1 보호막(130)의 상부에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 도포하여 평탄화층(132)을 형성한다.
- [0140] 다음으로, 상기 평탄화층(132)과 하부의 제 1 보호막(130)을 패터닝하여, 상기 구동 영역(D)의 드레인 전극(124b)을 노출하는 제 3 콘택홀(CH3)을 형성한다.
- [0141] 동시에, 상기 게이트 패드(108)와 전원 패드(114)와 상기 데이터 패드(128)를 노출하는 제 4 콘택홀(CH4)과 제 5 콘택홀(CH5)과 제 6 콘택홀(CH6)을 형성한다.
- [0142] 도 9d와 도 10d와 도 11d와 도 12d에 도시한 바와 같이, 상기 평탄화층(132)이 형성된 기판(100)의 전면에 버퍼 금속층(134)과 음극 전극층(136)을 적층하고 패터닝하여, 상기 화소 영역(P)에 상기 버퍼 금속층(134)과 음극 전극층(136)이 적층된 화소 전극(138)과, 상기 게이트 패드(108)와 접촉하는 게이트 패드 전극(140)과, 상기 전원 패드(114)와 접촉하는 전원패드 전극(142)과, 상기 데이터 패드(128)와 접촉하는 데이터 패드 전극(144)을 형성한다.
- [0143] 상기 버퍼금속층(134)은 상기 유기막인 평탄화층(132)과 부착특성(adhesion)이 좋은 금속이면 되며 이러한 금속으로는 몰리브덴(Mo)이나 IT0등이 있다.
- [0144] 상기 음극 전극층으로는 칼슘(Ca), 알루미늄(Al), 알루미늄함금(AlNd), 마그네슘(Mg), 은(Ag), 리튬(Li)과 같은 물질 그룹 중 선택된 하나로 형성한다.
- [0145] 전술한 평탄화층(132)은 기판(100)의 표면을 평탄화 하는 기능을 하기 때문에, 상기 구동소자(T<sub>0</sub>)및 콘택부의 단차를 평탄화 할 수 있어, 이후 구성층 증착되지 못하는 불량 또는 전극간 쇼트가 발생하는 불량을 방지할 수 있다.
- [0146] 또한, 상기 버퍼 금속층(134)은 상기 음극 전극층(136)과 상기 유기막인 평탄화층(132)사이의 접촉특성이 좋지 않은 것을 보완하기 위한 층으로 특히, 화소 전극(138)과 구동소자의 드레인 전극(124b)과 접촉하는 부분 또는 상기 게이트 패드(108)와 게이트 패드 전극(140)의 콘택부와, 상기 전원 패드(114)와 전원 패드 전극(142)의 콘택부 그리고, 상기 데이터 패드(128)와 데이터 패드 전극(144)의 콘택부에서 상기 음극 전극층(136)이 벗겨지는 것을 방지할 수 있는 장점이 있다.
- [0147] 위와 같이 각각 하부에 버퍼 금속층(134)을 포함하는 화소전극(138)과 게이트 패드 전극(140)과 전원 패드 전극(142)과 데이터 패드 전극(144)이 구성된 기판(100)의 전면에, 앞서 언급한 무기 절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 제 2 보호막(뱅크, 146)을 형성한다,
- [0148] 다음으로, 상기 제 2 보호막(146)을 패터닝하여, 상기 화소 전극(138)과 게이트 패드 전극(140)과 전원 패드 전극(142)과 데이터 패드 전극(144)을 노출하는 공정을 진행한다.
- [0149] 상기 제 2 보호막(146)은 이후 공정에서 화소 영역(P)마다 형성하는 발광층이 화소영역(P)간 쇼트(shot)되지 않도록 하는 기능을 한다.
- [0150] 다음으로, 도 9e와 도 10e와 도 11e와 도 12e에 도시한 바와 같이, 상기 노출된 화소 전극의 상부에 발광층(148)을 형성한다.
- [0151] 상기 발광층(148)은 앞서 언급한 예와 같이, 상기 음극전극(138)의 상부에 전자 주입(EIL)과 전자 수송층(ETL)과 주 발광층(EML)과 홀 수송층(HTL)과 홀 주입층(HIL)과 버퍼층(150)을 구성한다.
- [0152] 이때, 상기 주 발광층(EML)은 적색과 녹색과 청색을 발광하게 되며, 화소영역(P)마다 순차 형성한다.

- [0153] 다음으로, 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속 그룹 중 선택된 하나를 증착하고 패터하여, 상기 화소 영역(P)마다 양극전극(152)을 형성한다.
- [0154] 전술한 공정을 통해, 본 발명의 제 1 실시예에 따른 유기전계 발광소자를 제작할 수 있다.
- [0155] 이하, 제 2 실시예를 통해 본 발명의 제 1 실시예의 변형예를 설명한다.
- [0156] -- 제 2 실시예 --
- [0157] 본 발명의 제 2 실시예의 특징은, 상기 평탄화층과 화소전극(음극전극)사이에 버퍼층으로 버퍼 절연막을 형성하는 것을 특징으로 한다.
- [0158] 앞서, 제 1 실시예의 공정에서 평탄화층을 형성하는 공정까지는 동일하므로 이를 생략하고, 본 발명의 제 2 실시예에 해당하는 공정을 기준으로 설명하기로 한다.
- [0159] 도 13a 내지 도 13e와 도 14a 내지 도 14e와 도 15a 내지 도 15e와 도 16a 내지 도 16e는 도 7의 V-V, VI-VI, VII-VII, VIII-VIII를 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다.
- [0160] 도 13a와 도 14a와 도 15a와 도 16a에 도시한 바와 같이, 상기 기판(100)의 전면에 평탄화층(132)을 형성하고, 상기 구동영역(D)의 드레인 전극(124b)에 대응하는 제 1 보호막(130)을 노출하는 제 3 콘택홀(CH3)과, 상기 게이트 패드(108)와 전원 패드(114)와 데이터 패드(128)에 대응하는 제 1 보호막(130)을 노출하는 제 4 내지 제 6 콘택홀(CH4, CH5, CH6)을 형성한다.
- [0161] 다음으로, 도 13b와 도 14b와 도 15b와 도 16b에 도시한 바와 같이, 상기 평탄화층(132)이 형성된 기판(100)의 전면에 질화 실리콘( $\text{SiN}_x$ )과 산화 실리콘( $\text{SiO}_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 버퍼 절연막(BIL)을 형성한다.
- [0162] 이때, 상기 버퍼 절연막(BIL)은 상기 콘택홀(CH3, CH4, CH5, CH6)의 내부의 평탄화층(132)면을 덮는 형상으로 증착된다.
- [0163] 다음으로, 도 13c와 도 14c와 도 15c와 도 16c에 도시한 바와 같이, 상기 버퍼 절연막(BIL)과 하부의 제 1 보호막(130)을 패터하여, 상기 제 3 내지 제 6 콘택홀에 대응하여 이보다 작은 크기로 제 7 내지 도 10 콘택홀(CH7, CH8, CH9, CH10)을 형성함으로써, 상기 구동영역(D)의 드레인 전극(124b)과, 게이트 패드(108)와 전원 패드(114)와 데이터 패드(128)를 노출하는 공정을 진행한다.
- [0164] 도 13d와 도 14d와 도 15d와 도 16d에 도시한 바와 같이, 상기 버퍼 절연막(BIL)이 형성된 기판(100)의 전면에 음극전극층을 형성하고 패터하여, 상기 화소 영역(P)에 상기 구동영역(D)의 드레인 전극(124b)과 접촉하는 화소 전극(138, 음극전극)과, 상기 게이트 패드(108)와 접촉하는 게이트 패드 전극(140)과 상기 전원 패드(114)와 접촉하는 전원 패드 전극(142)과 상기 데이터 패드(128)와 접촉하는 데이터 패드 전극(144)을 형성한다.
- [0165] 이때, 상기 음극전극층은 칼슘(Ca), 알루미늄(Al), 알루미늄함금(AlNd), 마그네슘(Mg), 은(Ag), 리튬(Li)과 같은 물질 그룹 중 선택된 하나로 형성한다.
- [0166] 다음으로, 상기 화소전극(138)과 게이트 패드 전극(140)과 전원 패드 전극(142)과 데이터 패드 전극(144)이 구성된 기판(100)의 전면에, 앞서 언급한 무기 절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 제 2 보호막(뱅크, 146)을 형성한다,
- [0167] 다음으로, 상기 제 2 보호막(146)을 패터하여, 상기 화소 전극(138)과 게이트 패드 전극(140)과 전원 패드 전극(142)과 데이터 패드 전극(144)을 노출하는 공정을 진행한다.
- [0168] 상기 제 2 보호막(146)은 이후 공정에서 화소 영역(P)마다 형성하는 발광층이 화소영역(P)간 쇼트(shot)되지 않도록 하는 기능을 한다.
- [0169] 다음으로, 도 13e와 도 14e와 도 15e와 도 16e에 도시한 바와 같이, 상기 노출된 화소 전극(138)의 상부에 발광층(148)을 형성한다.
- [0170] 상기 발광층(148)은 앞서 도 6에서 언급한 예와 같이, 상기 음극전극(138)의 상부에 전자 주입(EIL)과 전자 수송층(ETL)과 주 발광층(EML)과 홀 수송층(HTL)과 홀 주입층(HIL)과 버퍼층(150)을 구성한다.



- [0171] 이때, 상기 주 발광층(EML)은 적색과 녹색과 청색을 발광하게 되며, 화소영역(P)마다 순차 형성한다.
- [0172] 다음으로, 기관(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 화소 영역(P)마다 양극전극(152)을 형성한다.
- [0173] 기술한 공정을 통해 본 발명의 제 2 실시예에 따른 유기전계 발광소자를 제작할 수 있다.

**발명의 효과**

- [0174] 본 발명에 따른 상부 발광형 유기전계 발광소자는, 음극전극을 하부에 구성하고 투명한 양극전극을 상부에 구성하는 인버티드(inverted)구조임으로, 상부 발광이 가능하다.
- [0175] 따라서, 하부 어레이기관의 형상에 영향을 받지 않아 개구율 확보를 통해 고휘도를 구현할 수 있는 효과가 있다.
- [0176] 또한, n타입 비정질 박막트랜지스터를 기반으로, 구동회로(CMOS소자)와 스위칭 소자와 구동소자를 구성할 수 있기 때문에 공정이 단순화를 통한 비용절감 및, 회로적으로 안정성을 꾀할 수 있는 효과가 있다.
- [0177] 또한, 평탄화구조를 도입하여 어레이기관의 단차를 평탄화하여, 발광층이 얇게 증착되거나 증착되지 않는 불량을 방지할 수 있어, 발광층의 열화 및 전극간 쇼트불량을 방지할 수 있는 효과가 있다.
- [0178] 또한, 평탄화층과 상기 음극전극 사이에 버퍼층을 더욱 구성함으로써, 상기 음극전극이 들뜨는 불량을 방지할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0001] 도 1은 종래에 따른 능동 매트릭스형 유기전계 발광소자의 구성을 개략적으로 도시한 단면도이고,
- [0002] 도 2는 박막트랜지스터 어레이부의 한 화소를 개략적으로 도시한 평면도 이고,
- [0003] 도 3은 종래에 따른 유기전계 발광소자용 어레이 기관의 한 화소를 확대하여 개략적으로 도시한 확대 평면도이고,
- [0004] 도 4는 도 3의 III-III'를 따라 절단한 단면도이고,
- [0005] 도 5는 종래에 따른 발광부의 구성을 개략적으로 도시한 단면도이고,
- [0006] 도 6은 본 발명에 따른 발광부의 구성을 개략적으로 도시한 단면도이고,
- [0007] 도 7은 본 발명에 따른 유기전계 발광소자용 어레이 기관의 일부를 확대하여 개략적으로 도시한 평면도이고,
- [0008] 도 8a와 도 8b와 도 8c와 도 8d는 도 7의 V-V, VI-VI, VII-VII, VIII-VIII를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이고,
- [0009] 도 9a 내지 도 9e와 도 10a 내지 도 10e와 도 11a 내지 도 11e와 도 12a 내지 도 12e는 도 7의 V-V, VI-VI, VII-VII, VIII-VIII를 따라 절단하여, 본 발명의 제1 실시예에 따른 공정순서에 따라 도시한 공정 단면도이고,
- [0010] 도 13a 내지 도 13e와 도 14a 내지 도 14e와 도 15a 내지 도 15e와 도 16a 내지 도 16e는 도 7의 V-V, VI-VI, VII-VII, VIII-VIII를 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다.

**<도면의 주요부분에 대한 간단한 설명>**

- [0011] <도면의 주요부분에 대한 간단한 설명>
- [0012] 100 : 기관    102, 104 : 게이트 전극
- [0013] 112 : 전원배선의 연장부                      116 : 게이트 절연막
- [0014] 118a, 120a : 액티브층                      118b, 120b : 오믹 콘택층
- [0015] 122a, 124a : 소스 전극                      122b, 124b : 드레인 전극
- [0016] 122c : 드레인 전극의 연장부
- [0017] 130 : 제 1 보호막                                132 : 평탄화층
- [0018] 134 : 버퍼 금속층                              136 : 음극전극층

[0019] 138 : 화소 전극

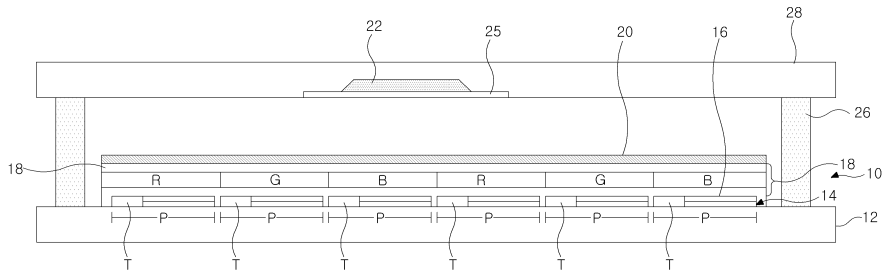
146 : 제 2 보호막

[0020] 148 : 발광층

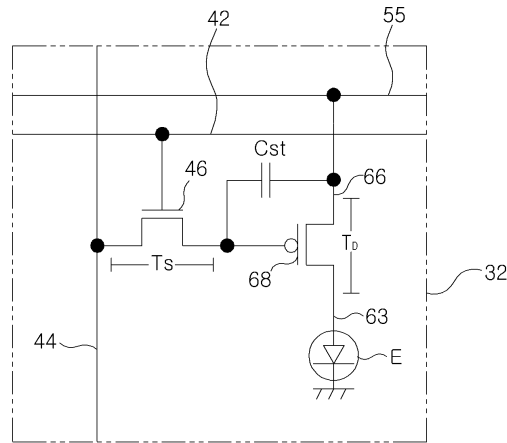
152 : 양극전극

도면

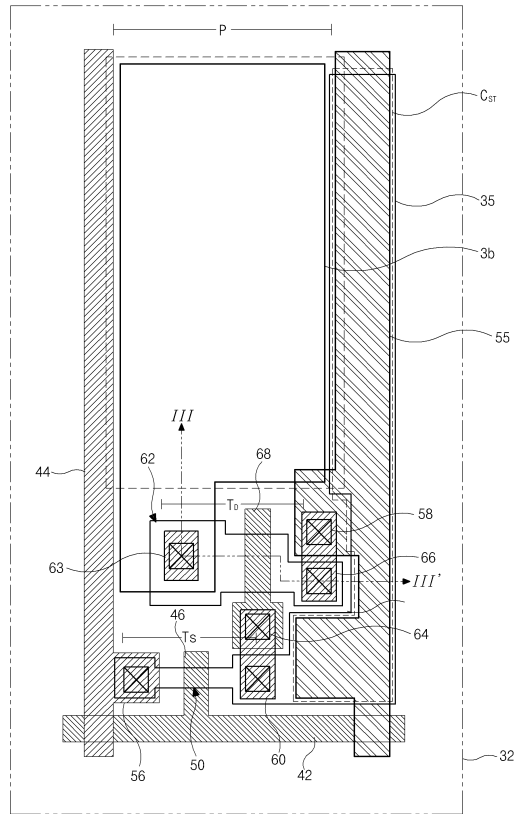
도면1



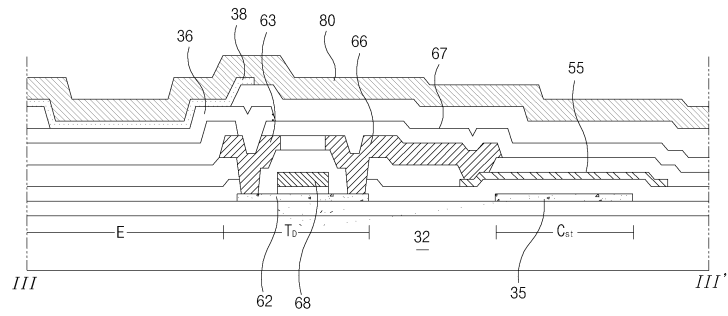
도면2



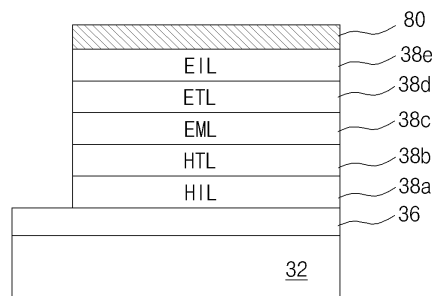
도면3



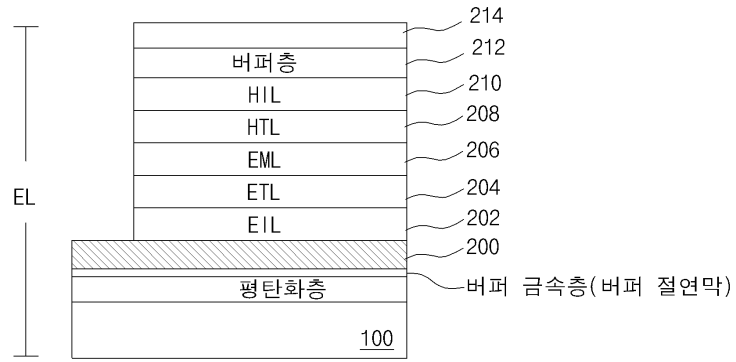
도면4



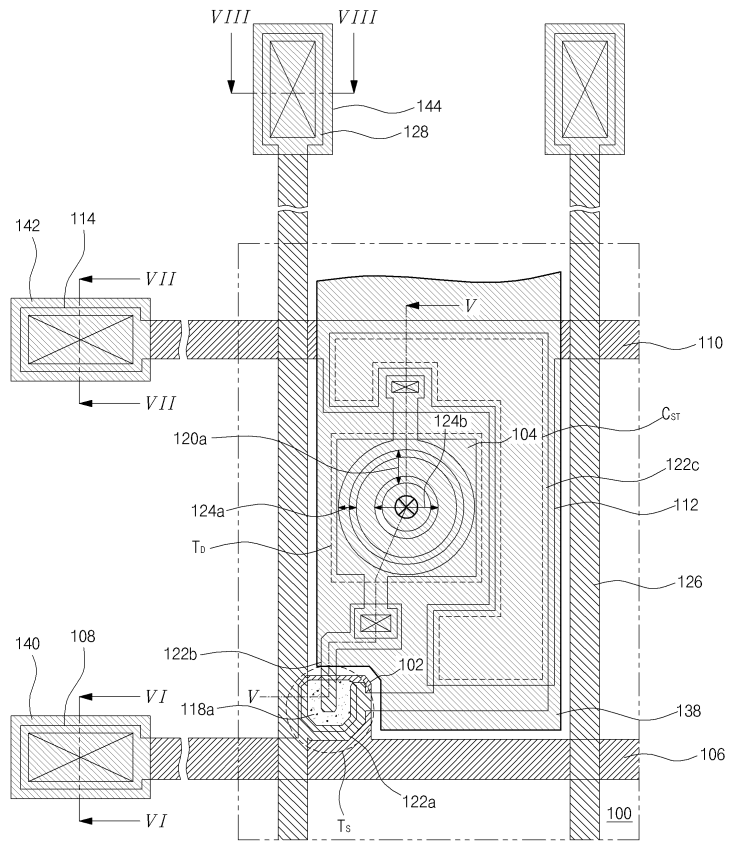
도면5



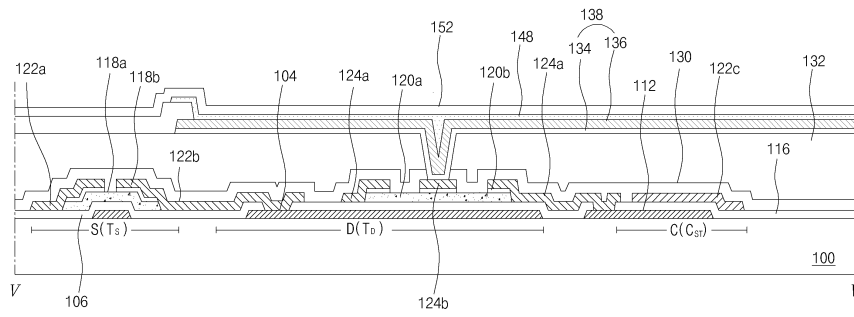
도면6



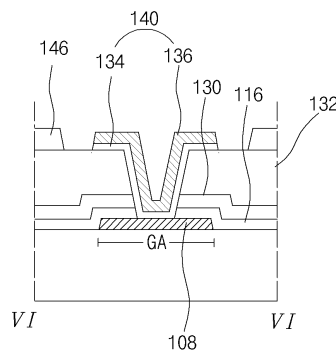
도면7



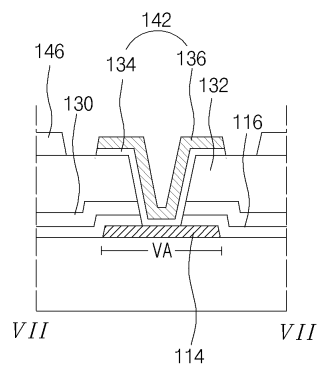
도면8a



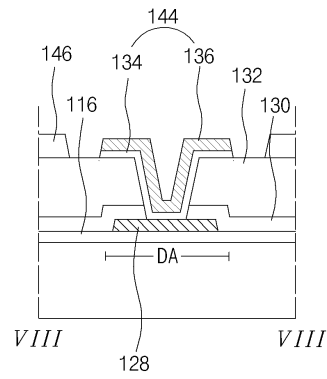
도면8b



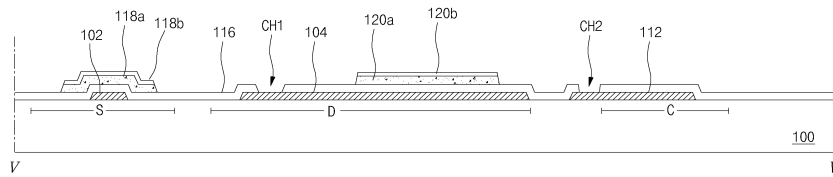
도면8c



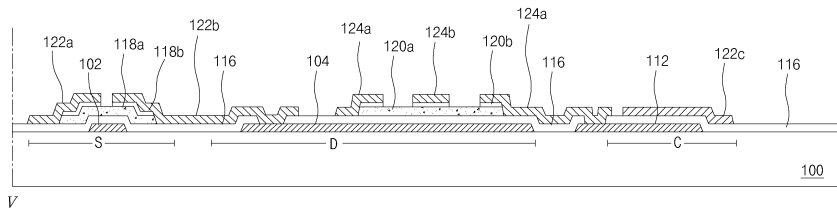
도면8d



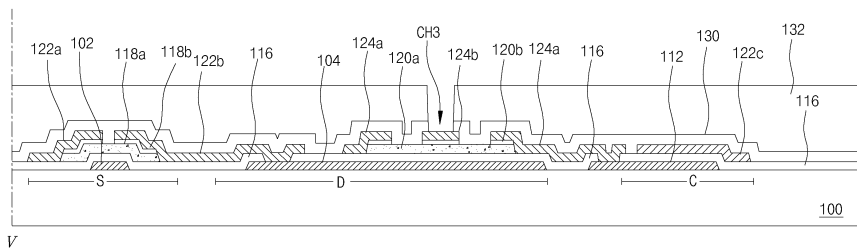
도면9a



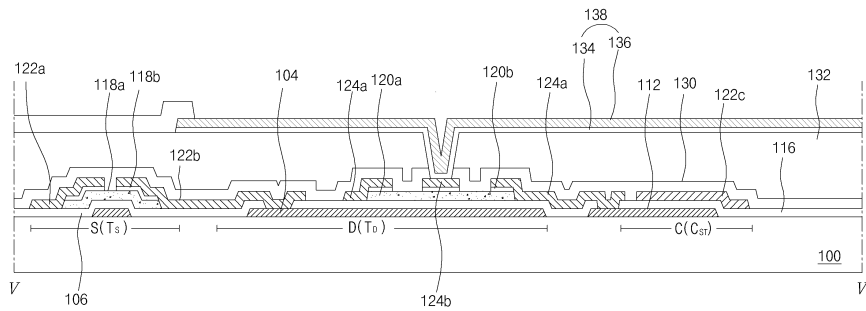
도면9b



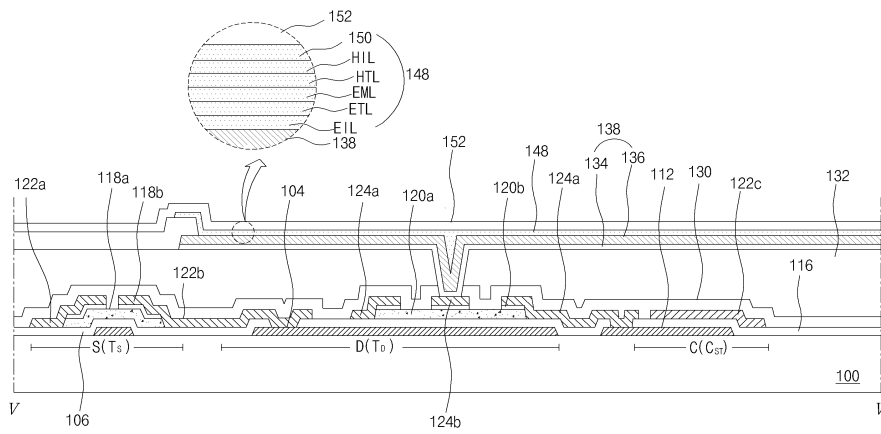
도면9c



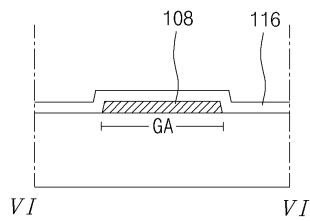
도면9d



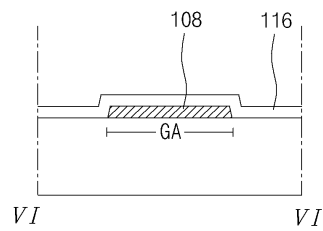
도면9e



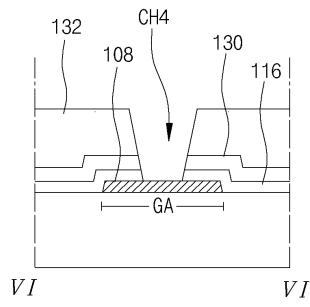
도면10a



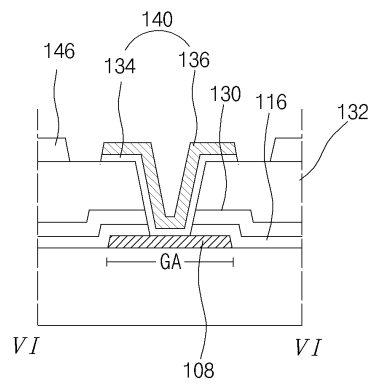
도면10b



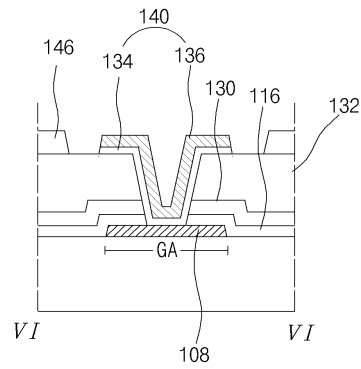
도면10c



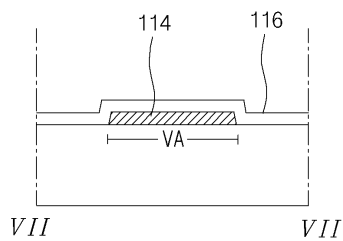
도면10d



도면10e

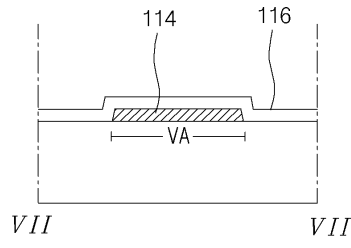


도면11a

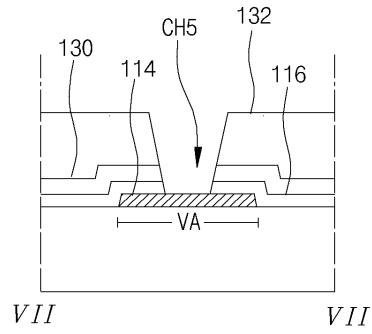




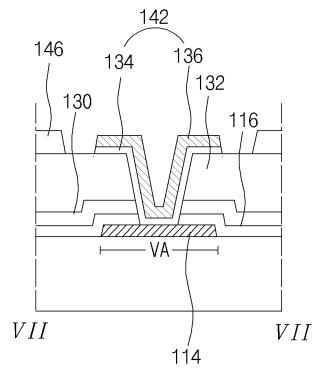
도면11b



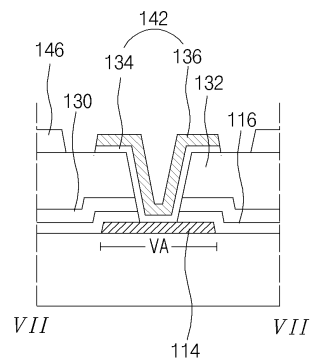
도면11c



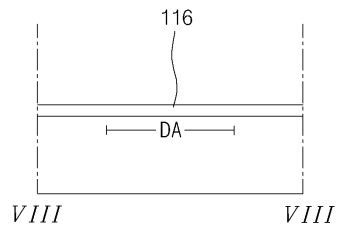
도면11d



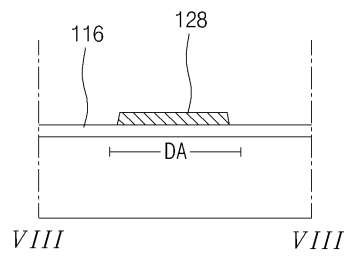
도면11e



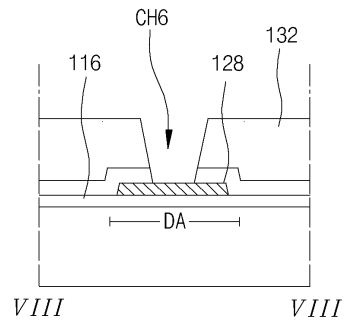
도면12a



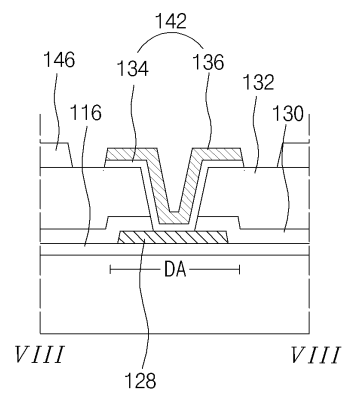
도면12b



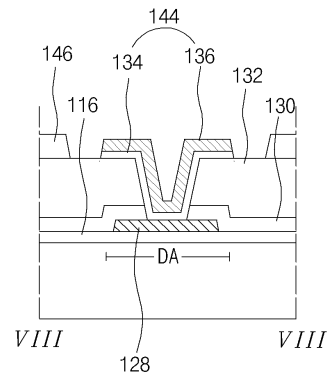
도면12c



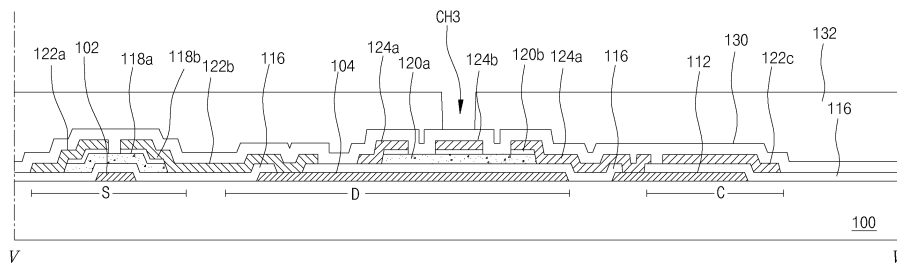
도면12d



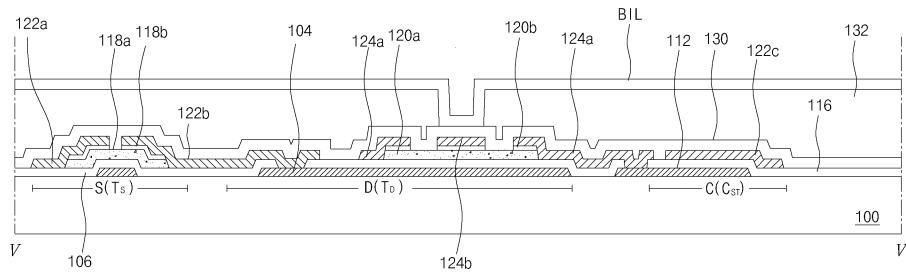
도면12e



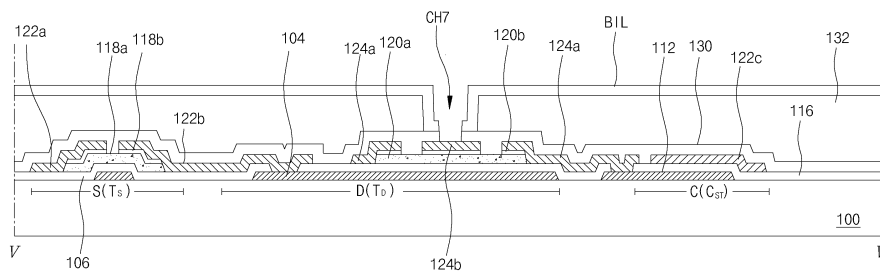
도면13a



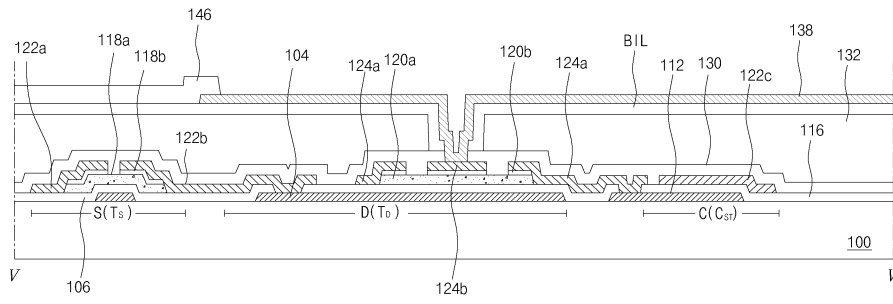
도면13b



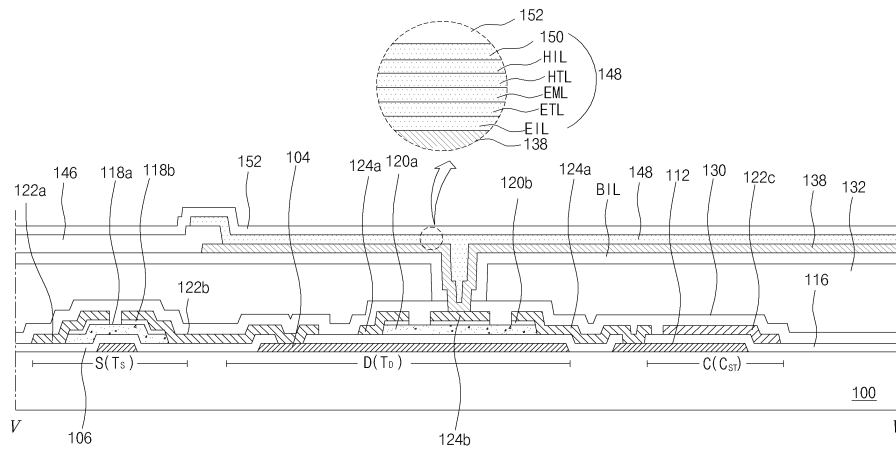
도면13c



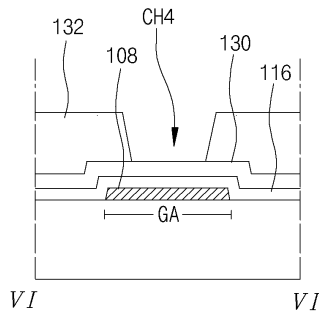
도면13d



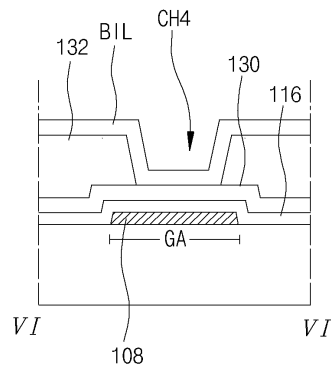
도면13e



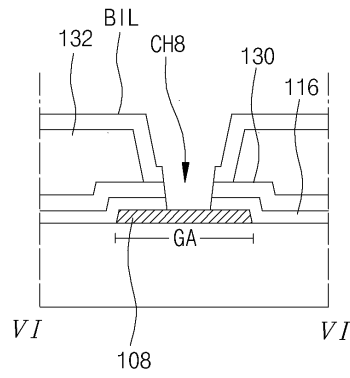
도면14a



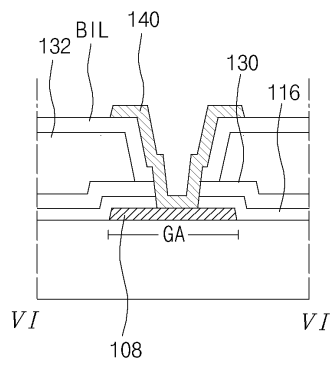
도면14b



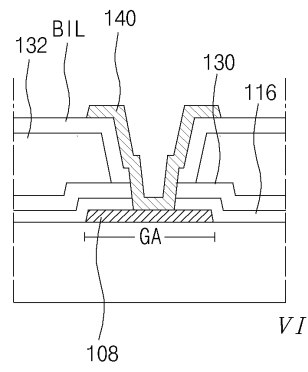
도면14c



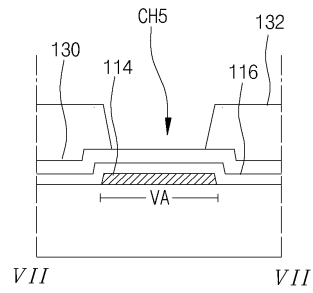
도면14d



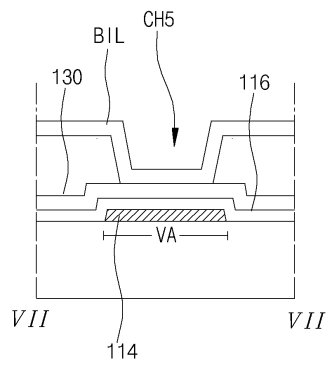
도면14e



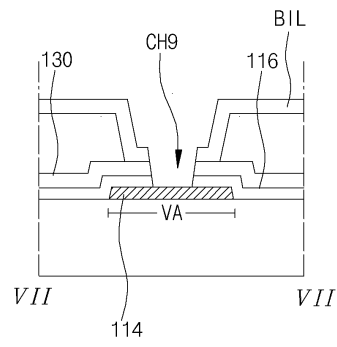
도면15a



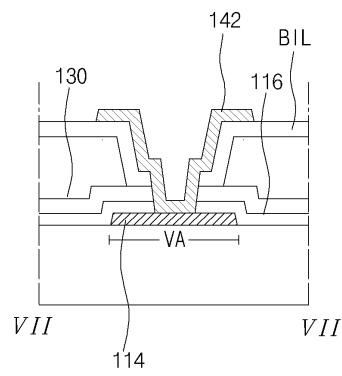
도면15b



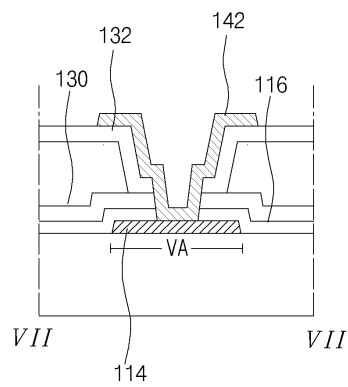
도면15c



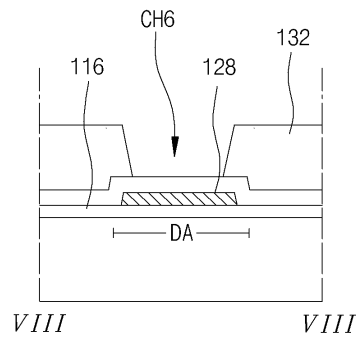
도면15d



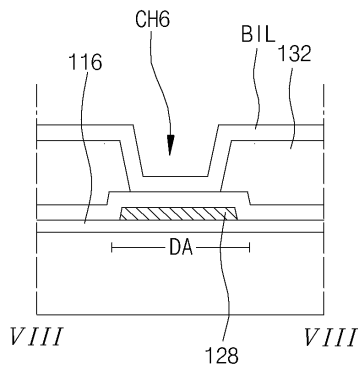
도면15e



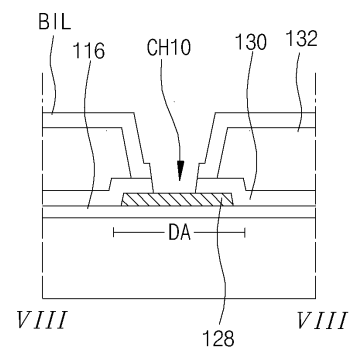
도면16a



도면16b

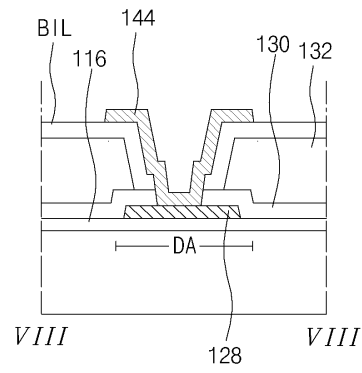


도면16c





도면16d



도면16e

