

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7632101号
(P7632101)

(45)発行日 令和7年2月19日(2025.2.19)

(24)登録日 令和7年2月10日(2025.2.10)

(51)国際特許分類

F I

G 0 2 F 1/025(2006.01)

G 0 2 F 1/025

請求項の数 7 (全19頁)

(21)出願番号	特願2021-98079(P2021-98079)	(73)特許権者	000002130
(22)出願日	令和3年6月11日(2021.6.11)		住友電気工業株式会社
(65)公開番号	特開2022-189481(P2022-189481 A)		大阪府大阪市中央区北浜四丁目5番33号
(43)公開日	令和4年12月22日(2022.12.22)	(74)代理人	100088155
審査請求日	令和6年4月22日(2024.4.22)		弁理士 長谷川 芳樹
		(74)代理人	100113435
			弁理士 黒木 義樹
		(74)代理人	100136722
			弁理士 ▲高▼木 邦夫
		(74)代理人	100174399
			弁理士 寺澤 正太郎
		(74)代理人	100140453
			弁理士 戸津 洋介
		(72)発明者	森 大樹

最終頁に続く

(54)【発明の名称】 光変調器及び光変調器の製造方法

(57)【特許請求の範囲】

【請求項1】

光軸方向である第1方向に延在する第1メサ導波路と、
第2メサ導波路と、
を備え、

前記第1メサ導波路は、基板の主面上に設けられたp型の第1半導体層と、前記第1半導体層上に設けられたコア層と、前記コア層上に設けられたp型の第2半導体層と、前記コア層上に設けられたn型の第3半導体層とを備え、

前記第2半導体層及び前記第3半導体層は、前記第1方向において互いに隣接して配置されており、

前記第3半導体層上には電極が設けられており、

前記第2半導体層と前記第3半導体層との間の接合面は、前記第1方向に直交する面に対して傾斜しており、

前記接合面は、前記基板の前記主面に対して50°以上60°以下の角度だけ傾斜している、光変調器。

【請求項2】

前記接合面は、前記第1方向における前記第3半導体層の長さが前記電極から前記コア層に向かうに連れて短くなるように傾斜している、請求項1に記載の光変調器。

【請求項3】

前記第2半導体層のp型ドーパントは、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上の濃度を有する、請求

項 1 又は請求項 2 に記載の光変調器。

【請求項 4】

前記第 2 半導体層の p 型ドーパントは、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度を有する、請求項 1 から請求項 3 のいずれか一項に記載の光変調器。

【請求項 5】

光軸方向である第 1 方向に延在する第 1 メサ導波路と、第 2 メサ導波路とを備える光変調器の製造方法であって、

基板の主面上に半導体積層体を形成する工程であり、前記半導体積層体は、前記基板上に設けられた p 型の第 1 半導体層と、前記第 1 半導体層上に設けられたコア層と、前記コア層上に設けられた第 1 導電型の第 2 半導体層とを含む、工程と、

前記第 2 半導体層をウェットエッチングすることによって、前記第 2 半導体層に凹部を形成する工程であり、前記第 1 方向における前記凹部の長さが、前記凹部の上端から下端に向かうに連れて小さくなっている、工程と、

前記凹部内に第 2 導電型の第 3 半導体層を形成する工程であり、前記第 2 半導体層と前記第 3 半導体層との間の接合面は、前記基板の前記主面に対して 50° 以上 60° 以下の角度だけ傾斜している、工程と、

前記第 2 半導体層、前記第 3 半導体層、前記コア層及び前記第 1 半導体層をエッチングすることによって、前記第 1 メサ導波路及び前記第 2 メサ導波路を形成する工程と、

前記第 1 メサ導波路上に電極を形成する工程であり、前記電極は、前記第 2 半導体層及び前記第 3 半導体層のうち n 型の層上に形成される、工程と、
を含む、光変調器の製造方法。

【請求項 6】

前記第 3 半導体層が前記 n 型の層である、請求項 5 に記載の光変調器の製造方法。

【請求項 7】

前記第 3 半導体層を形成する工程では、前記第 1 方向における前記第 3 半導体層の上面の長さが、前記第 1 方向における前記第 2 半導体層の上面の長さよりも長い、請求項 5 又は請求項 6 に記載の光変調器の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、光変調器及び光変調器の製造方法に関する。

【背景技術】

【0002】

特許文献 1 は、2 つのメサ導波路を備えるマッハツェンダ型の光変調器を開示する。各メサ導波路は、基板上に設けられた下部クラッド層と、下部クラッド層上に設けられたコア層と、コア層上に設けられた上部クラッド層とを有する。各メサ導波路上には、メサ導波路の延在方向に配列された複数の変調電極が設けられる。複数の変調電極間において、上部クラッド層は、i 型半導体により構成された分離部を有する。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2004 - 102160 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

下部クラッド層が p 型半導体から構成される場合、下部クラッド層に含まれる p 型ドーパント（例えば亜鉛）と、分離部に含まれるドーパント（例えば鉄）とが相互拡散することがある。その結果、p 型ドーパントがコア層中に拡散する。コア中の p 型ドーパントは非発光再結合中心となり得る。

【0005】

10

20

30

40

50

本開示は、コア層の p 型ドーパント濃度を低くできる光変調器及び光変調器の製造方法を提供する。

【課題を解決するための手段】

【0006】

本開示の一側面に係る光変調器は、第 1 方向に延在する第 1 メサ導波路と、第 2 メサ導波路と、を備え、前記第 1 メサ導波路は、基板上に設けられた p 型の第 1 半導体層と、前記第 1 半導体層上に設けられたコア層と、前記コア層上に設けられた p 型の第 2 半導体層と、前記コア層上に設けられた n 型の第 3 半導体層とを備え、前記第 2 半導体層及び前記第 3 半導体層は、前記第 1 方向において互いに隣接して配置されており、前記第 3 半導体層上には電極が設けられており、前記第 2 半導体層と前記第 3 半導体層との間の接合面は、前記第 1 方向に直交する面に対して傾斜している。

10

【0007】

本開示の一側面に係る光変調器の製造方法は、第 1 方向に延在する第 1 メサ導波路と、第 2 メサ導波路とを備える光変調器の製造方法であって、基板上に半導体積層体を形成する工程であり、前記半導体積層体は、前記基板上に設けられた p 型の第 1 半導体層と、前記第 1 半導体層上に設けられたコア層と、前記コア層上に設けられた第 1 導電型の第 2 半導体層とを含む、工程と、前記第 2 半導体層をウェットエッチングすることによって、前記第 2 半導体層に凹部を形成する工程であり、前記第 1 方向における前記凹部の長さが、前記凹部の上端から下端に向かうに連れて小さくなっている、工程と、前記凹部内に第 2 導電型の第 3 半導体層を形成する工程と、前記第 2 半導体層、前記第 3 半導体層、前記コア層及び前記第 1 半導体層をエッチングすることによって、前記第 1 メサ導波路及び前記第 2 メサ導波路を形成する工程と、前記第 1 メサ導波路上に電極を形成する工程であり、前記電極は、前記第 2 半導体層及び前記第 3 半導体層のうち n 型の層上に形成される、工程と、を含む。

20

【発明の効果】

【0008】

本開示によれば、コア層の p 型ドーパント濃度を低くできる光変調器及び光変調器の製造方法が提供される。

【図面の簡単な説明】

【0009】

30

【図 1】図 1 は、第 1 実施形態に係る光変調器を模式的に示す平面図である。

【図 2】図 2 は、図 1 の I I - I I 線に沿った断面図である。

【図 3】図 3 は、図 1 の I I I - I I I 線に沿った断面図である。

【図 4】図 4 は、図 1 の I V - I V 線に沿った断面図である。

【図 5】図 5 は、第 1 実験における深さとドーパント濃度との関係を示すグラフである。

【図 6】図 6 は、第 2 実験における深さとドーパント濃度との関係を示すグラフである。

【図 7】図 7 は、導波方向の位置と電界強度との関係の例を示すグラフである。

【図 8】図 8 は、アクセプタ濃度と電界リーク長さとの関係の例を示すグラフである。

【図 9】図 9 は、第 1 実施形態に係る光変調器の製造方法の一工程を模式的に示す平面図である。

40

【図 10】図 10 は、図 9 の X - X 線に沿った断面図である。

【図 11】図 11 は、第 1 実施形態に係る光変調器の製造方法の一工程を模式的に示す平面図である。

【図 12】図 12 は、図 11 の X I I - X I I 線に沿った断面図である。

【図 13】図 13 は、第 1 実施形態に係る光変調器の製造方法の一工程を模式的に示す平面図である。

【図 14】図 14 は、図 13 の X I V - X I V 線に沿った断面図である。

【図 15】図 15 は、第 1 実施形態に係る光変調器の製造方法の一工程を模式的に示す断面図である。

【図 16】図 16 は、第 2 実施形態に係る光変調器の一部を模式的に示す断面図である。

50

【発明を実施するための形態】

【0010】

[本開示の実施形態の説明]

一実施形態に係る光変調器は、第1方向に延在する第1メサ導波路と、第2メサ導波路と、を備え、前記第1メサ導波路は、基板上に設けられたp型の第1半導体層と、前記第1半導体層上に設けられたコア層と、前記コア層上に設けられたp型の第2半導体層と、前記コア層上に設けられたn型の第3半導体層とを備え、前記第2半導体層及び前記第3半導体層は、前記第1方向において互いに隣接して配置されており、前記第3半導体層上には電極が設けられており、前記第2半導体層と前記第3半導体層との間の接合面は、前記第1方向に直交する面に対して傾斜している。

10

【0011】

本実施形態の光変調器によれば、第1半導体層中のp型ドーパントと第2半導体層中のp型ドーパントとが相互拡散し難い。そのため、第1半導体層及び第2半導体層中のp型ドーパントがコア層に向かって拡散することを抑制できる。よって、コア層のp型ドーパント濃度を低くできる。

【0012】

前記接合面は、前記第1方向における前記第3半導体層の長さが前記電極から前記コア層に向かうに連れて短くなるように傾斜してもよい。この場合、第1方向において接合面からp型の第2半導体層内に延びる電界リークが発生しても、第1方向において電界が広がる領域を小さくできる。

20

【0013】

前記第2半導体層のp型ドーパントは、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上の濃度を有してもよい。この場合、第1方向において接合面からp型の第2半導体層内に延びる電界リーク長さを小さくできる。

【0014】

前記第2半導体層のp型ドーパントは、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度を有してもよい。この場合、第2半導体層において、自由キャリア吸収による光損失を低減できる。

【0015】

一実施形態に係る光変調器の製造方法は、第1方向に延在する第1メサ導波路と、第2メサ導波路とを備える光変調器の製造方法であって、基板上に半導体積層体を形成する工程であり、前記半導体積層体は、前記基板上に設けられたp型の第1半導体層と、前記第1半導体層上に設けられたコア層と、前記コア層上に設けられた第1導電型の第2半導体層とを含む、工程と、前記第2半導体層をウェットエッチングすることによって、前記第2半導体層に凹部を形成する工程であり、前記第1方向における前記凹部の長さが、前記凹部の上端から下端に向かうに連れて小さくなっている、工程と、前記凹部内に第2導電型の第3半導体層を形成する工程と、前記第2半導体層、前記第3半導体層、前記コア層及び前記第1半導体層をエッチングすることによって、前記第1メサ導波路及び前記第2メサ導波路を形成する工程と、前記第1メサ導波路上に電極を形成する工程であり、前記電極は、前記第2半導体層及び前記第3半導体層のうちn型の層上に形成される、工程と、を含む。

30

【0016】

本実施形態の光変調器の製造方法によれば、第1半導体層中のp型ドーパントと第2半導体層及び第3半導体層のうちp型の層中のp型ドーパントとが相互拡散し難い。そのため、第1半導体層及び第2半導体層又は第3半導体層中のp型ドーパントがコア層に向かって拡散することを抑制できる。よって、コア層のp型ドーパント濃度を低くできる。

【0017】

前記第3半導体層が前記n型の層であってもよい。この場合、p型の第2半導体層中のp型ドーパントがコア層に向かって拡散し難い。

【0018】

前記第3半導体層を形成する工程では、前記第1方向における前記第3半導体層の上面

40

50

の長さが、前記第 1 方向における前記第 2 半導体層の上面の長さよりも長くてもよい。この場合、第 3 半導体層の上面の平坦性を高くできる。

【 0 0 1 9 】

[本開示の実施形態の詳細]

以下、添付図面を参照しながら本開示の実施形態が詳細に説明される。図面の説明において、同一又は同等の要素には同一符号が用いられ、重複する説明は省略される。図面には、互いに交差する X 軸方向、Y 軸方向及び Z 軸方向が必要に応じて示される。X 軸方向、Y 軸方向及び Z 軸方向は例えば互いに直交している。X 軸方向は、例えば [0 - 1 1] 方向である。Y 軸方向は、例えば [0 1 1] 方向である。Z 軸方向は、例えば [1 0 0] 方向である。

10

【 0 0 2 0 】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る光変調器を模式的に示す平面図である。図 1 に示される光変調器 1 0 は、例えばマッハツェンダ変調器である。光変調器 1 0 は、例えば光通信において光の強度又は位相を変調し、変調信号を生成することができる。光変調器 1 0 は、例えば光の強度を調整することによって光を減衰させることができる。

【 0 0 2 1 】

光変調器 1 0 は、マッハツェンダ変調器の第 1 アーム導波路 A M 1 及び第 2 アーム導波路 A M 2 を備える。第 1 アーム導波路 A M 1 は第 1 メサ導波路 M 1 を備える。第 1 アーム導波路 A M 1 は、第 1 メサ導波路 M 1 の両端にそれぞれ光学的に結合された一対の曲がり導波路 M 1 b を備えてもよい。第 2 アーム導波路 A M 2 は第 2 メサ導波路 M 2 を備える。第 2 アーム導波路 A M 2 は、第 2 メサ導波路 M 2 の両端にそれぞれ光学的に結合された一対の曲がり導波路 M 2 b を備えてもよい。

20

【 0 0 2 2 】

第 1 メサ導波路 M 1 は、基板 1 2 上に設けられ、Y 軸方向 (第 1 方向) に沿って延在し、Z 軸方向に高さを有する。第 2 メサ導波路 M 2 は、第 1 メサ導波路 M 1 に沿って延在する。第 2 メサ導波路 M 2 は、Y 軸方向に沿って延在し、Z 軸方向に高さを有してもよい。第 2 メサ導波路 M 2 の延在方向は、第 1 メサ導波路 M 1 の延在方向と異なってもよい。具体的には、第 1 メサ導波路 M 1 の延在方向と第 2 メサ導波路 M 2 の延在方向とのなす角度は例えば 0 ° 超 2 0 ° 以下であってもよい。第 1 メサ導波路 M 1 及び第 2 メサ導波路 M 2 は、X 軸方向において互いに離間している。

30

【 0 0 2 3 】

第 1 メサ導波路 M 1 の入力端及び第 2 メサ導波路 M 2 の入力端は、それぞれ曲がり導波路 M 1 b 及び曲がり導波路 M 2 b を介して、光分波器 C 1 に光学的に結合される。光分波器 C 1 は、例えば 1 × 2 多モード干渉カプラ等の多モード干渉 (M M I : M u l t i - M o d e I n t e r f e r e n c e) カプラである。光分波器 C 1 は、入力導波路 W 1 の出力端に光学的に結合される。入力導波路 W 1 の入力端は入力ポート P 1 となる。入力ポート P 1 は基板 1 2 の縁に位置する。光は入力ポート P 1 に入力される。

【 0 0 2 4 】

第 1 メサ導波路 M 1 の出力端及び第 2 メサ導波路 M 2 の出力端は、それぞれ曲がり導波路 M 1 b 及び曲がり導波路 M 2 b を介して、光合波器 C 2 に光学的に結合される。光合波器 C 2 は、例えば 2 × 1 多モード干渉カプラ等の M M I カプラである。光合波器 C 2 は、出力導波路 W 2 の入力端に光学的に結合される。出力導波路 W 2 の出力端は出力ポート P 2 となる。出力ポート P 2 は、入力ポート P 1 が位置する基板 1 2 の縁とは反対側の縁に位置する。光は出力ポート P 2 から出力される。

40

【 0 0 2 5 】

第 1 メサ導波路 M 1 は、Y 軸方向に沿って互いに離間して配置された複数の変調部 M 1 m を備える。複数の変調部 M 1 m 間には分離部 M 1 s が位置する。各変調部 M 1 m には、Y 軸方向に延在する配線 E 1 a が接続される。配線 E 1 a は、変調部 M 1 m 上に位置している。各配線 E 1 a は、配線 E 1 b により電極パッド E P 1 に接続される。電極パッド E

50

P 1 は、X 軸方向において配線 E 1 a から離れて位置する。電極パッド E P 1 は、複数の変調部 M 1 m にわたって Y 軸方向に延在する。配線 E 1 a、配線 E 1 b 及び電極パッド E P 1 は、基板 1 2 上に位置している。配線 E 1 a、配線 E 1 b 及び電極パッド E P 1 は、例えば金等の金属を含む。

【 0 0 2 6 】

第 2 メサ導波路 M 2 は第 1 メサ導波路 M 1 と同様の構成を備える。第 2 メサ導波路 M 2 は、Y 軸方向に沿って互いに離間して配置された複数の変調部 M 2 m を備える。複数の変調部 M 2 m 間には分離部 M 2 s が位置する。各変調部 M 2 m には、Y 軸方向に延在する配線 E 2 a が接続される。配線 E 2 a は、変調部 M 2 m 上に位置している。各配線 E 2 a は、配線 E 2 b により電極パッド E P 2 に接続される。電極パッド E P 2 は、X 軸方向において配線 E 2 a から離れて位置する。電極パッド E P 2 は、複数の変調部 M 2 m にわたって Y 軸方向に延在する。配線 E 2 a、配線 E 2 b 及び電極パッド E P 2 は、基板 1 2 上に位置している。配線 E 2 a、配線 E 2 b 及び電極パッド E P 2 は、例えば金等の金属を含む。

10

【 0 0 2 7 】

電極パッド E P 1 の一端及び電極パッド E P 2 の一端には、配線により駆動回路 D R が接続されている。駆動回路 D R は、交流電源 P W と、抵抗 R 1 と、抵抗 R 2 とを含む。交流電源 P W は、配線により抵抗 R 1 を介して電極パッド E P 1 の一端に接続される。交流電源 P W は、配線により抵抗 R 2 を介して電極パッド E P 2 の一端に接続される。

【 0 0 2 8 】

20

電極パッド E P 1 の他端は、配線により終端抵抗 R T 1 を介して接地電位 G N D に接続されている。電極パッド E P 2 の他端は、配線により終端抵抗 R T 2 を介して接地電位 G N D に接続されている。

【 0 0 2 9 】

図 2 は、図 1 の I I - I I 線に沿った断面図である。図 2 には、変調部 M 1 m 及び変調部 M 2 m の断面が示されている。図 3 は、図 1 の I I I - I I I 線に沿った断面図である。図 3 には、分離部 M 1 s 及び分離部 M 2 s の断面が示されている。図 4 は、図 1 の I V - I V 線に沿った断面図である。図 4 には、変調部 M 1 m 及び分離部 M 1 s の断面が示されている。

【 0 0 3 0 】

30

図 2 から図 4 に示されるように、第 1 メサ導波路 M 1 は、基板 1 2 上に設けられた p 型の第 1 半導体層 1 6 と、第 1 半導体層 1 6 上に設けられたコア層 1 8 と、コア層 1 8 上に設けられた p 型の第 2 半導体層 2 6 と、コア層 1 8 上に設けられた n 型の第 3 半導体層 2 0 とを備える。基板 1 2 と第 1 半導体層 1 6 との間には半導体層 1 4 が設けられ得る。第 2 半導体層 2 6 上には p 型の半導体層 2 8 が設けられ得る。第 3 半導体層 2 0 上には n 型の半導体層 2 2 が設けられ得る。

【 0 0 3 1 】

第 2 半導体層 2 6 及び第 3 半導体層 2 0 は、Y 軸方向において互いに隣接して配置されている。複数の第 2 半導体層 2 6 及び複数の第 3 半導体層 2 0 が Y 軸方向に配列され得る。第 2 半導体層 2 6 及び第 3 半導体層 2 0 は、Y 軸方向において交互に配列され得る。第 3 半導体層 2 0 の数は電極 E 1 の数と一致し得る。第 2 半導体層 2 6 と第 3 半導体層 2 0 との間の接合面 J N は、Y 軸方向に直交する面 (X Z 平面) に対して傾斜している。すなわち、接合面 J N は、第 1 メサ導波路 M 1 の Y Z 断面において Z 軸方向に対して傾斜している。接合面 J N は、P N 接合面である。本実施形態において、接合面 J N は、Y 軸方向における第 3 半導体層 2 0 の長さ L 2 0 が電極 E 1 からコア層 1 8 に向かうに連れて短くなるように傾斜する。すなわち、接合面 J N は、Y 軸方向における第 2 半導体層 2 6 の長さ L 2 6 が電極 E 1 からコア層 1 8 に向かうに連れて長くなるように傾斜する。接合面 J N は、X Z 平面に対して角度 (9 0 ° - θ) だけ傾斜している。すなわち、接合面 J N は、基板 1 2 の主面 1 2 a に対して角度 θ だけ傾斜している。角度 θ は、5 0 ° 以上 6 0 ° 以下であり得る。角度 θ は、第 2 半導体層 2 6 に含まれる I I I - V 族化合物半導体の結

40

50

晶方位により制御され得る。例えば、基板 1 2 の主面 1 2 a が (1 0 0) 面であり、主面 1 2 a 上に第 2 半導体層 2 6 をエピタキシャル成長する場合、角度 θ は 55° であり得る。

【 0 0 3 2 】

接合面 J N は、Y 軸方向における第 3 半導体層 2 0 の長さ L 2 0 が電極 E 1 からコア層 1 8 に向かうに連れて長くなるように傾斜してもよい。すなわち、接合面 J N は、Y 軸方向における第 2 半導体層 2 6 の長さ L 2 6 が電極 E 1 からコア層 1 8 に向かうに連れて短くなるように傾斜してもよい。

【 0 0 3 3 】

第 1 メサ導波路 M 1 において、第 3 半導体層 2 0 上には電極 E 1 が設けられている。第 3 半導体層 2 0 と電極 E 1 との間には半導体層 2 2 が配置され得る。電極 E 1 上には配線 E 1 a が設けられる。第 1 メサ導波路 M 1 において、第 2 半導体層 2 6 上には電極 E 1 及び配線 E 1 a が設けられていない。

10

【 0 0 3 4 】

同様に、第 2 メサ導波路 M 2 において、第 3 半導体層 2 0 上には電極 E 2 が設けられている。第 3 半導体層 2 0 と電極 E 2 との間には半導体層 2 2 が配置され得る。電極 E 2 上には配線 E 2 a が設けられる。第 2 メサ導波路 M 2 において、第 2 半導体層 2 6 上には電極 E 2 及び配線 E 2 a が設けられていない。

【 0 0 3 5 】

図 2 に示されるように、変調部 M 1 m 及び変調部 M 2 m において、半導体層 1 4、第 1 半導体層 1 6、コア層 1 8、第 3 半導体層 2 0 及び半導体層 2 2 は、基板 1 2 の主面 1 2 a 上に順に設けられ得る。第 1 半導体層 1 6 は下部クラッド層を構成する。第 3 半導体層 2 0 は上部クラッド層を構成する。第 1 メサ導波路 M 1 のコア層 1 8 及び第 2 メサ導波路 M 2 のコア層 1 8 は、X 軸方向において互いに離間して配置されている。Y 軸方向に直交する第 1 メサ導波路 M 1 の断面において、光のスポット S 1 は、第 1 半導体層 1 6、コア層 1 8 及び第 3 半導体層 2 0 にわたって形成される。Y 軸方向に直交する第 2 メサ導波路 M 2 の断面において、光のスポット S 2 は、第 1 半導体層 1 6、コア層 1 8 及び第 3 半導体層 2 0 にわたって形成される。

20

【 0 0 3 6 】

図 3 に示されるように、分離部 M 1 s 及び分離部 M 2 s において、半導体層 1 4、第 1 半導体層 1 6、コア層 1 8、第 2 半導体層 2 6 及び半導体層 2 8 は、基板 1 2 の主面 1 2 a 上に順に設けられ得る。第 2 半導体層 2 6 は上部クラッド層を構成する。

30

【 0 0 3 7 】

基板 1 2 は、例えば半絶縁性半導体基板である。基板 1 2 は、絶縁性ドーパントがドーブされた III - V 族化合物半導体を含む。基板 1 2 は、例えば鉄 (Fe) がドーブされた InP を含む。基板 1 2 のドーパント濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり得る。

【 0 0 3 8 】

半導体層 1 4 は、図 2 及び図 3 に示されるように、コア層 1 8 と基板 1 2 との間に位置する第 1 部分 1 4 a と、第 1 部分 1 4 a の両側に位置する一対の第 2 部分 1 4 b とを備える。第 1 部分 1 4 a 及び一対の第 2 部分 1 4 b は、Y 軸方向に延在している。したがって、半導体層 1 4 の幅 (X 軸方向の長さ) は、コア層 1 8 の幅よりも大きくなっている。第 1 メサ導波路 M 1 の半導体層 1 4 と第 2 メサ導波路 M 2 の半導体層 1 4 とは、互いに接続されている。本実施形態において、第 1 メサ導波路 M 1 の半導体層 1 4 と第 2 メサ導波路 M 2 の半導体層 1 4 とは、互いに接続されて単一の半導体層を形成している。半導体層 1 4 は、一対の第 2 部分 1 4 b を備えなくてもよい。この場合、基板 1 2 と半導体層 1 4 との間に設けられた半導体層又は導電層によって、第 1 メサ導波路 M 1 の半導体層 1 4 と第 2 メサ導波路 M 2 の半導体層 1 4 とを互いに電氣的に接続できる。

40

【 0 0 3 9 】

半導体層 1 4 は、p 型ドーパントがドーブされた III - V 族化合物半導体を含む。半導体層 1 4 は、例えば亜鉛 (Zn) がドーブされた InGaAs 又は InP を含む。半導

50

体層 14 は、第 1 半導体層 16 のドーパント濃度よりも大きいドーパント濃度を有する。半導体層 14 のドーパント濃度は、第 1 半導体層 16 のドーパント濃度の 10 倍以上であり得る。半導体層 14 のドーパント濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上又は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり得る。半導体層 14 の厚み T_1 は、例えば $0.5 \mu\text{m}$ 以上 $2.0 \mu\text{m}$ 以下である。

【0040】

第 1 半導体層 16 は、コア層 18 と半導体層 14 との間に位置する第 1 部分 16a と、第 1 部分 16a の両側に位置する一対の第 2 部分 16b とを備える。第 1 部分 16a の厚みは、第 2 部分 16b の厚みよりも大きい。第 1 部分 16a 及び一対の第 2 部分 16b は、Y 軸方向に延在している。したがって、第 1 半導体層 16 の幅は、コア層 18 の幅よりも大きくなっている。第 1 メサ導波路 M1 の第 1 半導体層 16 と第 2 メサ導波路 M2 の第 1 半導体層 16 とは、互いに接続されている。本実施形態において、第 1 メサ導波路 M1 の第 1 半導体層 16 と第 2 メサ導波路 M2 の第 1 半導体層 16 とは、互いに接続されて単一の半導体層を形成している。第 1 半導体層 16 は、一対の第 2 部分 16b を備えなくてもよい。

10

【0041】

第 1 半導体層 16 は、p 型ドーパントがドーブされた III-V 族化合物半導体を含む。第 1 半導体層 16 は、半導体層 14 の半導体材料とは異なる半導体材料を含み得る。第 1 半導体層 16 は、例えば Zn がドーブされた InP を含む。第 1 半導体層 16 のドーパント濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であり得る。第 1 半導体層 16 の厚み T_2 (第 1 部分 16a の厚み) は、半導体層 14 の厚み T_1 より大きくてもよく、例えば $1.0 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。

20

【0042】

コア層 18 は、i 型の半導体層すなわちアンドープ半導体層である。コア層 18 は、多重量子井戸構造を有し得る。コア層 18 は、例えば AlGaInAs 系の III-V 族化合物半導体を含む。コア層 18 の幅は例えば $1.5 \mu\text{m}$ 以下である。コア層 18 中の p 型ドーパント濃度は、例えば $1 \times 10^{16} \text{ cm}^{-3}$ 以下である。

【0043】

第 3 半導体層 20 は、n 型ドーパントがドーブされた III-V 族化合物半導体を含む。第 3 半導体層 20 は、例えば Si がドーブされた InP を含む。第 3 半導体層 20 のドーパント濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であり得る。第 3 半導体層 20 の厚みは、例えば $1.0 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。

30

【0044】

半導体層 22 は、n 型ドーパントがドーブされた III-V 族化合物半導体を含む。半導体層 22 は、第 3 半導体層 20 の半導体材料とは異なる半導体材料を含み得る。半導体層 22 は、例えば Si がドーブされた InGaAs 又は InP を含む。半導体層 22 は、第 3 半導体層 20 のドーパント濃度よりも大きいドーパント濃度を有する。半導体層 22 のドーパント濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上又は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり得る。半導体層 22 の厚みは、例えば $0.1 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下である。

【0045】

40

第 2 半導体層 26 は、p 型ドーパントがドーブされた III-V 族化合物半導体を含む。第 2 半導体層 26 は、第 1 半導体層 16 の半導体材料と同じ半導体材料を含み得る。第 2 半導体層 26 は、例えば Zn がドーブされた InP を含む。第 2 半導体層 26 は、第 1 半導体層 16 のドーパント濃度よりも小さいドーパント濃度を有する。第 2 半導体層 26 のドーパント濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下、又は $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり得る。第 2 半導体層 26 の厚みは、第 1 半導体層 16 の厚み T_2 より小さくてもよく、例えば $1.0 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。

【0046】

半導体層 28 は、p 型ドーパントがドーブされた III-V 族化合物半導体を含む。半

50

半導体層 28 は、第 2 半導体層 26 の半導体材料とは異なる半導体材料を含み得る。半導体層 28 は、例えば Zn がドープされた InGaAs 又は InP を含む。半導体層 28 は、第 1 半導体層 16 のドーパント濃度よりも小さいドーパント濃度を有する。半導体層 28 のドーパント濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下、又は $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり得る。半導体層 28 の厚みは、例えば 10 nm 以上 100 nm 以下である。

【0047】

電極 E1 は、第 1 メサ導波路 M1 の半導体層 22 に接続される。電極 E1 は、第 1 メサ導波路 M1 の半導体層 22 にオーミック接触する。電極 E1 は、配線 E1a に接続される。同様に、電極 E2 は、第 2 メサ導波路 M2 の半導体層 22 に接続される。電極 E2 は、第 2 メサ導波路 M2 の半導体層 22 にオーミック接触する。電極 E2 は、配線 E2a に接続される。電極 E1 及び電極 E2 のそれぞれは、例えば Ni 層、Ge 層及び Au 層を含む。更なる電極が半導体層 14 に接続されてもよい。

10

【0048】

基板 12 の主面 12a、第 1 メサ導波路 M1 の側面及び第 2 メサ導波路 M2 の側面上には、例えば無機材料を含む絶縁膜 30 が設けられ得る。第 1 メサ導波路 M1 及び第 2 メサ導波路 M2 を埋め込むように、絶縁膜 30 上に埋込領域 32 が設けられ得る。埋込領域 32 は例えば樹脂を含む。絶縁膜 30 は、埋込領域 32 上に設けられ得る。

【0049】

本実施形態の光変調器 10 では、駆動回路 DR により電極 E1 及び電極 E2 に交流電圧が印加される。例えば第 1 メサ導波路 M1 に電圧が印加されることによって、第 1 メサ導波路 M1 のコア層 18 を伝搬する光の強度又は位相が調整される。同様に、第 2 メサ導波路 M2 に電圧が印加されることによって、第 2 メサ導波路 M2 のコア層 18 を伝搬する光の強度又は位相が調整される。

20

【0050】

本実施形態の光変調器 10 によれば、第 2 半導体層 26 中の p 型ドーパントと第 1 半導体層 16 中の p 型ドーパントとが相互拡散し難い。そのため、第 1 半導体層 16 及び第 2 半導体層 26 中の p 型ドーパントがコア層 18 に向かって拡散することを抑制できる。よって、コア層 18 の p 型ドーパント濃度を低くできる。

【0051】

図 4 に示されるように、Y 軸方向における第 3 半導体層 20 の長さ L20 が電極 E1 からコア層 18 に向かうに連れて短くなるように接合面 JN が傾斜し得る。この場合、Y 軸方向において接合面 JN から p 型の第 2 半導体層 26 内に延びる電界リークが発生しても、Y 軸方向において電界が広がる領域を小さくできる。よって、コア層 18 において電圧が印加される領域の Y 軸方向における長さを小さくできる。

30

【0052】

第 2 半導体層 26 の p 型ドーパントが $1 \times 10^{16} \text{ cm}^{-3}$ 以上の濃度を有する場合、Y 軸方向において接合面 JN から p 型の第 2 半導体層 26 内に延びる電界リーク長さを小さくできる。第 2 半導体層 26 の p 型ドーパントが $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度を有する場合、第 2 半導体層 26 において、自由キャリア吸収による光損失を低減できる。

40

【0053】

以下、光変調器 10 の評価のために行った種々の実験について説明する。以下に説明する実験は、本開示を限定するものではない。

【0054】

(第 1 実験)

第 1 実験の光変調器は、図 1 から図 4 に示される構造を有する。具体的には、第 1 実験の光変調器は以下の構造を有する。

基板 12 : Fe がドープされた InP 基板 (Fe 濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下)、

半導体層 14 : p-InGaAs コンタクト層。Zn がドープされた InGaAs 層 (厚

50

み $1.1 \mu\text{m}$ 、 Zn 濃度 $2 \times 10^{19} \text{cm}^{-3}$)、

第 1 半導体層 16 : p-InP 下部クラッド層。 Zn がドーブされた InP 層 (第 1 部分 16a の厚み $1.5 \mu\text{m}$ 、第 2 部分 16b の厚み $1 \mu\text{m}$ 、 Zn 濃度 $5 \times 10^{17} \text{cm}^{-3}$ 以上 $2 \times 10^{18} \text{cm}^{-3}$ 以下)、

コア層 18 : i-InP コア層。 AlGaInAs/AlInAs の多重量子井戸 (厚み $0.5 \mu\text{m}$ 、幅 $1.5 \mu\text{m}$ 、第 1 メサ導波路 M1 のコア層 18 と第 2 メサ導波路 M2 のコア層 18 と間の距離 $15 \mu\text{m}$)、

第 3 半導体層 20 : Si がドーブされた InP 層 (Si 濃度 $5 \times 10^{17} \text{cm}^{-3}$ 以上 $2 \times 10^{18} \text{cm}^{-3}$ 以下)、

半導体層 22 : Si がドーブされた InGaAs 層 (Si 濃度 $1 \times 10^{19} \text{cm}^{-3}$ 以上)

10

、
第 2 半導体層 26 : p-InP 上部クラッド層。 Zn がドーブされた InP 層 (厚み $1.2 \mu\text{m}$ 、 Zn 濃度 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $5 \times 10^{17} \text{cm}^{-3}$ 以下)、

半導体層 28 : p-InGaAs 層。 Zn がドーブされた InGaAs 層 (厚み 50nm 、 Zn 濃度 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $5 \times 10^{17} \text{cm}^{-3}$ 以下)。

【 0055 】

第 1 実験の光変調器について SIMS (Secondary Ion Mass Spectrometry) 測定を行った。結果を図 5 に示す。

【 0056 】

図 5 は、第 1 実験における深さとドーパント濃度との関係を示すグラフである。グラフ中、縦軸はドーパント濃度を示す。ドーパント濃度は Zn 濃度である。横軸は、 InP 基板の主面に直交する方向における深さを示す。深さが 0 となる位置は、 p-InGaAs 層の上表面である。グラフには、 Zn 濃度のプロファイル P1ZN が示される。 i-InP コア層において、 Zn 濃度は $1 \times 10^{16} \text{cm}^{-3}$ 以下と小さかった。図 5 のグラフから、 p-InP 下部クラッド層中の Zn 及び p-InP 上部クラッド層中の Zn が i-InP コア層中に拡散していないことが分かる。

20

【 0057 】

(第 2 実験)

第 2 実験の光変調器は、 p-InP 上部クラッド層及び p-InGaAs 層に代えてそれぞれ SI (Semi - Insulating : 半絶縁性の) - InP 上部クラッド層及び SI - InGaAsP 層を備えること以外は第 1 実験の光変調器と同じ構造を有する。SI - InP 上部クラッド層及び SI - InGaAsP 層のそれぞれは、ドーパントとして Fe を含む。

30

【 0058 】

第 2 実験の光変調器について SIMS 測定を行った。結果を図 6 に示す。

【 0059 】

図 6 は、第 2 実験における深さとドーパント濃度との関係を示すグラフである。グラフ中、縦軸はドーパント濃度を示す。ドーパント濃度は Zn 濃度又は Fe 濃度である。横軸は、 InP 基板の主面に直交する方向における深さを示す。深さが 0 となる位置は、SI - InGaAsP 層の上表面である。グラフには、 Zn 濃度のプロファイル P2ZN と、Fe 濃度のプロファイル P2FE とが示される。コア層において、 Zn 濃度は $1 \times 10^{16} \text{cm}^{-3}$ よりも大きかった。図 6 のグラフから、 p-InP 下部クラッド層中の Zn が i-InP コア層中に拡散し、SI - InP 上部クラッド層中の Fe が p-InP 下部クラッド層中に拡散していることが分かる。

40

【 0060 】

(第 3 実験)

第 3 実験では、図 4 の第 2 半導体層 26 及び第 2 半導体層 26 の両側に位置する一対の第 3 半導体層 20 を含む領域に対応するモデル構造について、シミュレーションにより電界強度分布を算出した。結果を図 7 に示す。

【 0061 】

50

図 7 は、導波方向の位置と電界強度との関係の例を示すグラフである。グラフ中、縦軸は電界強度を示す。横軸は導波方向（Y 軸方向）の位置を示す。モデル構造は、導波方向においてそれぞれ $1\ \mu\text{m}$ の長さを有する一対の $n - \text{InP}$ 層と、導波方向において $5\ \mu\text{m}$ の長さを有する $p - \text{InP}$ 層とを有する。各 $n - \text{InP}$ 層の Si 濃度は $2 \times 10^{18}\ \text{cm}^{-3}$ である。 $p - \text{InP}$ 層のアクセプタ濃度（ Zn 濃度）は、 $1 \times 10^{14}\ \text{cm}^{-3}$ 、 $1 \times 10^{15}\ \text{cm}^{-3}$ 又は $1 \times 10^{16}\ \text{cm}^{-3}$ である。各 $n - \text{InP}$ 層と $p - \text{InP}$ 層との接合面は導波方向に対して直交している。

【0062】

グラフ中、プロファイル C 1 4 は、アクセプタ濃度が $1 \times 10^{14}\ \text{cm}^{-3}$ である場合の $p - \text{InP}$ 層中の電界強度分布を示す。プロファイル C 1 5 は、アクセプタ濃度が $1 \times 10^{15}\ \text{cm}^{-3}$ である場合の $p - \text{InP}$ 層中の電界強度分布を示す。プロファイル C 1 6 は、アクセプタ濃度が $1 \times 10^{16}\ \text{cm}^{-3}$ である場合の $p - \text{InP}$ 層中の電界強度分布を示す。電界リーク長さ L 1 5 は、アクセプタ濃度が $1 \times 10^{15}\ \text{cm}^{-3}$ である場合に、電界強度のピークに対して 1 % 以上の電界強度を有する領域の導波方向における長さを示す。電界リーク長さ L 1 6 は、アクセプタ濃度が $1 \times 10^{16}\ \text{cm}^{-3}$ である場合に、電界強度のピークに対して 1 % 以上の電界強度を有する領域の導波方向における長さを示す。図 7 のグラフから、アクセプタ濃度が高くなると電界リーク長さが短くなることが分かる。

【0063】

図 8 は、アクセプタ濃度と電界リーク長さとの関係の例を示すグラフである。グラフ中、縦軸は電界リーク長さを示す。横軸はアクセプタ濃度を示す。電界リーク長さ L 1 5 は $3\ \mu\text{m}$ 程度である。電界リーク長さ L 1 6 は $1\ \mu\text{m}$ 程度である。図 8 のグラフから、アクセプタ濃度が高くなると電界リーク長さが線形的に短くなることが分かる。アクセプタ濃度が $1 \times 10^{16}\ \text{cm}^{-3}$ 以上であると、電界リーク長さが $1\ \mu\text{m}$ 以下と小さくなる。

【0064】

以下、図 9 から図 1 5 を参照して第 1 実施形態に係る光変調器の製造方法について説明する。光変調器 1 0 は、以下のようにして製造され得る。

【0065】

（半導体積層体を形成）

まず、図 9 及び図 1 0 に示されるように、基板 1 2 上に半導体積層体 S L を形成する。半導体積層体 S L は、基板 1 2 上に設けられた p 型の第 1 半導体層 1 6 と、第 1 半導体層 1 6 上に設けられたコア層 1 8 と、コア層 1 8 上に設けられた p 型（第 1 導電型）の第 2 半導体層 2 6 とを含む。半導体積層体 S L は、基板 1 2 と第 1 半導体層 1 6 との間に配置された半導体層 1 4 を含み得る。半導体積層体 S L は、第 2 半導体層 2 6 上に設けられた p 型の半導体層 2 8 を含み得る。各層は、例えば有機金属気相成長法（OMVPE: Organometallic Vapor Phase Epitaxy）により形成される。

【0066】

次に、半導体積層体 S L 上にマスク M K 1 を形成する。本実施形態では、複数のマスク M K 1 が、X 軸方向に延在しており、Y 軸方向において互いに離間して配置される。マスク M K 1 は、例えばフォトリソグラフィ及びエッチングにより形成され得る。

【0067】

（第 2 半導体層をウェットエッチング）

次に、図 1 1 及び図 1 2 に示されるように、第 2 半導体層 2 6 をウェットエッチングすることによって、第 2 半導体層 2 6 に凹部 R S を形成する。半導体層 2 8 もウェットエッチングされ得る。ウェットエッチングは、マスク M K 1 を用いて行われる。エッチャントの例は、塩酸及び過酸化水素を含む水溶液を含む。Y 軸方向における凹部 R S の長さ L R S は、凹部 R S の上端 R S 1 から下端 R S 2 に向かうに連れて小さくなっている。すなわち、凹部 R S の側壁は順テーパ形状を有する。

【0068】

（第 3 半導体層を形成）

次に、図 1 1 及び図 1 2 に示されるように、凹部 R S 内に n 型（第 1 導電型とは反対の

10

20

30

40

50

第2導電型)の第3半導体層20を形成する。その後、第3半導体層20上に半導体層22が形成され得る。各層は、例えば、マスクMK1を用いて有機金属気相成長法により形成される。各層は、選択成長によりマスクMK1上に形成されなくてもよい。

【0069】

Y軸方向における第3半導体層20の上面の長さL20Uは、Y軸方向における第2半導体層26の上面の長さL26Uよりも長くてよい。この場合、第3半導体層20の上面の平坦性を高くできる。

【0070】

(第1メサ導波路及び第2メサ導波路を形成)

次に、図13から図15に示されるように、第2半導体層26、第3半導体層20、コア層18及び第1半導体層16をエッチングすることによって、第1メサ導波路M1及び第2メサ導波路M2を形成する。半導体層22及び半導体層28もエッチングされ得る。第1メサ導波路M1及び第2メサ導波路M2は、フォトリソグラフィー及びドライエッチングにより形成され得る。まず、図13及び図14に示されるように、マスクMK2を用いて、第2半導体層26、半導体層28、第3半導体層20、半導体層22、コア層18及び第1半導体層16をエッチングする。第1半導体層16は部分的にエッチングされる。本実施形態では、一対のマスクMK2が、Y軸方向に延在しており、X軸方向において互いに離間して配置される。次に、図15に示されるように、Y軸方向に延在するマスクMK3を用いて、第1半導体層16及び半導体層14をエッチングする。X軸方向におけるマスクMK3の幅は、X軸方向におけるマスクMK2の幅よりも大きい。これにより、第1メサ導波路M1及び第2メサ導波路M2が形成される。

【0071】

次に、図2及び図3に示されるように、第1メサ導波路M1及び第2メサ導波路M2を覆うように絶縁膜30を形成する。その後、絶縁膜30上に樹脂を塗布することによって埋込領域32を形成する。その後、埋込領域32上に絶縁膜30を形成する。

【0072】

(電極を形成)

次に、図2及び図4に示されるように、第1メサ導波路M1上に電極E1を形成する。電極E1は、n型の第3半導体層20上に形成され、p型の第2半導体層26上には形成されない。電極E1は、半導体層22上に形成され得る。同様に、図2に示されるように、第2メサ導波路M2上に電極E2を形成する。電極E2は、n型の第3半導体層20上に形成され、p型の第2半導体層26上には形成されない。電極E2は、半導体層22上に形成され得る。

【0073】

次に、電極E1及び電極E2上にそれぞれ配線E1a及び配線E2aを形成する。同時に、配線E1b、配線E2b、電極パッドEP1及び電極パッドEP2も形成される。配線及び電極パッドは、例えばフォトリソグラフィー、ドライエッチング、蒸着及びリフトオフにより形成され得る。

【0074】

上記製造方法において、第2半導体層26と第3半導体層20との形成順序を逆にしてもよい。この場合、半導体積層体を形成する工程において、半導体積層体SLは、コア層18上に設けられたn型(第1導電型)の第3半導体層20(第2半導体層)を含む。第2半導体層をウェットエッチングする工程では、第3半導体層20をウェットエッチングすることによって、第3半導体層20に凹部を形成する。第3半導体層を形成する工程では、凹部内にp型(第2導電型)の第2半導体層26を形成する。この場合、図4に示される接合面JNは、Y軸方向における第3半導体層20の長さL20が電極E1からコア層18に向かうに連れて長くなるように傾斜する。

【0075】

(第2実施形態)

図16は、第2実施形態に係る光変調器の一部を模式的に示す断面図である。図16に

10

20

30

40

50

示される光変調器は、エッチングストップ層 50 を更に備えること以外は第 1 実施形態の光変調器 10 と同じ構成を備える。

【0076】

エッチングストップ層 50 は、第 2 半導体層 26 をウェットエッチングする時にエッチングストップ層として機能し得る。エッチングストップ層 50 は、例えば InGaAsP 等の III-V 族化合物半導体を含む。

【0077】

本実施形態では、第 1 実施形態と同様の作用効果が得られる。エッチングストップ層 50 によって、第 2 半導体層 26 又は第 3 半導体層 20 をウェットエッチングする際に、コア層 18 がエッチングされることを抑制できる。

10

【0078】

以上、本開示の好適な実施形態について詳細に説明されたが、本開示は上記実施形態に限定されない。各実施形態の各構成要素は、任意に組み合わせられてもよい。

【0079】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0080】

20

10 ... 光変調器

12 ... 基板

12a ... 主面

14 ... 半導体層

14a ... 第 1 部分

14b ... 第 2 部分

16 ... 第 1 半導体層

16a ... 第 1 部分

16b ... 第 2 部分

18 ... コア層

30

20 ... 第 3 半導体層

22 ... 半導体層

26 ... 第 2 半導体層

28 ... 半導体層

30 ... 絶縁膜

32 ... 埋込領域

50 ... エッチングストップ層

AM1 ... 第 1 アーム導波路

AM2 ... 第 2 アーム導波路

C1 ... 光分波器

40

C2 ... 光合波器

C14 ... プロファイル

C15 ... プロファイル

C16 ... プロファイル

DR ... 駆動回路

E1 ... 電極

E1a ... 配線

E1b ... 配線

E2 ... 電極

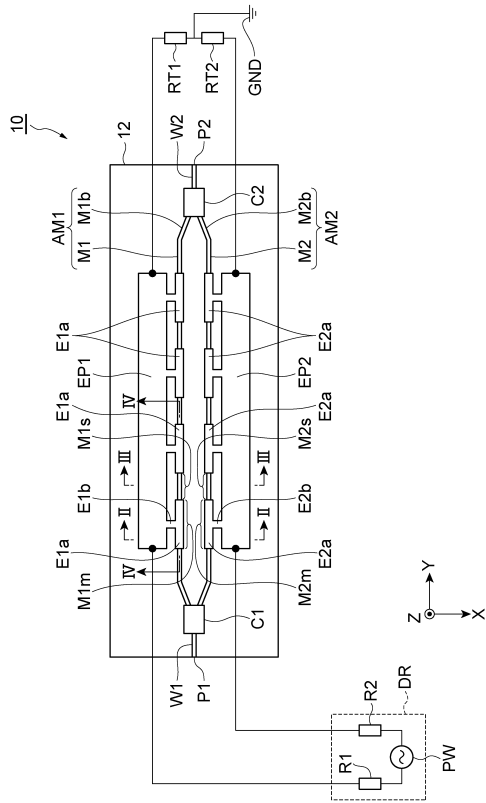
E2a ... 配線

50

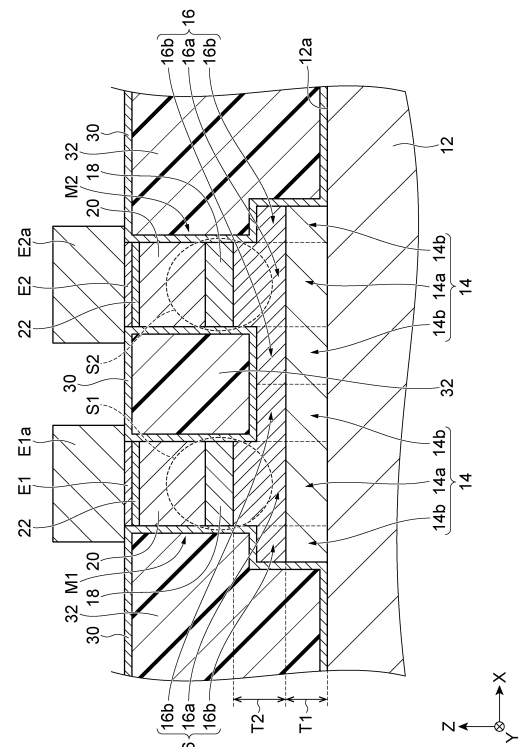
E 2 b ... 配線	
E P 1 ... 電極パッド	
E P 2 ... 電極パッド	
G N D ... 接地電位	
J N ... 接合面	
M 1 ... 第 1 メサ導波路	
M 1 b ... 曲がり導波路	
M 1 m ... 変調部	
M 1 s ... 分離部	
M 2 ... 第 2 メサ導波路	10
M 2 b ... 曲がり導波路	
M 2 m ... 変調部	
M 2 s ... 分離部	
M K 1 ... マスク	
M K 2 ... マスク	
M K 3 ... マスク	
P 1 ... 入力ポート	
P 1 Z N ... プロファイル	
P 2 ... 出力ポート	
P 2 F E ... プロファイル	20
P 2 Z N ... プロファイル	
P W ... 交流電源	
R 1 ... 抵抗	
R 2 ... 抵抗	
R S ... 凹部	
R S 1 ... 上端	
R S 2 ... 下端	
R T 1 ... 終端抵抗	
R T 2 ... 終端抵抗	
S 1 ... スポット	30
S 2 ... スポット	
S L ... 半導体積層体	
W 1 ... 入力導波路	
W 2 ... 出力導波路	

【図面】

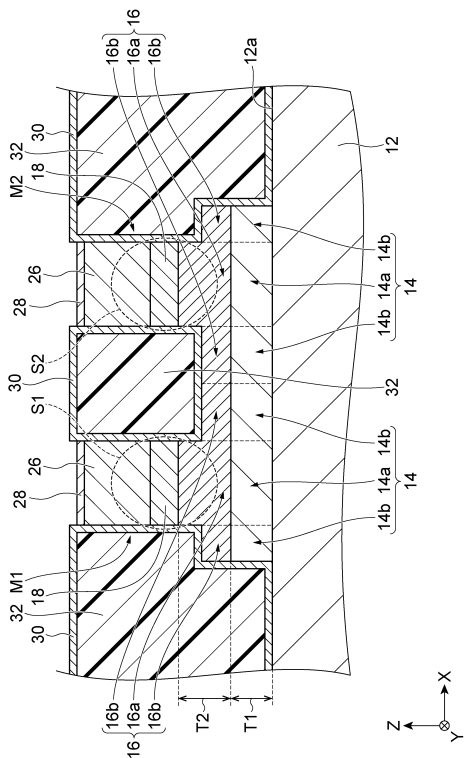
【図 1】



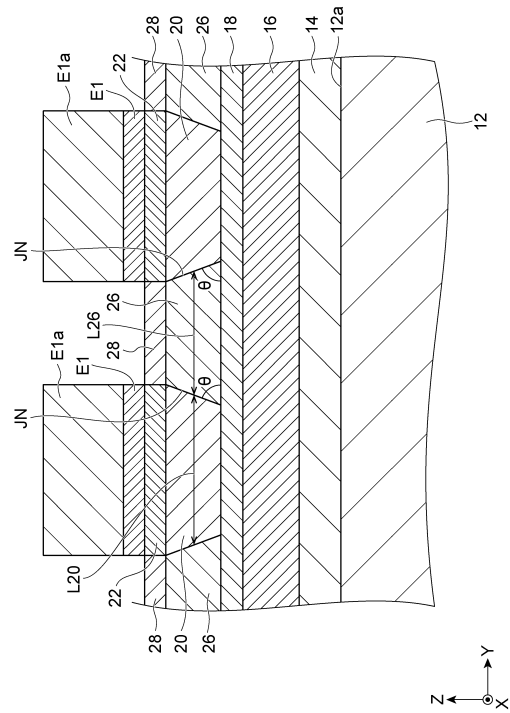
【図 2】



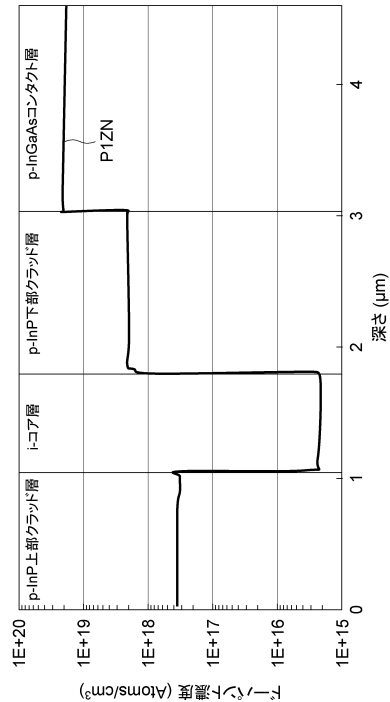
【図 3】



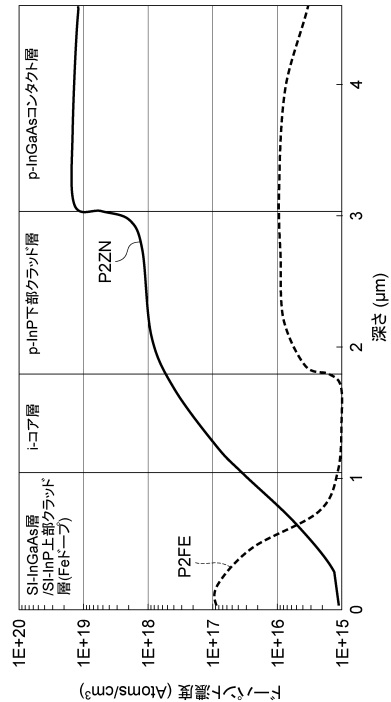
【図 4】



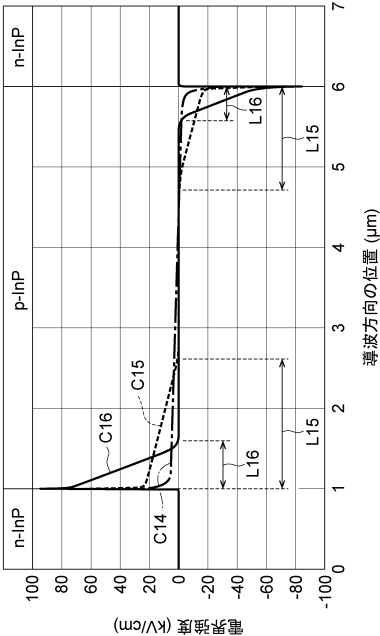
【図 5】



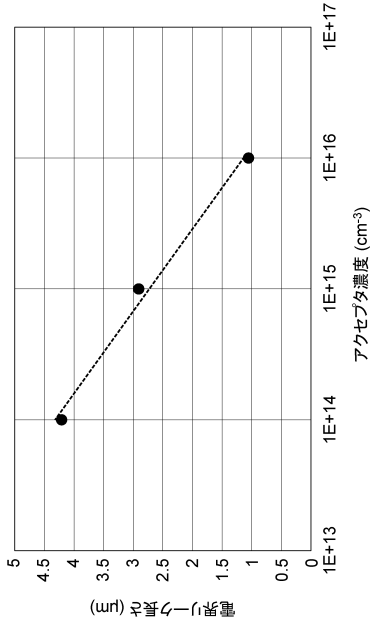
【図 6】



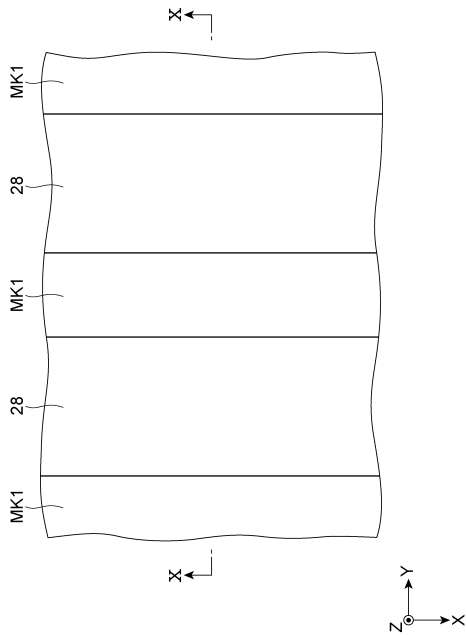
【図 7】



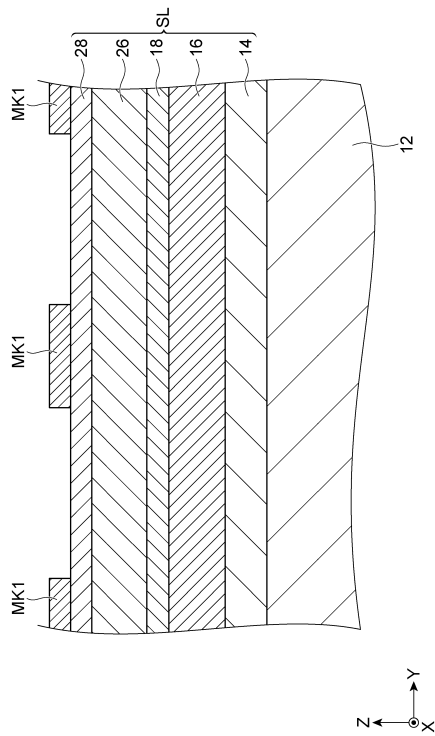
【図 8】



【図 9】



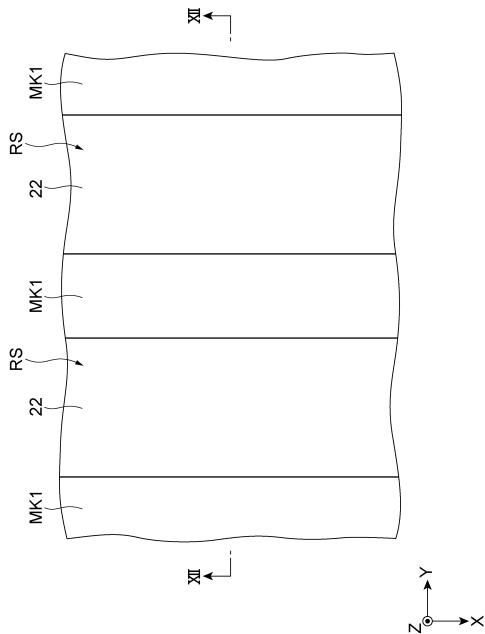
【図 10】



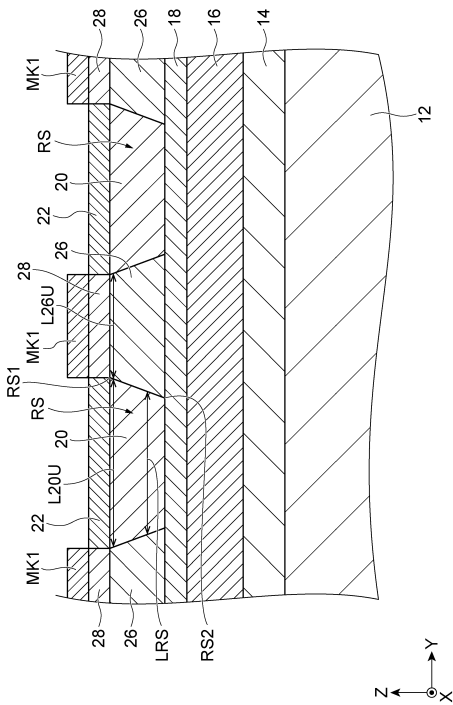
10

20

【図 11】



【図 12】

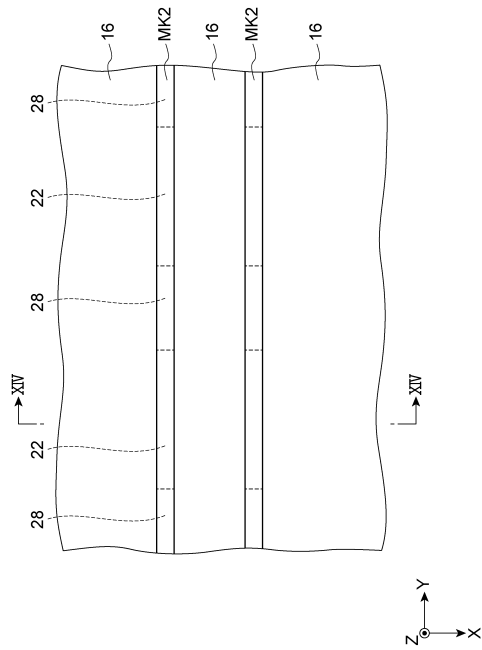


30

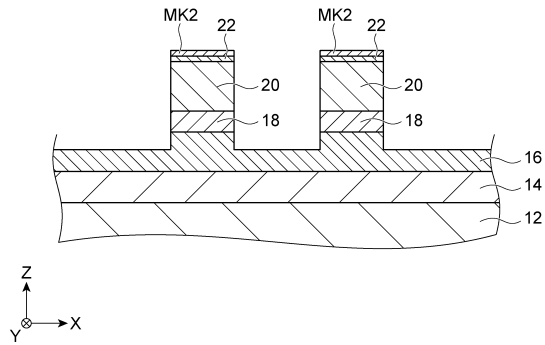
40

50

【図 1 3】



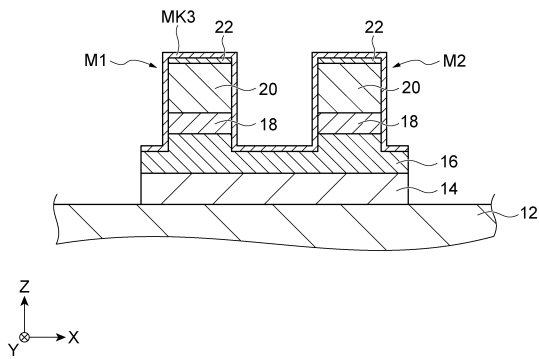
【図 1 4】



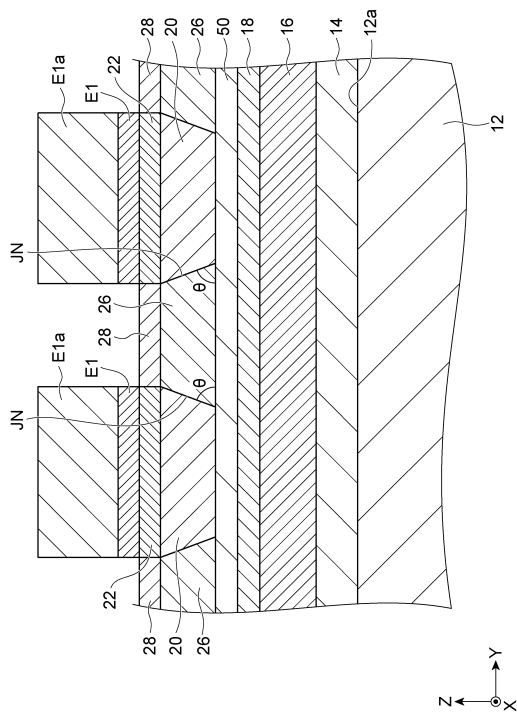
10

20

【図 1 5】



【図 1 6】



30

40

50

フロントページの続き

- 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 住友電気工業株式会社内
- (72)発明者 河野 直哉
- 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 住友電気工業株式会社内
- (72)発明者 江川 満
- 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 住友電気工業株式会社内
- 審査官 林 祥恵
- (56)参考文献 特開 2 0 0 9 - 1 6 3 1 8 6 (J P , A)
- 特開 2 0 1 1 - 1 0 9 0 3 0 (J P , A)
- 特開 2 0 1 4 - 0 8 2 4 1 1 (J P , A)
- 米国特許出願公開第 2 0 2 0 / 0 2 0 1 1 3 5 (U S , A 1)
- 韓国公開特許第 1 0 - 2 0 1 1 - 0 1 2 6 9 7 1 (K R , A)
- 特開 2 0 0 5 - 1 1 4 8 6 8 (J P , A)
- 特開 2 0 0 5 - 1 1 4 8 6 7 (J P , A)
- 特開 2 0 1 2 - 2 2 2 1 9 3 (J P , A)
- DOGRU, Selim et al. , “ Ultra wide bandwidth electro-optic intensity modulators with 0.46 V-cm modulation efficiency at 1550 nm ” , 2014 IEEE Photonics Conference , 2014年12月 , pp. 200-201 , DOI: 10.1109/IPCon.2014.6995317
- 北村崇光、他、大口径ウェハプロセスにより作製した I n P 系多値変調素子 , 2 0 1 3 年第 7 4 回応用物理学会秋季学術講演会講演予稿集 , 公益社団法人応用物理学会 , 2014年12月 , p.05-083 , DOI:10.1109/IPCon.2014.6995317
- (58)調査した分野 (Int.Cl. , D B 名)
- G 0 2 F 1 / 0 0 - 1 / 1 2 5
- G 0 2 F 1 / 2 1 - 1 / 3 9
- H 0 1 S 5 / 0 0 - 5 / 5 0
- J S T P l u s / J S T 7 5 8 0 (J D r e a m I I I)