

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

C25D 5/50

H01L 21/20 H01L 23/522



[12] 发明专利申请公开说明书

[21] 申请号 02821997. X

[43] 公开日 2005 年 2 月 16 日

[11] 公开号 CN 1582345A

[22] 申请日 2002. 11. 8 [21] 申请号 02821997. X

[30] 优先权

[32] 2001. 11. 8 [33] US [31] 09/986,263

[86] 国际申请 PCT/US2002/035910 2002. 11. 8

[87] 国际公布 WO2003/040436 英 2003. 5. 15

[85] 进入国家阶段日期 2004. 5. 8

[71] 申请人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 M·V·恩戈 E·佩顿

[74] 专利代理机构 北京纪凯知识产权代理有限公司

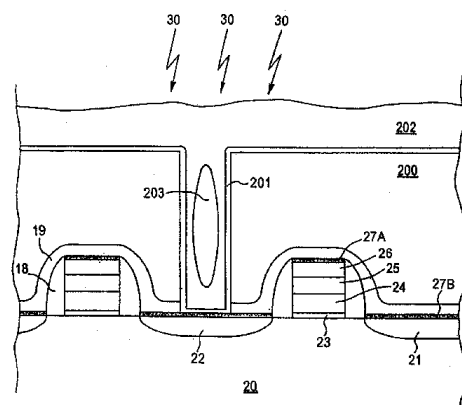
代理人 程 伟

权利要求书 2 页 说明书 6 页 附图 8 页

[54] 发明名称 消除在 W 插塞内的空隙的方法

[57] 摘要

通过以 W(202) 填充介电层(200) 内的开口和进行激光加温退火(30) 以除去或显著减少空隙(203), 从而形成可靠的触点/通孔。实施方案包括沉积 W(202) 以填充介电层(200) 内的触点/通孔开口, 在 N₂ 中实施激光加温退火(30) 以提升填充在该触点/通孔开口的 W 的温度以及回流 W 从而除去空隙(203)。实施方案包括在实施激光加温退火前或后进行 CMP。



ISSN 1008-4274

1. 一种制造半导体装置的方法，该方法包括：
在介电层（200）上形成开口；
5 在所述开口上沉积钨（W）（202）；以及
对该沉积的 W 进行激光加温退火(30)。
2. 如权利要求 1 所述的方法，其包括通过以大约 0.78 至大约 1.10
焦耳/平方厘米的辐射通量将脉冲激光光束（30）照射在填充所述开口的
10 沉积的 W（202）上进行激光加温退火。
3. 如权利要求 2 所述的方法，其包括激光加温退火(30)以加热该填
充所述开口的沉积的 W 的温度至大约 3,000℃到大约 3,600℃，从而使
W 在所述开口内回流。
15
4. 如权利要求 1 所述的方法，其包括在氮气（N₂）中进行激光加温
退火(30)。
5. 如权利要求 4 所述的方法，其包括使用 N₂ 流量为大约 200 至大
20 约 2,000 sccm 的激光加温退火(30)。
6. 如权利要求 1 所述的方法，其包括在沉积 W 前沉积阻挡层（201）
内衬所述开口。
- 25 7. 如权利要求 1 所述的方法，其包括在激光加温退火之后进行化学
机械抛光（CMP），使得所述开口内的 W（50）的上表面与所述介电层
（200）的上表面基本共面。
8. 如权利要求 1 所述的方法，其包括在激光加温退火之前进行化学
30 机械抛光（CMP），使得 W（80）的上表面与所述介电层（200）的上
表面基本共面。

9. 如权利要求 4 所述的方法，其包括通过以大约 0.78 至 1.10 大约焦耳/平方厘米的辐射通量将脉冲激光光束 (30) 照射在填充在所述开口的沉积的 W (202) 上进行激光加温退火。

- 5 10. 如权利要求 9 所述的方法，其包括激光加温退火 (30) 以加热该填充所述开口的沉积的 W (202) 的温度至大约 3,000°C 到大约 3,600°C，从而在所述开口内使 W 回流。

消除在W插塞内的空隙的方法

5 技术领域

本发明是关于制造具有精确形成的亚微米部件（sub-micron features）的半导体装置的方法。本发明特别适用于制造高密度、具有可靠，低电阻触点/通孔（contacts/vias）的多级（multi-level）快擦写存储器（flash-memory）半导体装置。

10

背景技术

随着集成电路的构造尺寸持续融入深亚微米（deep sub-micron）的领域，越来越难以精确地制造能显示出必要的可靠性和电路速度的具体半导体装置。特别是在制造具有设计规则要求小于大约 0.15 微米和低于，如小于约 0.12 微米和以下的快擦写存储器时，问题更显得突出。

现有的半导体装置包括半导体基材，其中形成不同的元件，如晶体管，和若干覆盖连续形成的层间介电材料和和导电图形（conductive patterns）的元件，其中形成包括导线的图形互连系统。典型地，不同层次上的导电图形，即上层和下层，由填充通孔孔（via hole）的导电插塞进行电连接，而填充触点孔的导电插塞和半导体基材上的活性区域，如源/漏极（source/drain）区域建立电接触。填充通孔的导电插塞通常由沉积层间介电材料（interlayer dielectric; ILD）在包括至少一个导电部件的导电层上；用现有的光刻（photolithographic）和蚀刻技术形成贯穿 ILD 的开口，并用导电材料填充该开口的方法来形成。在 ILD 上的过量的或多余的导电材料通常采用化学机械抛光（chemical mechanical polishing）（CMP）除去。一个这样的方法已知为镶嵌（damascene）方法，其基本上涉及在 ILD 中形成开口和用金属填充该开口。双镶嵌方法则涉及形成一开口，其包括下部接触孔或通孔部分，该部分与上部沟道部分相通，该开口用导电材料，通常为金属，来填充，以同时形成与上部导线电连接的导电插塞。

30

随着几何尺寸进入深亚微米领域，形成可靠、低电阻的触点和互连

器时变得问题尤其突出。如当触点/通孔开口的直径减小和纵横比（深度/直径）增大，到大约 4:1 或更高时，该开口更容易出现缺陷，如以孔隙或空隙（voids）形式出现的贯穿该触点或通孔的中心部位的缝隙和芯部。这样的空隙会导致高和不稳定的接触电阻分布，产生缺陷和降低该快擦写存储器和微处理器中的电子迁移（electromigration）电阻。

因此，存在可以使半导体装置的制造具有改良的可靠性的方法的需要，包括含有 MOS 晶体管的半导体装置和快擦写存储器装置，如电可擦除只读存储器（electrically erasable programmable read only memory; EEPROM）装置。特别是存在可以制造半导体装置，其中该半导体装置具有深亚微米范围内的部件和包含可靠的、低电阻的触点和通孔，具有改良的电子迁移性能的方法的需要。

发明内容

本发明的一个优点是制造半导体装置的方法，该半导体装置具有深亚微米范围内的部件和具有高可靠性通孔和触点，其显示低且稳定的接触电阻分布和改良的电子迁移性能。

本发明的其他优点和特征以下的描述中提出，其中该领域的普通技术人员从对下述内容的查阅和本发明的实施中可清楚了解部分这些优点和特征。本发明的优点可以权利要求中特别指出的实现和获得。

根据本发明，前述和其他的优点可部分地由制造半导体装置的方法获得，该方法包括：在介电层中形成开口；沉积钨（W）以填充该开口；对该开口内的 W 实施激光加温退火。

本发明的实施方式包括在氧化物介电层中形成开口，如硼磷掺杂的硅酸盐玻璃（boron-phosphorus-doped silicated glass）（BPSG）或复合氧化物层，该复合氧化物层包括 BPSG 层与在其上的衍生自原硅酸四乙酯（tetraethyl orthosilicate）（TEOS）的氧化硅（silicon oxide）层，沉积初始的钛（Ti）阻挡层，然后沉积至少一层，如三层氮化钛（titanium nitride）于该钛层上。然后填充 W 至该开口内。在本发明的一个实施方案中，通过对填充在开口中的沉积的 W 进行激光光束的照射实施激光加温退火，通常以大约 0.78 到大约 1.10 焦耳/平方厘米（joules/cm²）的辐射通量（radiant fluence）进行，持续一段短暂的时间，如大约 10 到

大约 100 纳秒 (nanosecond)，在氮气 (N_2) 中，以提高该开口中的 W 的温度从而在该被填充的开口中熔化和回流 (reflow) W，如在大约为 3,000°C 到大约 3,600°C 的温度下。随后进行化学机械抛光 (CMP)。在本发明的另一实施例中，CMP 在实施该激光加温退火前进行。

- 5 本发明的另外优点将在以下的具体描述中使本领域普通技术人员清楚地了解，其中本发明的实施方案以实施本发明的最佳模式的方式进行描述。可以理解本发明可以通过其他不同的实施方式来实现，并且它的许多细节可以在各个方面进行修改而不背离本发明。因此，附图和说明书应被视为是说明性的，而不是限制。

10

附图说明

图 1 图示说明产生的 W 插塞空隙问题并由本发明解决此问题。

图 2 至图 5 图示说明根据本发明的实施方案的一个方法的顺序阶段。

- 15 图 6 至图 8 图示说明根据本发明的另一个实施方案的方法的顺序阶段。

在图 2 至图 8 中，相似的元件或部件采用相同的标号。

发明的描述

- 20 本发明致力于解决 W 触点/通孔由于形成讨厌的孔穴而产生的可靠性问题，其具有高且不稳定的接触电阻分布和差的电子迁移性能，特别是当装置的几何尺寸减小到深亚微米级时。例如当触点/通孔开口的宽度减少到大约 0.225 到大约 0.257 微米，如大约 0.25 微米，并且触点/通孔开口的深度延长到大约 0.81 到大约 0.99 微米，如大约 0.90 微米，或更大的时候，其纵横比达到 4:1 或更大，要在填充该等触点/通孔时不产生空隙会变得极其困难。本发明致力于上述的问题，其通过以常规方法填充具有高纵横比的触点/通孔开口以常规方式形成有空隙的 W 插塞。本
- 25 发明与现有的办法的不同之处在于提供可除去在填充具有高纵横比的触点/通孔开口时产生的空隙的有效方法，从而减小接触电阻，提供稳定的
- 30 电阻分布和改良的电子迁移性能。

根据本发明的实施方案，在介电层，例如在氧化物层，如 BPSG 或

衍生自 TEOS 的氧化硅中形成一个触点/通孔开口。然后形成阻挡层复合材料内衬该开口。根据本发明的实施方案，初始的薄的 Ti 层沉积以内衬该开口，并且氮化钛层沉积在该初始的 Ti 层上。然后用常规方法沉积 W 形成余量 (overburden)。在这个时候，填充在该触点/通孔开口的 W 内包括有不希望得到的空隙或小孔，其不利地影响装置性能，包括电子迁移性能。

根据本发明的实施方案，对填充在该开口的 W 实施激光加温退火，其方法是对开口内的 W 以大约 0.78 到大约 1.10 焦耳/平方厘米的辐射通量进行脉冲激光光束的照射，同时以大约 200 到大约 2,000 sccm 的气体流速通以 N₂。在激光加温退火的过程中，开口内的 W 的温度提升到大约 3,000°C 到大约 3,600°C，引起熔融并回流，从而除去空隙。随后，用常规的方法进行 CMP 使得填充该开口的 W 的上表面与该介电层的上表面基本上共面。在另一个实施方案中，CMP 在实施激光加温退火前进行。

使用根据本发明实施方案的激光加温退火以减少互连空隙和减小接触电阻，从而提供若干优点。如激光加温退火可精确地定位到填充该开口的 W，从而避免不必要地提高晶片 (wafer) 上其它部分的温度，避免其引起的不适当的杂质的扩散等问题。

在本发明实施方案实施中，任何商业上可得到的不同激光工具都可应用，如可以约 10 到约 2,000 微焦耳/平方厘米/脉冲 (mJ/cm²/pulse)，如大约 100 到约 400 mJ/cm²/pulse 的能量操作的激光光源。商业上可获得的激光工具，无论有无遮罩 (mask)，可实施上述激光退火的，均可应用到本发明中。Verdant Technologies 的激光退火工具就是这样一个例子，其在曝光波长 (exposure wavelength) 为 308 纳米 (nm) 下工作。

由本发明所致力的 W 插塞空隙问题如图 1 所示，其中在基材 10 上形成晶体管。该晶体管可包括 MOS 晶体管和/或双栅记忆体单元晶体管 (dual gate memory cell transistors)，该双栅记忆体单元晶体管包括浮置 (floating) 和控制 (control) 栅极以及在其间的多相 (ONO) 介电层 (interpoly (ONO) dielectric layer)。例如，该晶体管可包括隧道氧化物层 (tunnel oxide) 13，浮栅电极 (floating gate electrode) 14，ONO 堆栈多相介电层 (stack interpoly dielectric) 15，和控制栅极 16。金属硅化物

层 17A 形成于该栅极电极堆栈的上表面上，而金属硅化物层 17B 形成于源/漏极区域 11、12 上。介电侧壁隔片 (sidewall spacer) 18，如氧化硅、氧氮化硅 (silicon oxynitride)、或氮化硅 (silicon nitride) 等，形成于该栅极电极的侧面上，氮化硅蚀刻阻挡层 19 通常沉积于其上。介电层 100，如 BPSG，或衍生自 TEOS 的 BPSG 和氧化硅的复合材料沉积于其上，厚度大约为 7,500Å 到大约 8,500Å，如大约 8,000Å。

随后进行常规的光刻和蚀刻技术以在介电层 100 曝露的源/漏极区域 12 形成触点开口。W 随后沉积以填充该触点开口并形成余量，随后进行 CMP，使得 W 插塞 101 具有不需要程度的孔 102。本发明以高效的方法解决了这个突出的问题，因此显著减少或除去这样的空隙并改良电子迁移性能和装置的可靠度。

本发明的一个实施方案如图 2 至图 5 中所示。请参考图 2，基材 20 上形成晶体管。该晶体管可包括 MOS 晶体管和/或双栅记忆体单元晶体管，该双栅记忆体单元晶体管包括浮置和控制栅极以及在其间的多相 (ONO) 介电层。例如，该晶体管可包括隧道氧化物 23，浮栅电极 24，ONO 堆栈多相介电层 25，和控制栅极 26。金属硅化物层 27A，如硅化镍 (nickel silicide)，形成于该栅极电极堆栈的上表面上，而金属硅化物层 27B，如硅化镍，形成于该源/漏极区域 21、22 上。介电侧壁隔片 28，如氧化硅、氧氮化硅、或氮化硅，形成于该栅极电极的侧面上，氮化硅蚀刻阻挡层 29 通常沉积于其上。介电层 200，如 BPSG，或衍生自于 TEOS 的 BPSG 和氧化硅的复合材料，以大约为 7,500Å 到大约 8,500Å，如大约 8,000Å 的厚度沉积。

随后进行常规的光刻和蚀刻技术以在介电层 200 曝露的源/漏极区域 22 形成触点开口。该触点开口通常具有大约 4:1 或更高的纵横比 (深度/直径)。

然后沉积复合阻挡层 201 以衬该开口，如初始的 Ti 层和其上的氮化钛层。随后沉积 W 以填充该开口并形成余量 202。由于该触点开口的高纵横比，在该 W 插塞内产生明显的空隙 203。

根据本发明的实施方案，如图 3 所示，激光加温退火的实施是使脉冲激光光束对着填充的触点照射沉积的 W，如图中箭头 30 所示，通常辐射通量在大约 0.78 到大约 1.10 焦耳/平方厘米，持续大约 10 到约 100

纳秒，由此提升该 W 插塞的温度至大约 3,000°C 到大约 3,600°C，引起熔融和回流以除去空隙，如图 4 中所示。随后进行 CMP 以形成如图 5 所示的结构，其中 W 插塞 50 不显示空隙。

5 根据本发明的另一实施方案，如图 6 至图 8 所示，CMP 是在实施激光加温退火前进行。请参考图 6，所示意的结构是在图 2 所示的结构上进行 CMP 得到的。然后实施激光加温退火，如图 7 中所示，以脉冲激光光束 70 照射该 W 插塞引起回流并消除空隙。所得结构如图 8 所示，其包括没有空隙的 W 插塞 80。

10 本发明提供了可形成没有或明显减少空隙的具有 W 触点和/或通孔的方法，其中该触点和/或通孔具有高纵横比，如 4 或更高，从而减小接触电阻，稳定接触电阻的分布，以提供稳定电阻分布，改良装置可靠度和改良电子迁移性能。本发明的产业利用性可应用在不同种类的半导体装置的制造上从而改良其可靠度和提升电路速度。本发明特别适用在制造具有深亚微米级部件的半导体装置，如快擦写存储器装置，如
15 EEPROM 装置，其具有大约 0.12 微米或更小的尺寸设计规则，从而改良其可靠度，提升电路速度，改良电子迁移性能和提高生产能力。

在上述具体描述中，本发明以其具体的实施方案为参考进行了说明。然而，显然可对其作各种修改和变化而不背离在权利要求中限定的本发明的更宽范围。说明书和附图应视为对此的解释而不是限制。可以
20 理解地，本发明可以在各种其它结合与环境下使用，并能在在此表达的本发明概念的范围内进行变化或修改。

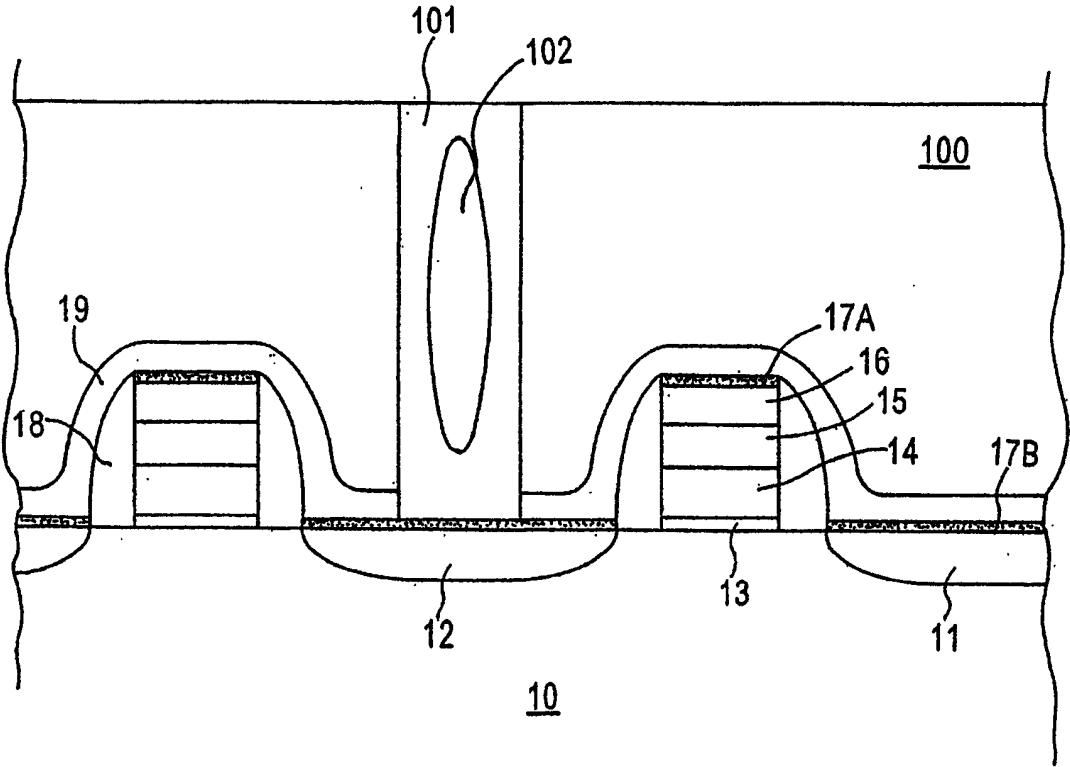


图1

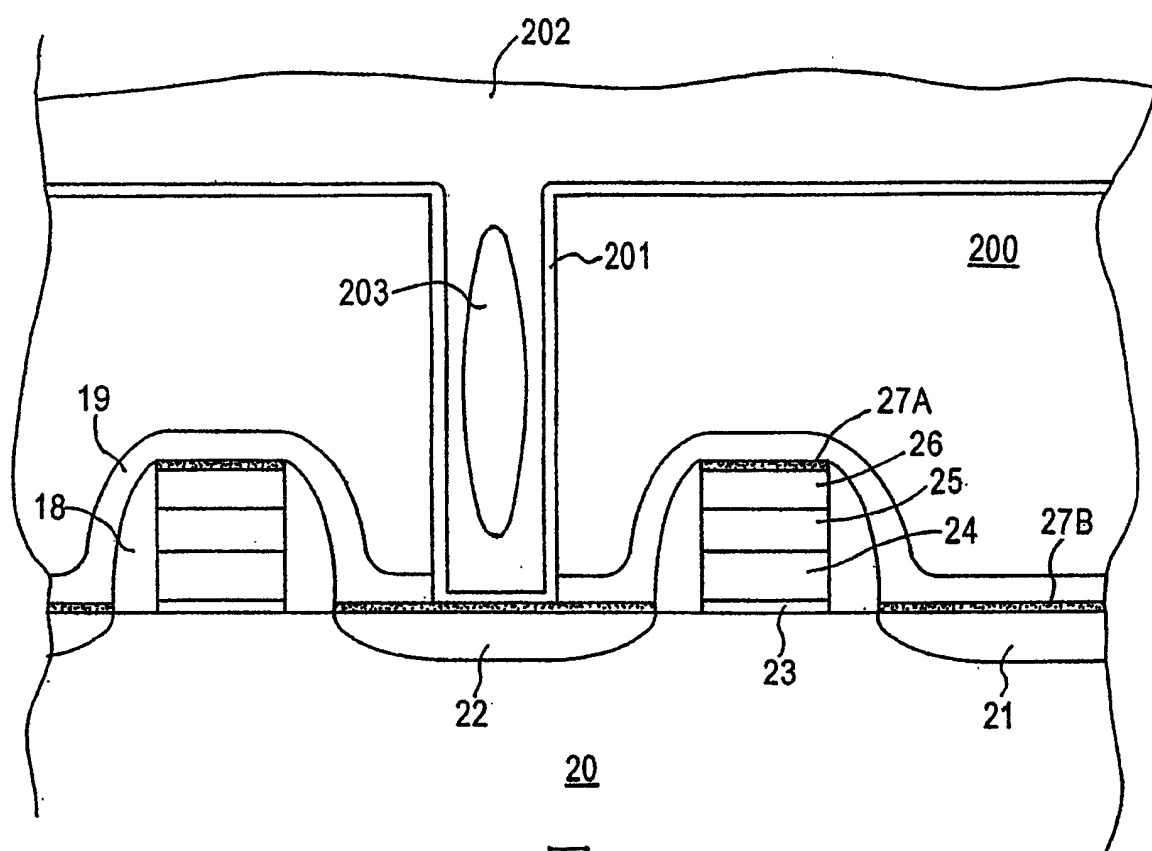


图2

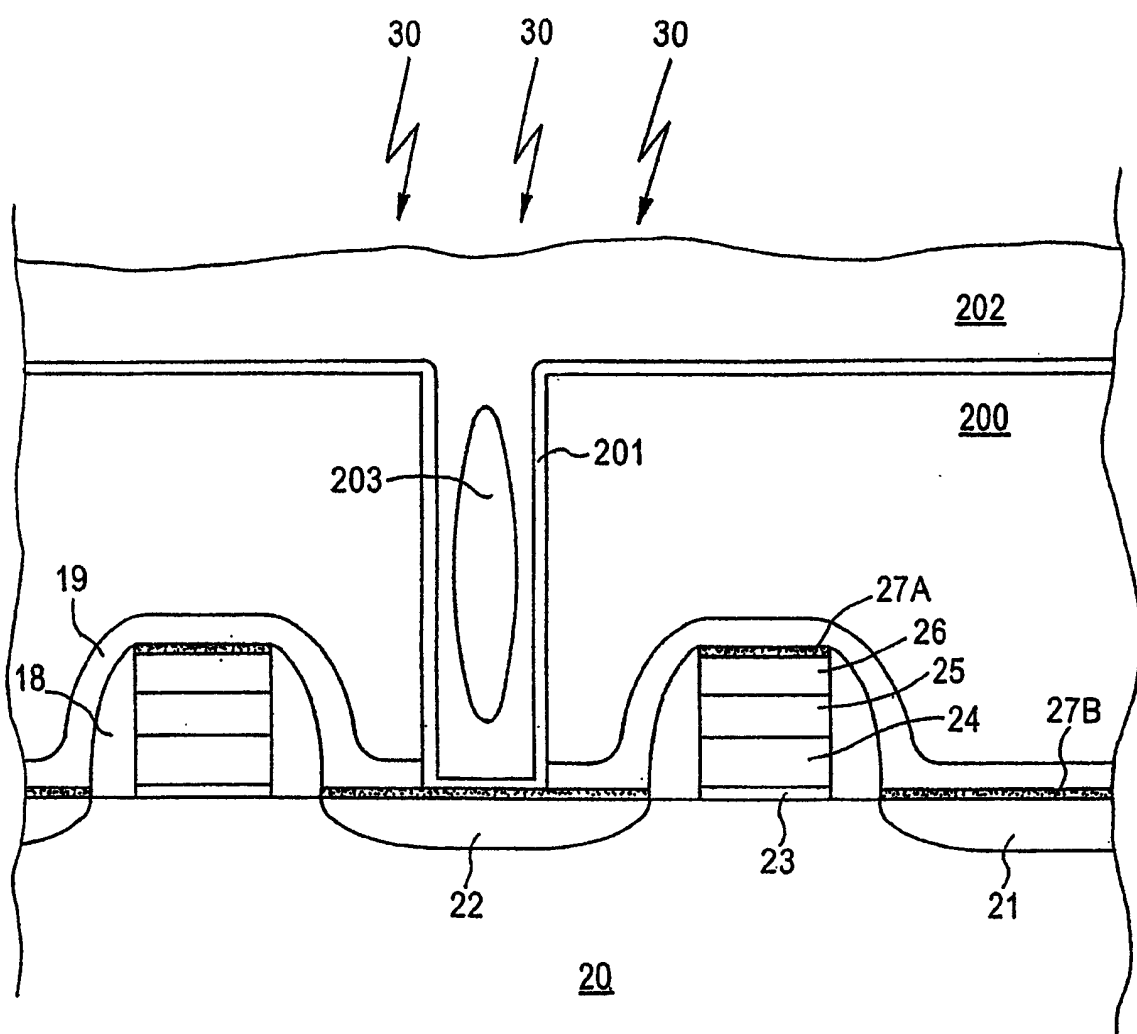


图3

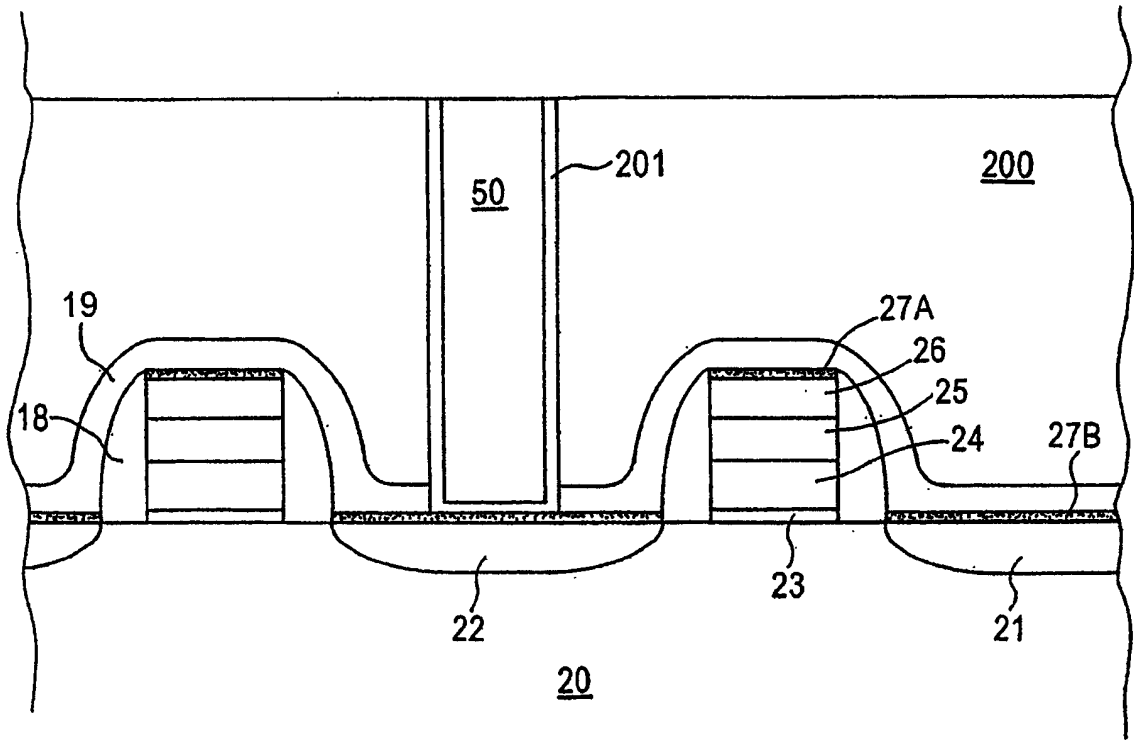


图5

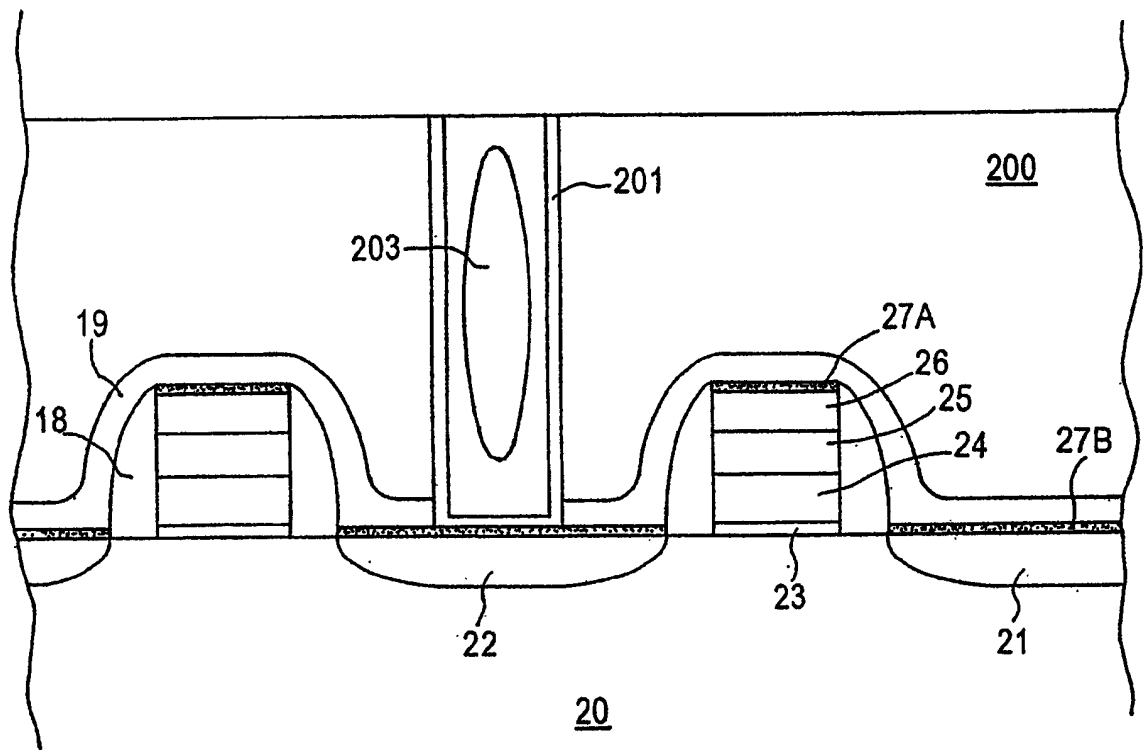


图6

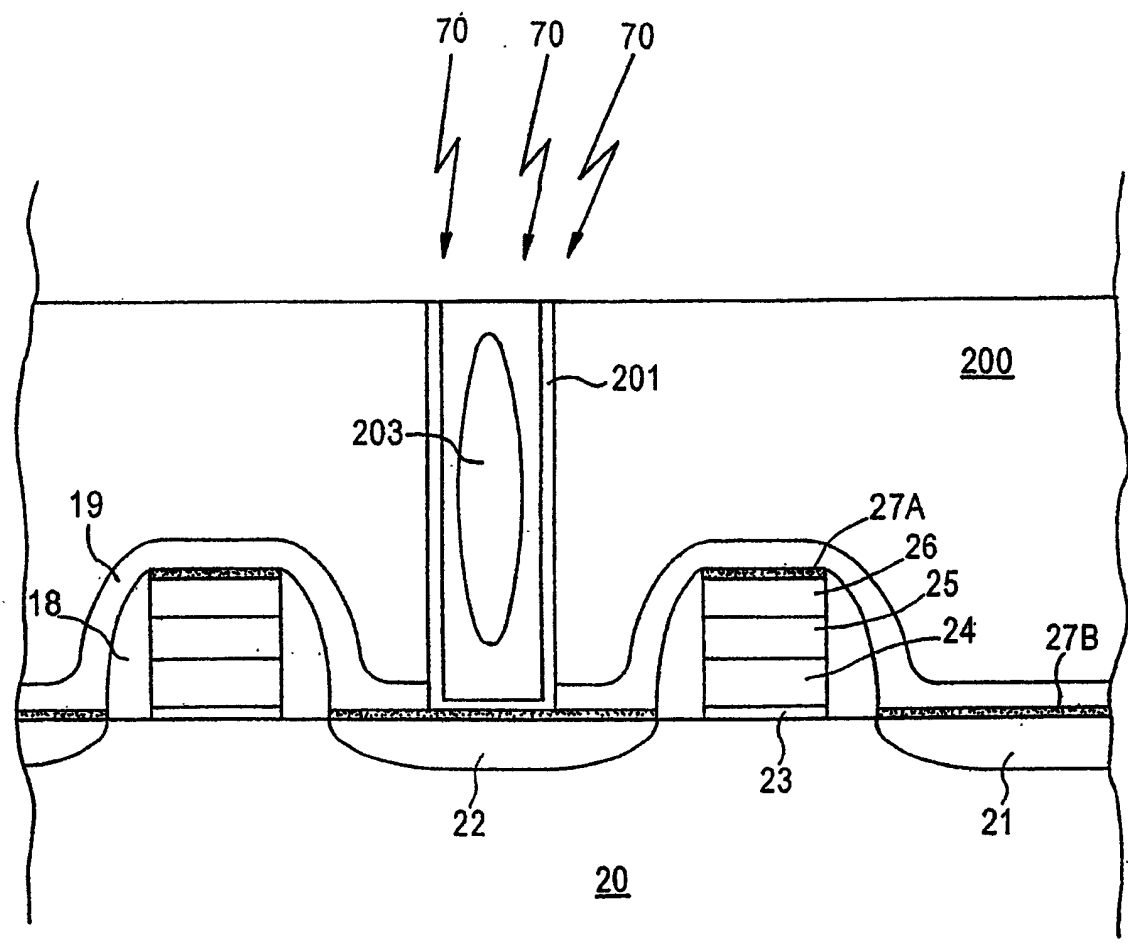


图7

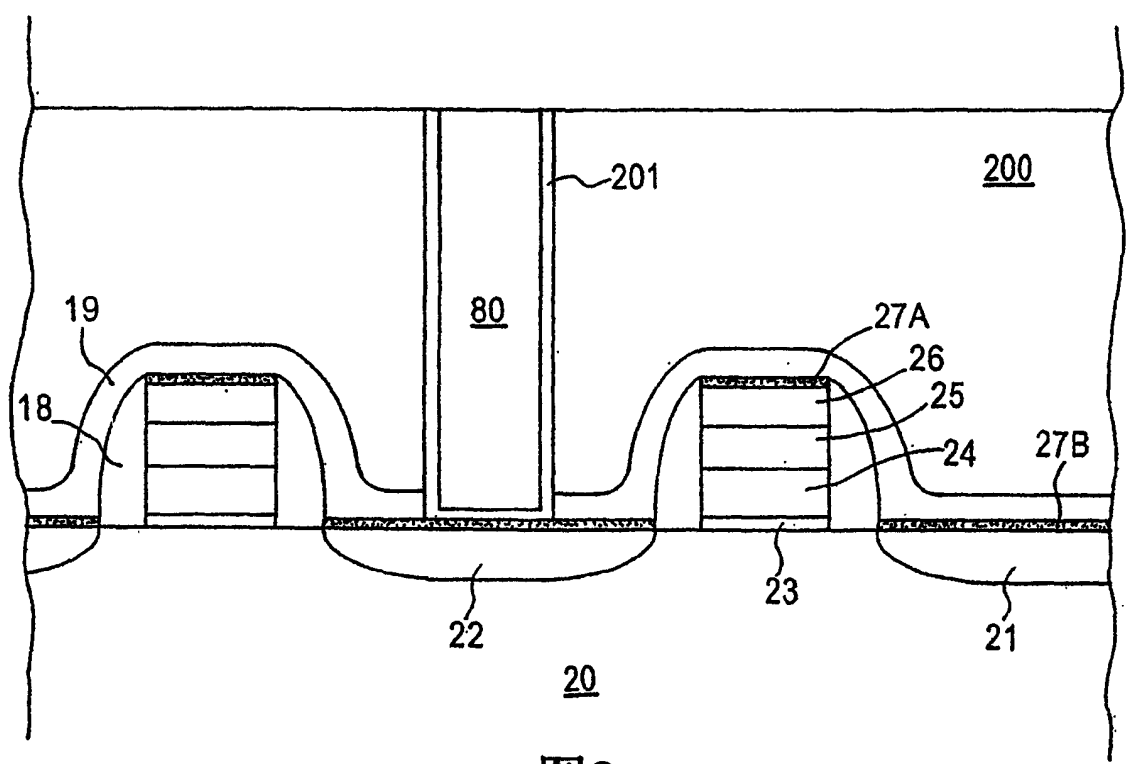


图8