

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年11月11日(2010.11.11)

【公表番号】特表2010-510615(P2010-510615A)

【公表日】平成22年4月2日(2010.4.2)

【年通号数】公開・登録公報2010-013

【出願番号】特願2009-537251(P2009-537251)

【国際特許分類】

**G 1 1 C 11/41 (2006.01)**

【F I】

G 1 1 C 11/34 K

G 1 1 C 11/40 C

【手続補正書】

【提出日】平成22年9月27日(2010.9.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ワード線(WWL0)に結合されたメモリセル(20')であって、  
第1電源端子(45)と、前記ワード線(WWL0)に接続された第2電源端子(47)  
とを有する1対の交差結合インバータ(40)と  
を備え、

前記第1電源端子(45)が受取る電圧を第1電源電圧と称し、

前記第1電源電圧とは異なる電源電圧を、第2電源電圧と称すると、

前記第2電源端子(47)は、1対の前記交差結合インバータ(40)が前記メモリセル(20')の書き込み動作中にアクセスされる場合に、前記ワード線(WWL0)から前記第1電源電圧を受取り、

前記第2電源端子(47)は、1対の前記交差結合インバータ(40)が前記書き込み動作のためにアクセスされない場合に、前記ワード線(WWL0)から前記第2電源電圧を受取るように構成されることを特徴とする、メモリセル(20')。

【請求項2】

メモリセル(20')であって、

第1ストレージノード(SN)に結合された第1アクセストランジスタ(60)であって、前記第1アクセストランジスタ(60)のゲートは、ワード線(WWL0)に結合されることと；

第2ストレージノード(SNB)に結合された第2アクセストランジスタ(62)であって、前記第2アクセストランジスタ(62)のゲートは、前記ワード線(WWL0)に結合されることと；

前記第1ストレージノード(SN)と前記第2ストレージノード(SNB)のうちの少なくとも一方に結合された少なくとも1つの読出ポート(42)と；

第1電源端子(45)と、前記ワード線(WWL0)に接続された第2電源端子(47)  
とを有する1対の交差結合インバータ(40)と  
を備え、

前記第1電源端子(45)が受取る電圧を第1電源電圧と称し、

前記第1電源電圧とは異なる電源電圧を第2電源電圧と称すると、

前記第2電源端子(47)は、1対の前記交差結合インバータ(40)の書込み動作中に前記ワード線(WWL0)から前記第1電源電圧を受取り、1対の前記交差結合インバータ(40)の読み込み動作中に前記第2電源電圧を受取り、

1対の前記交差結合インバータ(40)は、

第1出力端子と、前記第1ストレージノード(SN)に結合された第1入力端子とを有する第1インバータと；

前記第1出力端子に結合された第2入力端子と、前記第1ストレージノード(SN)のところで前記第1入力端子に結合された第2出力端子とを有する第2インバータとを備えるように構成されることを特徴とする、メモリセル(20')。

【請求項3】

ワード線(WWL0)に結合された少なくとも1つのメモリセル(20')を備えるメモリにアクセスするための、メモリセルの動作方法であって、少なくとも1つの前記メモリセル(20')は、第1電源端子(45)と、第2電源端子(47)とを有する1対の交差結合インバータ(40)を備え、前記ワード線(WWL0)は、前記第2電源端子(47)に直接接続され、前記第1電源端子(45)が受取る電圧を第1電源電圧と称し、前記第1電源電圧とは異なる電源電圧を第2電源電圧と称すると、前記動作方法は、

少なくとも1つの前記メモリセル(20')内に格納する目的でビットを書込む場合に、前記ワード線(WWL0)が前記第1電源電圧を前記第2電源端子(47)に供給することによって、前記ワード線(WWL0)上の信号を受信できるようにするステップと

前記ビットを書込まない場合に、前記ワード線(WWL0)が前記第2電源電圧を前記第2電源端子(47)に供給することによって、前記信号を受信できないようにするステップと

を有する動作方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】改良形書込み動作を行う2ポートSRAMとその動作方法