

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3582082号
(P3582082)

(45) 発行日 平成16年10月27日(2004.10.27)

(24) 登録日 平成16年8月6日(2004.8.6)

(51) Int. Cl.⁷

F I

G09G 3/20
G02F 1/133
G09G 3/36

G09G 3/20 612K
G09G 3/20 612U
G09G 3/20 611A
G09G 3/20 631B
G09G 3/20 633G

請求項の数 1 (全 27 頁) 最終頁に続く

<p>(21) 出願番号 特願平5-152533 (22) 出願日 平成5年6月24日(1993.6.24) (65) 公開番号 特開平6-130910 (43) 公開日 平成6年5月13日(1994.5.13) 審査請求日 平成12年6月21日(2000.6.21) (31) 優先権主張番号 特願平4-179997 (32) 優先日 平成4年7月7日(1992.7.7) (33) 優先権主張国 日本国(JP)</p> <p>前置審査</p>	<p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 (74) 代理人 100090479 弁理士 井上 一 (74) 代理人 100090387 弁理士 布施 行夫 (74) 代理人 100090398 弁理士 大淵 美千栄 (72) 発明者 今村 陽一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内</p> <p>審査官 橋本 直明</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】マトリクス型表示装置、マトリクス型表示制御装置及びマトリクス型表示駆動装置

(57) 【特許請求の範囲】

【請求項1】

表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、該表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、前記第2の記憶手段から読み出される表示データに基づき前記マトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、
前記第1の記憶手段に記憶された表示データの変更があったときに発振する間欠動作型の第1の発振手段と、
前記第1の発振手段よりも低周波数で発振する第2の発振手段と、
前記第1の発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して前記第2の記憶手段へ転送する表示データ転送手段と、
前記第2の発振手段からのクロックを用いて前記マトリクス表示体を駆動するためのタイミング信号を生成するタイミング信号発生手段とを有し、
前記第1の発振手段が、
前記変更があったときに、前記第2の発振手段からのクロックに位相同期したクロックを、指定されたラインの1走査ライン分の表示データを転送するためのクロック数だけ発生することを特徴とするマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、複数ライン同時選択駆動方式を採用するに好適な液晶表示装置等のマトリクス型表示装置に関し、更に詳しくは、主にマトリクス型表示素子モジュール・コントローラと信号電極ドライバ回路の改良に関する。

【0002】

【従来の技術】

従来、フラットディスプレイの一例としての単純マトリクス型液晶表示装置においては、MPU（マイクロ・プロセッサ・ユニット）側から表示データをLCDモジュール（液晶表示パネル（LCDパネル）、走査電極駆動回路（Yドライバ）、信号電極駆動回路（Xドライバ）等）へ転送する方式として、マトリクス型液晶表示素子モジュール・コントローラ（以下、モジュール・コントローラと言う）を用いる方式とRAM（データ読み出し用）内蔵型Xドライバを用いる方式とに大別できる。まず、前者の方式は、CRTを用いた表示装置と同様、システムバスに繋がるモジュール・コントローラが表示データを記憶しているビデオRAM（VRAM）から表示データを読み出し、これをLCDモジュールに対し高周波数のクロックで転送して表示リフレッシュ動作を行うものである。後者の方式は、Xドライバ内に2ポートタイプのフレームメモリ（内蔵RAM）を持ち、MPUがデータバス、コントロールバス又はアドレスバスを介して液晶表示タイミングとは無関係に直接フレームメモリにアクセスし、フレームメモリ内の表示データを変更するようになっており、Xドライバ内で所要の制御信号を生成して、内蔵フレームメモリから一走査ライン分の表示データを同時に読み出し、表示リフレッシュ動作を行うものである。

【0003】

【発明が解決しようとする課題】

前者の方式においては、表示画面を変える度に、その液晶表示タイミングに合わせてVRAMからの読み出しと転送を行うので、VRAM、モジュール・コントローラ、及び液晶ドライバを高周波クロックで常時動作させておく必要がある。また表示リフレッシュ動作に関係する回路がVRAM、モジュール・コントローラ、及び液晶ドライバに亘る。この高周波クロックでの大規模回路の動作によると、回路素子を構成する多数のCMOSに貫通電流等が生じ、消費電力の増大に繋がり、大型LCDパネルを用いればそれだけ増大する。またVRAMに対してはMPUのアクセスとモジュール・コントローラのアクセスとがあるが、表示リフレッシュ動作時のMPUのアクセスがMPUのアクセスと衝突しないように高速クロックを用いなければならず、モジュール・コントローラの低周波動作化には制約があると共に、MPU処理能力にも制約が付く。

後者の方式においては、液晶表示タイミングとは無関係に表示データの転送が行われるので、低周波クロックでの動作が可能であり、前者の方式に比べて1～2桁低い消費電力で済む。ところで、大型の液晶パネルを用いる場合においては、Xドライバの個数を増やす必要があるが、Xドライバの内蔵メモリ（RAM）はそれ自身独立のアドレス空間を有しており、Xドライバの出力端子数は一般に2のべき数（ 2^n ）ではなく例えば160ピン等の10の倍数であるので、MPU側から複数のXドライバの内蔵メモリを見た場合、内蔵メモリ全体のアドレスには離散的な空きが生じてアドレスの連続性が確保されていない場合が多い。このため、スクロール動作やパニング動作等の表示画面全体を同時に変更する時には、MPU側でアドレス対応付けの処理を高速で行う必要を余儀無くされ、MPUに大きな処理負担を強いることになる。勿論、XドライバICの出力ピン数を2のべき数にするように設計可能であるが、既存の液晶パネルの電極数との整合性が崩れてしまい、システムの互換性を著しく損なう。また多数のXドライバを用いると、チップセレクト線等の本数が必然的に増え、液晶パネルの周辺に配する多数のXドライバのスペースをその分確保せねばならず、パネルの表示面積比の低下を招きLCDモジュールの小型化の障害になる。従って、後者の方式は大規模の液晶パネルに適用するには不向きである。

【0004】

そこで、上記各問題点に鑑み、本発明は、表示データの転送方式を改善することにより、低消費電力でありながら、大容量表示に適したマトリクス型表示制御装置、マトリクス型表示駆動装置及びマトリクス型表示装置を提供することにある。

【 0 0 0 5 】

【課題を解決するための手段】

上記課題を解決するために、本発明の講じた手段は、従来のモジュール・コントローラ型の表示装置と、従来のフレームメモリ内蔵型の信号電極ドライバとを組合せた方式において、モジュール・コントローラのクロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。即ち、本発明は、表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、第2の記憶手段から読み出される表示データに基づき前記マトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、第1の記憶手段に記憶された表示データの変更があったときに発振する間欠動作型の発振手段と、この発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とする。

10

【 0 0 0 6 】

また、本発明に係るマトリクス型表示制御装置は、第1の記憶手段に記憶された表示データの変更があったときに発振する間欠動作型の発振手段と、この発振手段からのクロックを用いて第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とする。

【 0 0 0 7 】

上記構成とは別に、本発明は、表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、第2の記憶手段から読み出される表示データに基づきマトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、第1の記憶手段に記憶された表示データの変更があったときに発振する間欠動作型の第1の発振手段と、第1の発振手段よりも低周波数で発振する第2の発振手段と、第1の発振手段からのクロックを用いて第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段と、第2の発振手段からのクロックを用いてマトリクス表示体を駆動するためのタイミング信号を生成するタイミング信号発生手段とを有することを特徴とする。

20

【 0 0 0 8 】

更に、本発明は、マトリクス型表示体の表示画素の少なくとも一部に対応する表示データを記憶する随時書込み読み出し可能の記憶手段を有し、この記憶手段から表示データを読み出しマトリクス表示体の信号電極に駆動電圧を印加するマトリクス型表示駆動装置において、1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後、書込み制御信号により書込み動作を実行する書込み読み出し手段とを有することを特徴とする。

30

【 0 0 0 9 】

ここで、表示データの転送に用いられるクロックの停止を検出するクロック検出手段と、このクロック検出手段の検出信号に基づいて書込み制御信号の発生を停止させる書込み禁止制御手段とを有することが望ましい。斯かる場合、書込み読み出し手段は、入力される表示データを前記クロックを用いて少なくとも1走査ライン分格納する一時格納手段と、この一時格納手段の格納表示データを前記クロックの1周期以上の長い信号により記憶手段に書込み供給するバッファ手段とを設けることが望ましい。そして、書込み読み出し手段としては、記憶手段から読み出した表示データとマトリクス表示体の走査電極の電圧状態とから信号電極に印加すべき信号電圧を割り出す信号電圧状態割り付け手段を有する。この信号電圧割り付け手段としては、記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電

40

50

圧選択手段とを有する。記憶手段としては、1行アドレスに対し前記マトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、信号電圧状態割り付け手段としては、複数の走査ライン分の表示データを一挙に読み出す手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有する。

【0010】

また、マトリクス型表示駆動装置としては、複数本の走査ラインを同時に選択し、かつ前記同時に選択される走査ラインを1フレーム内に複数回に分けて選択することを特徴とする。

【0011】

【作用】

このようなマトリクス型表示制御装置によれば、第1の記憶手段において表示データの変更があったときだけ高周波クロックが動作し、表示データを第2の記憶手段へ転送するものであるから、高周波クロックの間欠動作により低消費電力化を図ることができる。また第2の記憶手段に対する転送処理はMPUが行うのではなく、仲介に立つマトリクス表示制御装置が実行するものであるため、第1の記憶手段側のホストMPUの処理負担を低減できると共に、更に信号電極の駆動装置をカスケード接続することにより、ドライバ側のメモリ空間を意識せずに、マトリクス型表示体の構成に合わせて表示データの転送ができるようになり、アドレスの対応付けの容易化も達成できる。そして、第2の記憶手段に走査ライン毎の表示データが一挙に格納されるので、画面変更の高速化を達成できる。更に、信号電極の駆動装置のカスケード接続により大容量表示装置でもマトリクス型表示制御装置と駆動装置との結線数(例えばチップセレクト線の本数)を抑制でき、表示画面面積比率の大きな表示装置を実現できる。

【0012】

また、信号電極ドライバにおいては高速クロックを用いないで1走査期間を分割したタイミングで第2の記憶手段に余裕を以てアクセスするようにしてある。

【0013】

このため、第2の記憶手段へのアクセスタイミングが従来に比して緩和されるので、書込み力を向上させることができ、第2の記憶手段の構成トランジスタのサイズを縮小化できる。ドライバのチップサイズの小型化にも寄与する。

【0014】

【実施例】

次に、添付図面に基づいて本発明の実施例を説明する。

【0015】

〔全体構成の説明〕

図1は本発明の実施例に係る単純マトリクス型液晶表示装置の全体構成を示すブロック図である。この単純マトリクス型液晶表示装置は、プログラムされたホストMPU10と、このMPU10のワーキングメモリとなるシステムメモリ11と、システムメモリ11と同一のアドレス空間に表示データを格納するビデオRAM(VRAM)12と、画像データ及び音声情報等を記憶する補助記憶装置13と、システムバス14a及び専用バス14bに繋がるモジュール・コントローラ100と、このモジュール・コントローラ100により表示制御されるLCDモジュール200と、入力用タッチセンサ15と、タッチセンサ・コントローラ16を有している。なお、システムバス14aには、従来のコンピュータシステムと同様、通信制御装置や他の表示装置等の周辺装置を必要に応じて接続することができる。LCDモジュール200は、単純マトリクス型液晶表示パネル(LCDパネル)210と、そのLCDパネル210の複数の走査電極 Y_1, Y_2, \dots を選択する走査電極駆動回路(YドライバIC)220と、LCDパネル210の複数の信号電極に表示データを供給するN個のフレームメモリ(RAM)内蔵型信号電極駆動回路(XドライバIC)250-1~250-Nを有している。

10

20

30

40

50

【 0 0 1 6 】

〔モジュール・コントローラの説明〕

モジュール・コントローラ 1 0 0 は、3 2 K H z ~ 5 1 2 K H z 程度の振動子 1 1 0 a を持ち低周波クロック f_L を常時発振する低周波発振回路 1 1 0 と、その低周波クロック f_L を基に L C D モジュール 2 0 0 に必要な走査スタート信号（フレーム開始パルス）Y D , 転送表示データの直並列変換用のラインラッチ信号（ラッチパルス）L P , 液晶交流化信号 F R 等を生成するタイミング信号発生回路 1 2 0 と、ホスト M P U 1 0 から間欠動作指示情報を直接受領したとき又はホスト M P U 1 0 との通信とシステムバス 1 4 a を監視し V R A M 1 2 内の表示データの更新があったとき間欠動作開始制御信号 S T (バー) を作成するスタンバイ回路（表示データ更新検出回路）1 3 0 と、間欠動作開始制御信号 S T (バー) の印加期間において低周波クロック f_L に位相同期する高周波クロック f_H を作成する高周波発振回路 1 4 0 と、間欠動作開始制御信号 S T (バー) の印加期間においてその高周波クロック f_H を利用して V R A M 1 2 から専用バス 1 4 b を介して表示データをダイレクトメモリアクセス方式で読み出し、その表示データをデータバス 1 7 のビット数又はフォーマットに変換して表示データをそのデータバス 1 7 を介して X ドライバ 2 5 0 - 1 ~ 2 5 0 - N のフレームメモリ 2 5 2 - 1 ~ 2 5 2 - N へ転送するダイレクト・メモリ・アクセス (D M A) 回路 1 5 0 とを有している。

10

【 0 0 1 7 】

タイミング信号発生回路 1 2 0 は、図 2 に示すように、低周波クロック f_L を基に 1 水平期間内に 2 発のラッチパルス（ラインラッチ信号）L P を生成する分周器 1 2 1 と、ラッチパルス L P を計数して走査電極の順番（行アドレス）を指定するための行アドレス信号 R A 及びフレーム開始パルス Y D を生成する垂直カウンタ 1 2 2 と、フレーム開始パルス Y D 及び垂直カウンタ 1 2 2 の所定カウント値に基づき液晶交流化信号 F R を生成するフレームカウンタ 1 2 3 とを有している。スタンバイ回路 1 3 0 は、システムバス・インターフェース回路 1 3 1 と、M P U 1 0 が V R A M 1 2 のうち X ドライバのフレームメモリの該当領域に表示データの変更を加えたとき M P U 1 0 によって転送指示フラグが立つラインフラグレジスタ 1 3 2 と、転送指示フラグが立った走査電極のアドレスと行アドレス R A との一致 / 不一致を判定し一致信号 j を生成する比較回路 1 3 3 と、その一致信号 j とラッチパルス L P とから間欠動作開始制御信号 S T (バー) を生成する同期調整回路 1 3 4 とを有している。ここで、ラッチパルス L P の 1 水平期間 (1 H) 内での発生数は、後述する 2 ライン同時選択駆動方式の採用により 2 発である。同期調整回路 1 3 4 は、ラッチパルス L P を反転するインバータ 1 3 4 a と、ラッチパルス L P の立ち下がりに同期した一致信号を生成する D 型フリップフロップ 1 3 4 b と、その同期一致信号のパルス幅をラッチパルス L P の周期に限定して間欠動作開始制御信号 S T (バー) とする論理積ゲート 1 3 4 c とからなる。なお、V R A M 1 2 に対する読み出しスタートアドレスはホスト M P U 1 0 によって予めセットされる。

20

30

【 0 0 1 8 】

高周波発振回路 1 4 0 は、間欠動作開始制御信号 S T (バー) 及び後述する間欠動作終了制御信号 C A (バー) から発振制御信号 C T を作成する論理積ゲート 1 4 1 と、その発振制御信号 C T により間欠発振する高周波の可変周波数 C R 発振器 1 4 2 と、この高周波の可変周波数 C R 発振器 1 4 2 で得られた高周波クロック f_H を計数して間欠動作終了制御信号 C A (バー) を作成して間欠動作期間を限定する間欠動作時限回路 1 4 3 と、その高周波クロック f_H と間欠動作終了制御信号 C A (バー) とから表示データのシフトレジスタ格納用のシフトクロック S C L を作成する論理積ゲート 1 4 4 とを有している。可変周波数 C R 発振器 1 4 2 は、論理積ゲート 1 4 2 a , インバータ 1 4 2 b , 1 4 2 c , 帰還抵抗 R_1 , R_2 , R_3 及び帰還キャパシタ C_1 からなる C R 発振部と、抵抗選択スイッチ $S W_1$, $S W_2$, $S W_3$ と、M P U 1 0 により時定数がセットされてそれに応じた抵抗選択スイッチ $S W_1$, $S W_2$, $S W_3$ の開閉の組合せを行うスイッチ選択レジスタ 1 4 2 d とを有している。このスイッチ選択レジスタ 1 4 2 d の内容により抵抗選択スイッチ $S W_1$, $S W_2$, $S W_3$ の開閉の組合せを変えることで C R 発振部に寄与する

40

50

帰還抵抗（時定数）が変わるので、CR発振部の発振周波数 f_H の値を可変できるようになっている。間欠動作時限回路143は、高周波クロック f_H を反転バッファするインバータ143aと、間欠動作終了制御信号CA（バー）の高レベル期間だけ高周波クロック f_H を通過させる論理積ゲート143bと、論理積ゲート143bからの高周波クロック f_H をインバータ143eを介してクロック入力とし間欠動作開始制御信号ST（バー）の立ち下がりでリセットされるプリセット・カウンタ143cと、1走査ライン分の表示データの転送に必要な高速クロックSCL（XSCL）の数をMPU10からセット可能なクロック数レジスタ143dと、プリセット・カウンタ143cのキャリー出力CAを反転して間欠動作終了制御信号CA（バー）を作成するインバータ143fとを有する。

10

【0019】

ダイレクト・メモリ・アクセス（DMA）回路150は、スタンバイ回路130からの一致信号jにより高速クロックSCLを用いて読み出しクロックRSKを専用バス14bに出力すると共にラインフラグレジスタ132に当該フラグアドレス信号及びフラグリセット信号を送るダイレクト・メモリ・アクセス（DMA）制御回路151と、読み出しクロックRSKによってVRAM12内の書換えアドレスの表示データを専用バス14bを介して読み出しデータSDとして取込み、その読み出しデータSDをシフトクロックSCLを用いてデータバス17のビット数又はフォーマットに変換して得られた表示データDATA及びクロックSCLの周波数と等しいシフトクロックXSCKをデータバス17を介してXドライバ250-1~250-Nへ転送するデータ変換回路152とを有している。

20

【0020】

次に、モジュール・コントローラ100の動作について図3を参照しつつ説明する。モジュール・コントローラ100のうち、低周波発振回路110及びタイミング信号発生回路120は常時動作しているが、Xドライバ250-1~250-Nが転送されて来る表示データDATAを格納するフレームメモリ252-1~252-Nを有しているので、高周波発振回路140は常時動作する必要がなく、後述するようにVRAM12内の表示データが変更された際に間欠動作する。低周波発振回路110は低周波クロック f_L を常時出力し、タイミング信号発生回路120の分周器121は低周波クロック f_L を所定の分周比で分周してラッチパルスLPを生成する。ラッチパルスLPは1水平期間（1H）で2回発生し、その周波数は、640×480ドットのモノクローム表示の場合、最高32KHz~80KHz程度である。垂直カウンタ122はラッチパルスLPを計数して行アドレス信号RA及びフレーム開始パルスYDを生成し、フレームカウンタ123はフレーム開始パルスYDを計数して液晶交流化信号FRを作成する。このように本例においては、LCDモジュール200側で必要な低周波数のタイミング信号（ラッチパルスLP、走査スタート信号YD及び液晶交流化信号FR）はタイミング信号発生回路120で作成される。

30

【0021】

MPU10がVRAM12の表示データをリフレッシュ動作時に全体的に変更するときやフレーム間引き方式で階調表示する際に部分的に変更するとき、MPU10がシステムバス14及びインターフェース131を介してラインフラグレジスタ132の該当アドレスに転送指示フラグを立てる。一方、垂直カウンタ122から行アドレス信号RAがラッチパルスLPの発生の度に更新されているため、転送指示フラグの立ったフラグアドレスと行アドレス信号RAが一致すると、比較回路133から一致信号jが発生する。この一致信号jは同期調整回路134へ入力され、図3に示すように、ラッチパルスLPの立ち下がりに同期し1水平期間の周期の間欠動作開始制御信号ST（バー）が立ち上がる。間欠動作開始制御信号ST（バー）が立ち上がると、論理積ゲート141の出力には発振制御信号CTが立ち上がり、CR発振部の初段の論理積ゲート142aの一方入力は高レベルとなるので、CR発振部は抵抗選択スイッチ $SW_1 \sim SW_1$ の開閉組合わせで指定された帰還時定数に応じた高周波数で発振クロック f_H を発生し始める。発振クロック

40

50

f_H はインバータ143a, 論理積ゲート143b及びインバータ134eを介してプリセット・カウンタ143cに供給されと共に、論理積ゲート144からクロックSCLとして出力される。このクロックSCLは高周波クロックであり、DMA回路150の表示データの読み込み及び転送に利用される。プリセット・カウンタ143cは間欠動作開始制御信号ST(バー)の立ち下がりによりリセットされ、キャリア出力CAは低レベルになるが、カウント値がクロック数レジスタ143dで指定されたクロック数に達すると、高レベルのキャリア出力CAを出し、その反転信号たる間欠動作終了制御信号CA(バー)が図3に示すように立ち下がる。間欠動作終了制御信号CA(バー)が立ち下がると、発振制御信号CTも立ち下がり、これにより可変周波数CR発振器142の発振動作が中止される。このように、可変周波数CR発振器142は間欠動作開始制御信号ST(バー)と間欠動作終了制御信号CA(バー)で始点及び終点が限定された期間だけ間欠的に発振動作し、クロック数レジスタ143dで指定される1走査ライン分の表示データの転送に必要なクロック数の高周波クロック f_H を発生する。これによって、表示データの変更がないときは可変周波数CR発振器142の不必要な発振動作を解消することができ、消費電力の削減に寄与することになる。

10

【0022】

他方、DMA回路150において、スタンバイ回路130の比較回路133から一致信号jが出力されると、DMA制御回路151は高速クロックSCLを用いて読み出しクロックRSKを専用バス14bに出力する。これによりVRAM12内の書換えアドレスの表示データ(新データ)が図3に示すように読み出しデータSDとしてデータ変換回路152に取り込まれる。取り込まれた読み出しデータSDはデータバス17のビット数又はフォーマットに変換され、表示データDATAとクロックSCKの周波数に等しいシフトクロックXSCKがデータバス17を介してXドライバ250-1~250-Nへ転送される。また、DMA制御回路151はラインフラグレジスタ132に当該フラグアドレス信号及びフラグリセット信号を送る。これによりデータ変換回路152に取り込まれて転送された表示データのフラグアドレス内の転送指示フラグが倒される。そして次の行アドレス信号RAが発生すると、次の高速クロックSCKによって上記の動作が繰り返され、1水平期間で2走査ライン分の表示データDATAの転送が完了する。1走査ライン分の表示データDATAが転送されると、キャリア信号の反転信号CA(バー)が低レベルとなるため、転送動作が一時中止される。しかし、Xドライバ250-1~250-Nにはフレームメモリ252-1~252-Nが転送データを格納しているため、シフトクロックXSCKの動作・停止を1走査ライン毎に制御しても、表示に影響を及ぼすことはない。

20

30

【0023】

このように、Xドライバ250-1~250-Nにフレームメモリ252-1~252-Nを内蔵させて高周波発振回路140を間欠動作させるモジュール・コントローラ110を構築したことにより、VRAM12の表示データの変更があったときのみ走査ライン毎の表示データをフレームメモリ252-1~252-Nへ転送させることができる。このため、高周波発振回路140の常時動作が無くなるので、表示データの変更がなければ大幅な消費電力の削減が可能となる。また、このような間欠制御は既に公知であるフレーム間引き方式の階調表示を行う場合や、画面に対する動画表示面積の少ない表示を行う場合にも対応でき、従来表示システムとの互換性も良好である。なお、上記モジュール・コントローラ100の高周波発振回路140は、可変周波数CR発振器142を用いて構成されているが、これに限らず、ラッチパルスLPに同期して高周波クロックを発生する位相同期回路(PLL)を用いることができる。かかる場合、高周波クロックは位相同期回路の電圧制御発振器の出力から取り出すようにする。更に、高周波発振回路140はモジュール・コントローラ100に内蔵させずに、外部の高周波クロック源から供給されるようにも構成できる。或いはモジュール・コントローラ100は、ホストMPU10又はVRAM12と同一の半導体集積回路上に構成すれば、接続配線を減らすことができる。

40

【0024】

〔複数ライン同時選択駆動方法の説明〕

50

次に、Xドライバ（信号電極駆動回路）250の構成及び動作についての説明に移るが、本例の単純マトリクス型液晶表示装置は、従来の電圧平均化法による液晶素子駆動方法でなく、複数走査電極を同時に選択するいわゆる複数ライン同時選択（Multiple Lines Selection）駆動方法の改良技術に基づくものであるため、Xドライバ等の構成の理解を容易にするべく本発明が基にしている複数ライン同時選択の原理を先ず説明しておく。

【0025】

電圧平均化法によるマルチプレクス駆動方法は、図4に示すような単純マトリクス型の液晶素子等を駆動する場合、一般に走査電極 Y_1, Y_2, \dots, Y_n を1ラインずつ順次選択して走査電圧を印加すると共に、その選択される走査電極上の各画素がオンかオフかによって、それに応じた信号電極波形を各信号電極 X_1, X_2, \dots, X_m に印加することで液晶素子等を駆動するものである。図5はそのときの印加電圧波形の一例を示すもので、同図(a), (b)はそれぞれ走査電極 Y_1, Y_2 に印加する電圧波形、同図(c)は信号電極 X_1 に印加する電圧波形、同図(d)は走査電極 Y_1 と信号電極 X_1 との交差する画素に印加される合成電圧波形を示す。

10

【0026】

ところで、上記のように走査電極を1ラインずつ順次選択して駆動する方法では、駆動電圧が比較的高い。また図6に示すようにオフ状態においてもやや高い電圧がかかると共に、オン状態では電圧の減衰が大きいため、コントラストが悪い。更に、フレーム階調を行うとフリッカーが大きい等の不具合がある。

20

【0027】

そこで、コントラストを改善し、フリッカーを抑制するために、順次複数本の走査電極をまとめ同時に選択して駆動するいわゆる複数ライン同時選択（Multiple Lines Selection）駆動方法が提案されている（例えば、A GENERAL IZD ADDRESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDS. 1988 INTERNATIONAL DISPLAY RESEARCH CONFERENCE P80 ~ 85参照）。

【0028】

図7は上記の複数ライン同時選択駆動方法によって液晶素子を駆動する場合の印加電圧波形の一例を示すものである。本例は走査電極を順次3本ずつ同時に選択して駆動するもので、例えば図4に示すような画素表示を行う場合には、最初に3本の走査電極 Y_1, Y_2, Y_3 を同時選択して、それらの走査電極 Y_1, Y_2, Y_3 に、それぞれ例えば図7の(a)に示すような走査電圧を印加する。

30

【0029】

次いで図4において走査電極 Y_4, Y_5, Y_6 を選択して、それらの走査電極 Y_4, Y_5, Y_6 に例えば図7の(b)のような走査電圧パターンを印加するもので、このような同時選択を全ての走査電極 Y_1, Y_2, \dots, Y_n について順次行う。更に次のフレームでは電位を逆転し、液晶の交流化駆動を行なう。

【0030】

従来の電圧平均化法では1フレーム期間に1回1走査電極を選択していたが、複数ライン同時選択では、走査電極選択方法の正規直交性を保ちながら選択期間を時間的に1フレーム内に均等分散し、これと同時に、走査電極を特定本数の組（ブロック）にして選択し、空間的に分散したものである。ここで、「正規」とは、すべての走査電圧がフレーム周期単位で同一の実効電圧値（振幅値）を持つことを意味する。また「直交」とは、ある走査電極に与えられる電圧振幅が他の任意の走査電極に与えられる電圧振幅を1選択期間毎に積和したときフレーム周期単位では0になることを意味する。この正規直交性は、単純マトリクス型LCDにおいては各画素を独立してオン・オフ制御するための大前提である。例えば、図7の例では、選択時の V_1 レベルを「1」、 $-V_1$ レベルを「-1」としたときの1フレーム分の行列式 F_3 を、非選択期間は0であるので省略して表記すると、

40

【0031】

50

【数 1】

$$F_3 = \begin{pmatrix} 1 & 1 & -1 & 1 \\ 1 & -1 & 1 & 1 \\ -1 & 1 & 1 & 1 \end{pmatrix} = (f_{ij}) \quad \dots (1)$$

【0032】

10

である。例えば第 1 行目 (Y_1) と第 2 行目 (Y_2) の直交性は、

【0033】

【数 2】

$$\sum_{j=1}^4 f_{1j} \times f_{2j} = 1 + (-1) + (-1) + 1 = 0 \quad \dots (2)$$

【0034】

20

と検証される。直交性については、数学的な内容になるので詳細な説明は割愛するが、液晶を駆動する場合、低周波成分はフリッカーの原因になるので、 h 本同時選択するとき直交性の保たれる必要最小限の行列を選択する必要がある。一般に h 本同時選択する場合、上記行列式 (1) の列数に相当する 1 フレーム内の必要最少分散選択数は、 n を自然数とすると、 $2^{n-1} < h \leq 2^n$ を満足する 2^n の値となる。例えば、図 8 に示す 3 本同時選択の場合の必要最少限の分散選択数は 4 となる。また $h = 2^n$ のときは、1 選択期間 t は、電圧平均化法での 1 選択時間 ($1H$) に等しい。

【0035】

一方、信号側電圧波形は、レベル数 ($h+1$) の離散的な電圧レベルの中から 1 つのレベルを表示データに応じて決められる。電圧平均化法では、図 5 に示すように、1 行選択波形に対して信号電極 (行) 波形は、1 対 1 に対応しているため、オンかオフかに対応する 2 つの電圧レベルのうちから 1 つのレベルを出力するものであった。図 7 に示すような h 本同時選択の場合は、 h 本組になった行選択波形に対して等価的なオン・オフ電圧レベルを出力する必要がある。この等価的なオン・オフ電圧レベルは、オン表示データを「1」、オフ表示データを「0」としたとき、信号電極側データパターン ($S_{1j}, S_{2j}, \dots, S_{hj}$) と上記行列式の列パターン (走査電極選択パターン) との不一致数 C で決められる。

30

【0036】

【数 3】

$$C = \sum_{i=1}^h (f_{ii} \oplus S_{ii}) \quad \dots (3)$$

40

【0037】

但し、(1) 式で f_{ii} が「1」であるところは、式 (3) では「0」として扱う。

【0038】

ここで、 C 値は 0 から h までの値をとる。電圧平均化法の場合は、 $h = 1$ であるので、 C 値は 0 から 1 である。図 7 の例では、列パターン (1, 1, 1) の場合を考えると、信号電極側データパターン及び X ドライバ出力電位は、表 1 のようになる。

【0039】

50

【表 1】

不一致数	信号電極データパターン	データパターン数	Xドライバ出力電位
C = 0	(1, 1, 1)	1	$-V_3$
C = 1	(0, 1, 1) (1, 0, 1) (1, 1, 0)	3	$-V_2$
C = 2	(1, 0, 0) (0, 1, 0) (0, 0, 1)	3	V_2
C = 3	(0, 0, 0)	1	V_3

10

【0040】

表 1 に示す各不一致数に対するデータパターン数は、どの列に対しても同じである。従って、列パターンが決まっていれば、Xドライバの出力電位は、不一致数又は信号電極データパターンから直接Xドライバ出力電位をデコードして決めることができる。具体的には、図 7 (c) に示す信号電極電圧波形となる。図 4 における信号電極 X_1 と走査電極 Y_1, Y_2, Y_3 との交差画素の表示は、順に 1 (オン), 1, 0 (オフ) で、これに対する最初の t 内の走査電極の電位値は、順に $1 (V_1), 1, 0 (-V_1)$ である。従って、不一致数は 0 であるから、信号電極 X_1 の最初の t 内の出力電位は表 1 から $-V_3$ である。以下同様にして信号電極の出力電位波形が各画素に印加される。なお、図 7 の (d) は、走査電極 Y_1 と信号電極 X_1 とが交差する画素に印加される電圧波形、即ち、走査電極 Y_1 に印加される電圧波形と信号電極 X_1 に印加される電圧波形との合成波形である。

20

【0041】

上記のように、順次複数本の走査電極を同時に選択して駆動する手法は、図 5 に示す従来の 1 ラインずつ選択して駆動する方法と同じオン/オフ比を実現した上で、Xドライバ側の駆動電圧を低く抑えることができる利点がある。例えば、液晶のしきい値 V_{TH} を 2.1 V, デューティ比 1/240 では、Xドライバの最大駆動電圧振幅は 8 V 程度である。これはXドライバを高耐圧集積回路として構成する必要がなく、従来法より微細な半導体製造プロセスをそのまま適用できる途を開き、Xドライバ内蔵RAMのビット数を経済的に増やすことができることに繋がる。

30

【0042】

本出願人は、上記の複数ライン同時選択駆動方法についても特願平 4 - 143482 号を以て既に開示してある。この均等分散型複数ライン同時選択駆動方法では、マトリクス型表示装置において、順次複数本の走査電極を同時に選択し、かつその選択期間を 1 フレームの中で複数回に分けて電圧を印加する駆動回路を設けたことに特徴を有する。即ち、1 フレーム中に 1 回 (まとめて h t の期間) 選択するのではなく、その選択期間を 1 フレーム中で複数回に分けて電圧を印加するように駆動することによって、1 フレーム中で或る画素には複数回電圧が印加されることになるので、明るさが維持されコントラストの低下を抑制することができる、特に、累積応答効果の少ない高速応答性の液晶パネルの使用に有意義となる。

40

【0043】

この事については、図 8 に示すように非選択期間 (ある走査電極が選択されてから次に選択されるまでの期間) が短くなり、従来例における図 6 との比較からも明らかのように、オン状態はより明るく、かつオフ状態はより暗くなってコントラストを高めることができる。またフリッカーも減少させることができる。このように、改良された複数ライン同時選択駆動方法は、走査電極の複数のパルスパターンを一括して出力するのではなく、分散して出力するものである。なお、本例においては各選択期間の選択パルスを出す順番は任意であり、1 フレームの中で適宜入れ替えることができる。また本例では 4 つの列パター

50

ンを1つずつ4回に分けたが、複数ずつ、例えば2つずつ2回に分けて出力することもできる。

【0044】

ここで、複数ライン同時選択駆動方法の説明に深入りせずに、ドライバの説明に話しを戻すことにする。ただ、上述したように本例の液晶表示装置は均等分散型複数ライン同時選択駆動方法を採用しており、またドライバがフレームメモリ内蔵型でありながらモジュール・コントローラ100によって制御されるようになっているので、以下の説明では、ドライバが両者の要請に叶う構成でなければならないことを理解されたい。

【0045】

〔走査電極駆動回路(Yドライバ)の説明〕

ここで、以下に説明するドライバの複数ライン同時選択駆動方法において、同時選択にあずかる走査電極の数は、回路部の機能を容易に理解するために、最小の本数即ち2本($h = 2$)とする。従って、図9に示すように、 $2^1 = 2$ の数だけ走査電極波形の列パターンがある。また2つの異なる電圧パルスパターンを連続した2本の走査電極に印加するようにしてあり、1フレームは2フィールド(2垂直走査)により構成される。走査電極の総数を120本とすると、同時選択される2本の走査電極のブロックの数は60である。そして、あるブロックに対しては、最初に2種類のパルスパターンが印加されてから次の異なる2種類のパルスパターンが印加されるまでには $(60 - 1) \cdot t = 59 \cdot t$ の非選択期間がある。1フレームは $120 \cdot t$ で完了する。但し、 t は1選択期間(1水平期間)である。

【0046】

Yドライバ220は、図10に示すように、フレーム開始パルスYDやラッチパルス等を基にフィールド毎の列パターンを作成するコード発生部221を有する半導体集積回路である。本例の走査電極 $Y_1 \sim Y_n$ の印加電圧は、選択期間においては V_1 又は $-V_1$ であり、非選択期間においては0Vで、合計3レベルあるので、電圧セクタ222に対する選択制御情報は各走査電極 $Y_1 \sim Y_n$ 毎2ビットが必要である。このため、複数ライン同時選択のためのコード発生部221は、フィールド計数カウンタ(図示せず)と第1及び第2シフトレジスタ223、224をフレーム開始パルスYDで初期化した後、第1フィールドの選択列パターンに対応する2ビットの電圧選択コード D_0, D_1 を直並列変換用の第1シフトレジスタ223及び第2シフトレジスタ224に転送する。第1シフトレジスタ223及び第2シフトレジスタ224はそれぞれ走査電極の本数に対応した120ビットシフトレジスタであり、第1シフトレジスタ223は下位ビットの電圧選択コード D_0 を、第2シフトレジスタ224は上位ビットの電圧選択コード D_1 をそれぞれ同一のシフトクロックCKにより格納する。シフトクロックCKはラッチパルスLPを1/2分周したもので、コード発生部221のタイミング生成回路(図示せず)により発生する。コード発生部221はラッチパルスの2クロック目から第1フィールド終了までの期間は、非選択パターンに対応するコードを発生する。シフトレジスタはシフトクロックCKに対して単一の240ビットのシフトレジスタがあるのではなく、シフトクロックCKに対して並列の120ビットのシフトレジスタ223、224が設けられているので、ラッチパルスLPにより低い周波数で動作させることができ、極めて低消費電力動作が可能となっている。

【0047】

第1シフトレジスタ223及び第2シフトレジスタ224の各ビットの電圧選択コード D_0, D_1 は、シフトクロックCKの発生を契機に隣接ビットにシフトされ、選択時間 t だけ出力維持される。このシフトレジスタの出力はレベルシフト226へ供給され、その低論理振幅レベルから高論理振幅レベルへ変換される。レベルシフト226から出力される高論理振幅レベルの電圧選択コード D_0, D_1 は同時にレベル変換された液晶交流化信号FRと共に波形形成部としてのデコーダ227に供給され、選択制御信号が生成される。この選択制御信号で電圧セクタ222が開閉制御されることにより各走査電極 $Y_1 \sim Y_n$ へ印加電圧 $V_1, 0, -V_1$ のいずれかが供給される。

10

20

30

40

50

【 0 0 4 8 】

本例では、図 1 0 (b) に示すように、複数の Y ドライバ 1 ~ n をカスケード接続できるようにコード発生部 2 2 1 の機能を初段 Y ドライバ 1 と次段以降の Y ドライバ 2 ~ n とでセレクト端子 M S を使って変えることを前提としている。即ち、初段 Y ドライバ 1 では、前述のフレーム開始パルス Y D による初期化後、前述の 2 つのシフトレジスタ 2 2 3 , 2 2 4 に向けて電圧選択コードを発生するタイミングに移るが、次段以降は、セレクト端子 M S が低レベル入力になっているため、電圧選択コードを発生するタイミングには自動的に移らない。次段以降の Y ドライバ 2 ~ n は、初段のキャリー信号 (F S) を F S I 入力端子から入力して初めて電圧選択コードを前述の 2 つのレジスタ 2 2 3 , 2 2 4 に向けて発生する。そして最終段の Y ドライバ n からのキャリー信号 (F S) が出力されたときが、第 1 フィールドが終了するときである。このときはコントローラからは第 2 フィールドの開始信号は来ないので、最終段の Y ドライバ n のキャリー信号 (F S) を初段の Y ドライバ 1 の F S I 端子及び X ドライバの F S 端子に帰還し、第 2 フィールドの電圧選択コードを前述の 2 つのシフトレジスタ 2 2 3 , 2 2 4 に対して発生する。この後、前述した第 1 フィールドと同様に動作し、第 2 フィールドを終了し、次のフィールド (第 1 フィールド) の動作に移る。以上の機能は、コントローラに対する同時選択ライン数や Y ドライバの端子数の制約を緩和し、従来の電圧平均化法の場合と同じ周波数のフレーム開始パルス Y D , ラッチパルス L P を使うことができる。

10

【 0 0 4 9 】

〔信号電極駆動回路 (X ドライバ) の説明〕

20

複数の X ドライバ 2 5 0 - 1 ~ 2 5 0 - N は共に同一構成の半導体集積回路で、これらは図 1 に示すように相互にチップイネーブル出力 C E O とチップイネーブル入力 C E I を介してカスケード接続されている。いずれの X ドライバ 2 5 0 も、従来の R A M 内蔵型ドライバと異なり、M P U 1 0 に直結するシステムバス 1 4 を共有せず、データバス 1 7 を介してモジュール・コントローラ 1 0 0 に繋がっているだけである。各 X ドライバ 2 5 0 は、図 1 1 に示すように、アクティブ・ローの自動パワーセーブ回路としてのチップイネーブル・コントロール回路 2 5 1 と、主にモジュール・コントローラ 1 0 0 から供給される信号を基に所要のタイミング信号等を形成するタイミング回路 2 5 3 と、イネーブル信号 E の発生を契機にモジュール・コントローラ 1 0 0 から転送される表示データ D A T A を取り込むデータ入力制御回路 2 5 4 と、表示データ D A T A (1 ビット , 4 ビット又は 8 ビット) をシフトクロック X S C L の立ち下がる度に順次取り込み 1 走査ライン分の表示データ D A T A を格納する入力レジスタ 2 5 5 と、入力レジスタ 2 5 5 からの 1 走査ライン分の表示データ D A T A をラッチパルス L P の立ち下がりにより一括ラッチして 1 シフトクロック X S C L 以上の書込み時間をかけてフレームメモリ (S R A M) 2 5 2 のメモリマトリクスに書き込む書込みレジスタ 2 5 6 と、走査スタート信号 Y D により初期化され書込み制御信号 W R 又は読み出し制御信号 R D の印加の度にフレームメモリ 2 5 2 の行 (ワード線) を順次選択する行アドレスレジスタ 2 5 7 と、フレームメモリ 2 5 2 よりの表示データと走査電極の列パターンとの組から対応する信号電極の駆動電圧情報を割り出す信号パルス割り出し回路 2 5 8 と、信号パルス割り出し回路 2 5 8 からの低論理振幅レベルの信号を高論理振幅レベルの信号に変換するレベルシフタ 2 5 9 と、レベルシフタ 2 5 9 から出力される高論理振幅レベルの電圧選択コード信号により電圧 V_2 , M (例えば 0) , $-V_2$ のいずれかを選択して各信号電極 $X_1 \sim X_n$ に印加する電圧セクタ 2 6 0 とを有している。

30

40

【 0 0 5 0 】

ドライバチップ単位のパワーセーブを行なうチップイネーブルコントロール回路 2 5 1 とそれに関係する回路部分は従来技術を使用できる。チップイネーブルコントロール回路 2 5 1 は、チップイネーブルになっているチップだけがシフトクロック X S C L と表示データ D A T A をドライバ内に取り込むように内部イネーブル信号を発生し、タイミング回路 2 5 3 とデータ入力制御回路 2 5 4 の動作 / 停止を制御する。この制御は、ラッチパルス L P の周期毎に繰り返される。即ち、ラッチパルス L P の入力によりチップイネーブルコ

50

ントロール回路251の内部は、カスケードされたどのドライバチップもパワーセーブ状態からスタンバイ状態になると共に、イネーブル出力CEOは高レベルになる。ここで、どのドライバチップがイネーブルになるかパワーセーブ状態を保つかは、イネーブル入力端子CEIの状態によって決定される。即ち、図1の例では、初段のXドライバ250-1のチップイネーブル入力CEIは、接地(アクティブ)されているので、即座に内部イネーブル信号Eはアクティブ状態になり、シフトクロックXSC L, 表示データDATAを内部に取り込む。チップイネーブルコントロール回路251は、入力レジスタ255のビット数分の表示データを取り込に必要なシフトクロック数分のシフトクロックを入力した時点でイネーブル出力CEOを高レベルから低レベルにする。これによってカスケード接続された次段Xドライバ250-2のイネーブル入力CEIは低レベルとなり、即座に次段ドライバの内部イネーブルEはアクティブとなる。これ以降の動作は前述の初段ドライバの動作と同じである。以下同様に3段目以降のXドライバ250-3~250-Nのチップイネーブル入力CEIは順次低レベルとなり、所定の入力レジスタ255に対する表示データが取り込まれる。従って、N個のXドライバをカスケード接続しても、表示データの取り込み動作をするXドライバは、常時1個に限られるので、表示データの取り込み動作に係わる消費電力を低く抑えることができる。

10

【0051】

タイミング回路253の構成の詳細は、一部省略して示す図12のように、上記シフトクロックXSC Lをイネーブル信号Eの応答により内部へ取り込むための論理積ゲート253aと、イネーブル信号Eの応答によりNANDゲート253bを介して内部へ取り込んだラッチパルスLP及び書込み制御信号WRの遅延した反転パルスに基づき1ラッチパルスの周期内にプリチャージ用の2発の準備パルスを生成する論理積ゲート253cと、この論理積ゲート253cの出力パルスの立ち上がりトリガして所定パルス幅のプリチャージ制御信号PCを発生する第1のワンショット・マルチバイブレータ(プリチャージ制御信号発生回路)253-1と、これにカスケード接続され、プリチャージ制御信号PCの遅延した反転パルス及びラッチパルスLPの反転パルスの立ち上がりトリガして所定パルス幅の書込み制御信号WRを生成する第2のワンショット・マルチバイブレータ(書込み制御信号発生回路)253-2と、これにカスケード接続され、プリチャージ制御信号PCの遅延した反転パルス及び書込み制御信号WRの遅延した反転パルスの立ち上がりトリガして所定パルス幅の読み出し制御信号RDを生成する第3のワンショット・マルチバイブレータ(読み出し制御信号発生回路)253-3と、シフトクロックXSC Lのインバータ253dを介した逆相クロックでリセットされシフトクロックXSC Lの入来を検出するシフトクロック検出回路253-4と、シフトクロック検出回路253-4からのシフトクロック検出信号WEにより第2のワンショット・マルチバイブレータ253-2からの書込み制御信号WRを通過・遮断する書込み禁止用論理積ゲート253-5とを有している。

20

30

【0052】

第1のワンショット・マルチバイブレータ253-1は、論理積ゲート253cの出力の立ち下がりによりノードN₁を高レベルにセットするNANDゲート253e, 253fから成るフリップ・フロップと、ノードN₁が高レベルのとき高レベルのプリチャージ制御信号PCを作成するNANDゲート253g及びインバータ253hと、フレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれプリチャージ制御信号PCを遅延する遅延回路253iと、そのプリチャージ制御信号PCを反転してNANDゲート253fのリセット入力に加えるインバータ253jとを有している。第1のワンショット・マルチバイブレータ253-1においては、NANDゲート253eのセット入力端子の入力が立ち下がるとノードN₁は高レベルにセットされ、次いでANDゲート253cの出力が高レベルになったときプリチャージ制御信号PCが立ち上がり、しかる後遅延回路253iで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち下がり、ノードN₁は低レベルとなるので、プリチャージ制御信号PCが立ち下がる。論理積ゲート253cの出力の立ち上がりは、ラッチパルスLPの立ち

40

50

上がり時と後述する書込み制御信号WRの遅延信号の立ち上がり時に発生するので、1ラッチパルスの周期内でプリチャージ制御信号PCのパルスは2回発生する。

【0053】

第2及び第3のワンショット・マルチバイブレータ253-2, 253-3も第1のワンショット・マルチバイブレータ253-1とほぼ同様な回路構成を有しているため、同一構成の部分には図12では同一参照符号で示してある。第2のワンショット・マルチバイブレータ253-2は、プリチャージ制御信号PCの遅延反転信号、ラッチパルスLPの反転信号及びNANDゲート253eのノードN₂を3入力とするNANDゲート253gとフレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれ書込み制御信号WRを遅延する遅延回路253kを有している。NANDゲート253eのノードN₂はラッチパルスLPの反転信号の立ち下がりが高レベルにセットされるが、プリチャージ制御信号PCの最初の立ち下がり(プリチャージ制御信号PCの遅延反転信号の最初の立ち上がり)によりNANDゲート253gの出力が立ち下がるので、書込み制御信号WRが立ち上がり、しかる後遅延回路253kで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち下がり、ノードN₂は低レベルとなるので、書込み制御信号WRが立ち下がる。この後、2発目のプリチャージ信号PCの遅延反転信号が立ち上がるが、ノードN₂は未だラッチパルスLPの立ち下がりによって高レベルにはセットされていないので、NANDゲート253gの出力は高レベルのままであり、1ラッチパルスの周期内においては、書込み制御信号WRのパルスは最初のプリチャージ制御信号の立ち下がりにより1パルス出力されるのみである。第3のワンショット・マルチバイブレータ253-3は、プリチャージ制御信号PCの遅延反転信号、書込み制御信号WRの遅延反転信号、NANDゲート253eのノードN₃を3入力とするNANDゲート253gと、フレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれ読み出し制御信号RDを遅延する遅延回路253mを有している。NANDゲート253eのノードN₃は、プリチャージ制御信号PCの最初の立ち下がり(プリチャージ制御信号PCの遅延反転信号の最初の立ち上がり)の後に発生する書込み制御信号WRの遅延反転信号の立ち下がり(書込み制御信号WRの立ち上がり)で高レベルにセットされているので、2発目のプリチャージ制御信号PCの最初の立ち下がり(プリチャージ信号PCの遅延反転信号の最初の立ち上がり)によりNANDゲート253gの出力が立ち下がり、読み出し制御信号RDが立ち上がることとなる。しかる後遅延回路253mで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち下がり、ノードN₃は低レベルとなるので、読み出し制御信号RDが立ち下がる。1ラッチパルスの周期内においては、読み出し制御信号RDは2発目のプリチャージ制御信号PCの立ち下がりにより所定パルス幅の1パルス出力されるのみである。

【0054】

シフトクロック検出回路253-4は、シフトクロックXSC Lの逆相クロックをリセット入力R(バー)とすると共に、ラッチパルスLPの反転クロックの立ち上がりで接地電位(低レベル)をデータ反転入力D(バー)として記憶するD型フリップ・フロップ253sと、ラッチパルスLPの反転クロックの立ち上がりでD型フリップ・フロップ253sの反転出力Q(バー)をデータ反転入力D(バー)として記憶するD型フリップ・フロップ253tを有している。シフトクロックXSC Lの入来があると、まず最初のシフトクロックXSC LのパルスでD型フリップ・フロップ253sがリセットされ、そのQ(バー)出力が高レベルとなっているが、ラッチパルスLPの立ち下がりによってD型フリップ・フロップ253sには接地電位がデータ反転入力D(バー)として記憶されるのでそのQ(バー)出力が低レベルへ遷移すると共に、D型フリップ・フロップ253tには、253sの出力が変化する前の値が取り込まれ高レベルのデータ反転入力D(バー)を記憶するので、そのQ(バー)出力たるシフトクロック検出信号WEが高レベルとなる。ラッチパルスLP直後のシフトクロックXSC Lの入来すると、D型フリップ・フロップ253sはリセットされ、そのQ(バー)出力が高レベルに戻る。このようにシフトクロックXSC Lの入来が続く限り、D型フリップ・フロップ253tからのシフトクロック

10

20

30

40

50

検出信号WEは高レベルであるので、論理積ゲート253-5は導通状態のままであり、第2のワンショット・マルチバイブレータ253-2からの書込み制御信号WRはフレームメモリ等へ出力され続ける。他方、シフトクロックXSC Lの入来が止み、最後のシフトクロックXSC LのパルスでD型フリップ・フロップ253sのQ(バー)出力が低レベルに設定された状態のままラッチパルスLPが入来すると、D型フリップ・フロップ253tからのシフトクロック検出信号WEが低レベルになるので、論理ゲート253-5が閉じ、書込み制御信号WRの通過が禁止される。

【0055】

次に、図13を参照しつつXドライバ250における周辺回路とフレームメモリ252から信号パルス割り出し回路258、レベルシフタ259及び電圧セクタ260までの10
信号電極当り(1出力 X_m)のmビット回路部250mに着目した回路構成を説明する。フレームメモリ252のメモリマトリクスにおける奇数ワード線 WL_{2i-1} 、偶数ワード線 WL_i とビット線 BL_m 、 BL_m (バー)との交点にはメモリセル $C_{2i-1,m}$ 、 $C_{2i,m}$ があり、画素 $P_{2i-1,m}$ 、 $P_{2i,m}$ に対応した表示データ(オン・オフ情報)が格納されている。ラッチパルスLPが発生すると、タイミング回路253からプリチャージ信号PC、書込み制御信号WR又は読み出し制御信号RDが生成されるので、フレームメモリ252への印加により奇数ワード線 WL_{2i-1} が行アドレスレジスタ257の順次的な指定によりフレームメモリ252内の行アドレスデコードによって選択され、メモリセル $C_{2i-1,m}$ についての書込み又は読み出しが行われる。また次のラッチパルスLPが発生すると、偶数ワード線 WL_i が選択され、メモリ
20
セル $C_{2i,m}$ についての書込み又は読み出しが行われる。なお、読み出し動作においては読み出し制御信号RDによりセンス回路252mが能動化され、メモリセルから表示データが出力される。

【0056】

本例のXドライバ250においては、前述したような2ライン同時選択駆動方式を採用している都合上、1水平期間毎2ラインに亘る表示データと走査電極の列パターンとから信号電極電位を決定する必要がある。周辺回路には偶奇ライン識別回路(同時選択ラインのライン順番識別回路)250aが設けられており、この偶奇ライン識別回路250aは、フレーム開始パルスYDのインバータ250bを介した逆相パルスによってリセットされ読み出し制御信号RDの入来毎に記憶内容の反転するD型フリップ・フロップ250aa
30
と、そのQ(バー)出力とラッチパルスLPとを2入力とする奇数ライン検出用NANDゲート250abと、D型フリップ・フロップ250aaのQ出力とラッチパルスLPとを2入力とする偶数ライン検出用NANDゲート250acとから構成されている。奇数番目のラッチパルスLPが立ち上がると、NANDゲート250abの出力LP1が立ち下がり、この奇数番目のラッチパルスLPの立ち下がりにより出力LP1が立ち上がる。また偶数番目のラッチパルスLPが立ち上がると、NANDゲート250acの出力LP2が立ち下がり、この偶数番目のラッチパルスLPの立ち上がりにより出力LP2が立ち上がる。従って、出力LP1、LP2は交互に出力されることになる。偶奇ライン識別回路250aは、モジュール・コントローラ100等で作成されたラッチパルスLPから偶
40
奇ライン毎のラッチパルスLP1、LP2を作成する。

【0057】

本例においては、前述したように均等分散型2ライン同時選択駆動方式であるので、 2^1
=2の数だけ走査電極の電圧パルスパターンがあるが、2つの異なる列パターンを連続した2本の走査電極に印加するようにしてあるので、そのパターン数を展開するには2フィールドが必要である。他方、フレーム毎に交流化信号FRが反転するため、これも考慮すると、4フィールドですべての列パターンが展開されることになる。このため、周辺回路には走査電極の電位パターンを指定するフィールド・ステート回路250cが設けられている。なお、この電位パターンの指定情報はXドライバ内で発生させずに、走査電極ドライバ側のコード発生部221又はモジュール・コントローラ100から受けるようにすることもできる。このフィールド・ステート回路250cは、フレーム開始パルスYDの逆
50

相パルスによってリセットされフィールド開始パルスFSの入来毎に記憶内容の反転するD型フリップ・フロップ250caと、そのQ出力と交流化信号FRを2入力とする論理積ゲート250cbと、D型フリップ・フロップ250caのQ(バー)出力と交流化信号FRのインバータ250ccを介した信号を2入力とする論理積ゲート250cdと、論理積ゲート250cb、250cdの両出力を2入力とする論理和ゲート250ceとから構成されている。奇数ラインの読み出し時に発生するラッチパルスLP1によってメモリセル $C_{2i-1, m}$ の表示データ(オン・オフ情報)が信号パルス割り出し回路258の1ビットのラッチ回路258-1mに取り込まれ、不一致数判定回路258-2mの下位ビット用排他的論理和ゲートEX₁に供給される。またこれに引続き発生する偶数ラインのラッチパルスLP2によってメモリセル $C_{2i, m}$ の表示データ(オン・オフ情報)は直接不一致数判定回路258-2mの上位ビット用排他的論理和ゲートEX₂に供給される。ラッチパルスLP1, 2は交互に出力されるのでラッチ回路258-1と258-3のラッチ期間は互いにオーバーラップ期間を持っており、両メモリセルの表示データ(オン・オン, オン・オフ, オフ・オン, オフ・オフ)は同時に不一致数判定回路258-2mへ供給される。また前述の2本の走査電極の列パターンに相当する情報も不一致数判定回路258-2mに供給されているので、不一致数判定回路258-2mは表示データの2ビット情報と走査電極の2ビット情報の桁不一致を検出する。2本同時選択の場合は、2ビット出力であるので不一致数判定回路258-2mの出力はそのままコード化された不一致数として扱うことができる。本例における採りうる不一致数は0, 1又は2である。不一致数判定回路258-2mで得られた2ビット情報はラッチ回路258-3mに取り込まれ、その不一致数信号はレベルシフタ259mで高論理振幅レベルの信号に変換される。そして、電圧セレクト260mのデコーダ260aはその不一致数信号をデコードし、選択スイッチ260bのトランジスタのいずれかを開閉させることにより、信号電極の電位 $-V_2$, 0, V_2 のいずれかが選択されることになる。なお、本例では不一致数0のときは $-V_2$ 、不一致数1のときは0、不一致数2のときは V_2 が選択される。このようなXドライバの構成によって均等分散型2ライン同時選択駆動が可能となる。また、不一致数を判定しなくとも、前述のフレームメモリ出力とフィールド・ステート回路259cの出力から直接デコードするよな回路構成を採用しても良い。

【0058】

以上の説明で本例におけるXドライバの各部の構成及び動作が理解されたことであろうが、図14のタイミングチャートを参照しつつフレームメモリの書込み及び読み出し動作を説明する。モジュール・コントローラ100のタイミング信号発生回路120によって図14に示すようなフレーム開始パルスYD, ラッチパルスLPが発生する。フレーム開始パルスYDは1フレーム期間(1F)毎発生し、またラッチパルスLPは1水平期間(1H)内に2回発生する。ここでは、1フレーム期間内にN個のラッチパルスが発生する。ラッチパルスLPの1周期内ではモジュール・コントローラ100から1走査ライン分の表示データDATA(WD_i)がシフトクロックXSC LによってXドライバ250へ転送されて来る。図14ではVRAM12内の表示データDATAのうち第3走査ライン目の表示データWD3を除き他のすべての走査ライン目の表示データが変更された場合の書込み・読み出し動作を示しているので、第3走査ライン目の表示データWD3の転送は新たに行われず、第3走査ライン目の表示データの表示動作はフレームメモリ252内の旧データを読み出すことにより達成される。Xドライバ250のタイミング回路253によって図14に示すような読み出し制御信号RD, シフトクロック検出信号WE及び書込み制御信号WRも発生する。モジュール・コントローラ100側で新データWD2の転送をXドライバ250に対して完了すると、前述したようにシフトクロックXSC Lの転送も中止される。その後新データWD4以降の転送とシフトクロックXSC Lの発振が行われる。シフトクロックXSC Lの転送が一時中止されると、前述したように、モジュール・コントローラ100はスタンバイ期間Sに入るので、タイミング回路253のシフトクロック検出回路253-4がそれを検出してシフトクロック検出信号WEが発生しない。これによって書込み制御信号(W3)のみ発生しない。まず、最初のラッチパルス(LN

10

20

30

40

50

)が発生すると、1ライン目の表示データ(WD1)が次のラッチパルス(L1)の発生までの間(1周期内)にXドライバ250へ入来し、ラッチパルス(L1)の発生により書込みレジスタ256に取り込まれてフレームメモリ252の該当行アドレスに書き込まれるが、最初のラッチパルス(LN)が発生から次のラッチパルス(L1)の発生までの間には、フレームメモリ252から1ライン目の旧データの読み出し動作が行われる。ラッチパルスLPが発生すると、先ず第1番目のプリチャージ制御信号PC1(期間C)が発生してから書込み制御信号WR(期間A)が発生し、しかる後、第2番目のプリチャージ制御信号PC2(期間C)が発生してから読み出し制御信号RD(期間B)が発生するが、シフトクロックXSC Lの発振がないと書込みモードは存在せず、読み出し制御信号R1により1ライン目の旧データの読み出し動作が行われる。この読み出し動作において
10
は、行アドレスレジスタ257によって1ライン目の行アドレスが指定され、次のラッチパルス(L1)の発生による奇数ラッチパルスLP1により1ライン目の旧データがフレームメモリ252から読み出されラッチ回路258-1mに格納されて下位桁用排他的論理和ゲートEX₁へ送られる。この1ライン目の旧データのラッチの後そのラッチパルス(L1)により1ライン目の新データWD1がフレームメモリへ書き込まれる。ここで、フレームメモリ252への書込みは、1ライン640ドットのときは入力レジスタ255から数100ns程度の1シフトクロックXSC Lで行われるのではなく、バッファとしての書込みレジスタ256からそれ以上の十分な時間(数μs)をかけて1ライン分一挙に書き込むようにしている。従って、大容量表示になるに従い、書込み速度の高速化を
20
要求されるが、ラッチパルスにより書込みレジスタ256を介して書込み動作を行うことが望ましい。ラッチパルスL2の周期内において、1ライン目の新データWD1の書込みの後、読み出し制御信号R2により2ライン目の旧データの読み出しが行われ、上位桁用排他的論理和ゲートEX₂へ送られる。そして、偶数ラインのラッチパルスLP2の発生により不一致数判定回路258-2で得られた不一致数の2ビット情報がラッチ回路258-3でラッチされ、前述したように、電圧セクタ260でいずれかの信号電圧が選択され、1走査ライン目分と2走査ライン目分に関する信号電極電位が液晶マトリクスに印加される。

【0059】

このように、本例のXライバ252は、1ラッチパルス周期内に同一の行アドレスに対する書込みモードと読み出しモードを分割し、旧データの読み出し後に次のラッチパルスの
30
発生により新データの書込みを実行するようにしている。従って、表示データの書込みから読み出しまでは1フレーム期間(1F)である。

【0060】

これはとりわけ複数ライン同時選択駆動方式を採用する場合に必要な。信号電極の駆動波形を決める表示データを読み出し期間において該当するフレームメモリのデータは一部新データに変わっていると、不一致判定回路258が旧データのラインと新データのラインの組から意味のない表示態様となる信号電極の駆動波形を決定してしまうからである。特に同時に全本数を選択する場合もあるので、表示データの書込みから読み出しまでは1フレーム期間(1F)必要となる。従って、表示をスクロールするとき発生が考えられる意味のない表示態様を避けるには、選択本数を問わず、1フレーム期間(1F)後に
40
読み出すようにすれば良い。ただ、同時選択の本数が少ないときは、1フレーム期間(1F)までは必要ない。1ラッチパルスLPの周期内で、同一の行アドレスに対して読み出しモード後に書込み動作を行うようにすることもできる。しかしながら、本例においても十分な書込み期間を確保するために、フレームメモリに対する書込みはシフトクロックXSC LのタイミングでなくラッチパルスLPのタイミングによって書込みレジスタ256により行うようにしてあることから明らかなように、読み出しモード後に書込み動作を行うと、書込み時間が充分確保されない事態や、自動パワーセーブのセット等のタイミングは厳しくなる。特に複数ライン選択駆動方式では、ラッチパルス、シフトクロック等が従来に比して必然的に逡信的に高速化されるので、上記のモード順は採用し難くなる。まして大容量表示になると一層難しくなる。従って、1ラッチパルス周期内に同一の行アドレ
50

スに対する書込みモード後に1回又は複数回の読み出しモードを実行させ、旧データの読み出しから1フレーム期間後に新データの書込みを実行するようにすることが望ましい。

【0061】

上記実施例においては、均等分散型2ライン同時選択駆動方式を採用しているため、1水平期間内にフレームメモリ内の2行ライン分の表示データを読み出す必要があるため、1水平期間内に2発のラッチパルスLPが発生するようモジュール・コントローラ100のタイミグ信号発生回路120の分周比を設定してある。これは、フレームメモリのメモリマトリクスのセル配列において表示マトリクスの信号電極の本数とフレームメモリの列アドレス数とが等しく、走査電極の本数と行アドレス数とが等しい一般的な場合を前提としているからである。しかしながら、図15に示すように、フレームメモリの列アドレス数を表示マトリクスの信号電極の本数の2倍で行アドレス数を走査電極の本数の半分(ブロック数)としたメモセル配列のRAMを用いる場合には、従来通り、1水平期間内に1回発生するラッチパルスLPを利用することができる。即ち、ラッチパルスLPの発生により読み出しモードになると、例えばフレームメモリの奇数ワード線 WL_{2i} に繋がるメモリセル $C_{2i, 2m}$ 、 $C_{2i, (2i+1)}$ から同時に1ライン目及び2ライン目の表示データがセンスアンプ252mを介して出力され、2ライン分の表示データの読み出しが1発のラッチパルスLPだけで済む。このような回路構成では、図13に示すような2ライン目の表示データが出力されるまで1ライン目表示データを保持しておく待ち合わせ用のラッチ回路258-1mを除くことができ、高速化の傾向のある第1のラッチパルスLP1と第2のラッチパルスLP2とのタイミング調整が微妙にならず、ドライバセル部分の回路構成の簡素化により複数同時選択駆動方式の実用化に寄与する。

【0062】

ただし、図16又は図15のメモリ構成の場合、ラッチパルスLPの入力に対するフレームメモリのワード線のアドレス歩進のスピードが書込みより読み出しの方が速くなる。このため、図16に示すように、行アドレスレジスタ257は、書込みアドレス発生用Wカウンタ261と読み出しアドレス発生用Rカウンタ262とを独立に持っており、その出力をマルチプレクサ263で切り換え、マルチプレクサ263の出力RAをアドレスデコーダ252dへ与える。書込みアドレス発生用Wカウンタ261は、フレーム開始パルスYDで初期化され、図12で示されるプリチャージ信号PCと書込み制御信号WRTを使って書込みアドレスを生成する。また、読み出しアドレス発生用Rカウンタ262は、フレーム開始パルスYDで初期化され、図12で示されるプリチャージ信号PCと読み出し制御信号RDを使って読み出しアドレスを生成する。このようにすることによって、 2^n 本複数ライン同時選択駆動の場合は、同時選択ライン数に関係なく、従来方式のコントローラと同じラッチパルスLPの周期で表示データをコントローラからXドライバに転送することができる。

【0063】

ここで、上記2ライン同時読み出しの手法を一般化し、複数ライン同時選択駆動方式において複数ライン分の表示データをフレームメモリから同時に読み出すXドライバの全体構成を図16を参照して簡単に説明しておく。まずフレームメモリ252のメモリマトリクス部252aの縦横構成を $(h \times 2^n \times D) \times W$ とする。ここで、

h：複数ライン同時選択駆動において同時選択駆動される走査電極の本数

n：自然数

D：Xドライバ1個当たりのドライバ出力数(駆動できる信号電極の本数)

W：ワード線の本数

$(h \times 2^n \times D) \times W$ は、Xドライバ1個が駆動できる最大表示ドット数に等しい。因みに、図11のフレームメモリ構成は(ドライバ出力数)×(表示ライン数)である。

【0064】

図16において、書込みレジスタ256に蓄えられた表示データは書込み制御信号WRに従って書込み回路252bと書込みセレクト252cを介してアドレスデコーダ252dで選択されたワード線に繋がるメモリセルに書き込まれる。アドレスデコーダ25

10

20

30

40

50

2 dは図11の行アドレスシフトレジスタ257から出力される行アドレスをデコードするものである。表示データの読み出し動作においては、読み出し制御信号RDに従って $(h \times 2^n \times D)$ ビットの表示データがフレームメモリのメモリマトリクス部252aから読み出しセクタ252eに読み出される。読み出しセクタ252eはアドレスデコーダ252dの出力に従って $(h \times 2^n \times D)$ ビットのデータを選択する。従って、 $n = 0$ のときは読み出しセクタ252eは不要となる。 $(h \times D)$ ビットの表示データは、1走査期間にXドライバにより同時駆動される全表示データである。読み出しセクタ252eの出力はセンス回路252fによりデジタル信号に変換され、信号パルス割り出し回路258の複数同時選択駆動用デコーダ(MLSデコーダ)258aに送られる。MLSデコーダ258aは、表示データ、液晶交流化信号FR、走査スタート信号YDによりリセットされ、Yドライバからのキャリー信号FSをカウントし、1フレーム内の走査状態を区別するステートカウンタ258cからの出力を受けて、ドライバ出力電位を選択する信号をデコードする。MLSデコーダ258aの出力はラッチパルスLPをクロックとするラッチ回路258bにより同期がとられ、レベルシフタ259へ与えられる。このような回路構成によれば、複数同時選択駆動方式と見えども、複数ライン分の表示データの読み出しが1走査当り1回で済むことになり、消費電力の削減効果と共に、回路タイミングの単純化も実現できる。

【0065】

なお、本例においては均等分散型2ライン同時選択駆動方式を採用する場合を特に説明してあるが、本発明は3ライン以上の複数ラインを同時に選択する駆動方式の場合にも適用できる。また本発明は部分的に従来から用いられている電圧平均化法の駆動方式にも適用できることは言う迄もない。更に、単純マトリクス型に限らず、MIM駆動方式等にも適用できる。上記実施例では、フレームメモリは表示体の画素に1対1に対応するセルを持たせてあるが、表示体画素のうち現在駆動されている画素の前後に関係する一部分又は複数画面分のフレームメモリを持ち、間欠的に表示データをモジュール・コントローラからXドライバに送る方式や、表示体の画素に対して圧縮された表示データを用いる方式についても、本発明を適用できるところである。また更に、本発明は、LCD表示装置に限らず、蛍光表示管、プラズマディスプレイ、エレクトロルミネッセンス等のマトリクス型ディスプレイや液晶のライトバルブ性を用いた液晶応用装置等にも広く適用できるものである。

【0066】

【発明の効果】

以上説明したように、本発明は、従来のマトリクス型表示制御装置と、従来のメモリ内蔵型の信号電極ドライバとを組合せた方式において、マトリクス型表示制御装置の高周波クロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。このようなマトリクス型表示制御装置によれば、第1の記憶手段において表示データの変更があったときだけ高周波クロックが動作し、表示データを第2の記憶手段へ転送するものであるから、高周波クロックの間欠動作によりマトリクス表示装置全体の低消費電力化を図ることができる。

【0067】

また第2の記憶手段に対する転送処理はMPUが行うのではなく、仲介に立つマトリクス表示制御装置が実行するものであるため、第1の記憶手段側のホストMPUの処理負担を低減できると共に、更に信号電極の駆動装置をカスケード接続することにより、第2の記憶手段に走査ライン毎の表示データが一挙に格納されるので、アドレスの対応付けの容易化も達成でき、従って、画面変更の高速化を達成できる。更に、信号電極の駆動装置のカスケード接続により大容量表示装置でもマトリクス型表示制御装置と駆動装置との結線数を抑制でき、表示画面面積比率の大きな表示装置を実現できる。

【0068】

また、信号電極ドライバにおいては高速クロックを用いずに1走査期間を分割したタイミングで第2の記憶手段に余裕を以てアクセスするようにしてある。

【 0 0 6 9 】

このため、第2の記憶手段へのアクセスタイミングが従来に比して緩和されるので、書込み力を向上させることができ、第2の記憶手段の構成トランジスタのサイズを縮小化できる。ドライバのチップサイズの小型化にも寄与する。

【 0 0 7 0 】

更に、本発明を複数ライン同時選択駆動方法に適用すれば、1ライン当たりの表示に要するデータ処理量が従来の駆動方法よりも多いにも拘らず、表示装置自体を低周波で動作させることができるので、従来よりも低消費電力で、フリッカーが少なく、高コントラスト・高速応答のマトリクス型液晶表示装置を実現することができる。

【 図面の簡単な説明 】

【 図 1 】本発明の実施例に係る単純マトリクス型液晶表示装置の全体構成を示すブロック図である。

【 図 2 】同実施例に係る単純マトリクス型液晶表示装置におけるモジュール・コントローラの詳細を示すブロック図である。

【 図 3 】上記モジュール・コントローラの動作を説明するためのタイミングチャートである。

【 図 4 】単純マトリクス型液晶表示装置における画素のオン・オフ態様の一例を示す模式図である。

【 図 5 】電圧平均化法によるマルチプレクス駆動方式における走査電極波形及び信号電極波形を示す波形図である。

【 図 6 】電圧平均化法によるマルチプレクス駆動方式における画素液晶のオン・オフ特性を示す波形図である。

【 図 7 】均等分散型3ライン選択駆動方式における走査電極波形及び信号電極波形を示す波形図である。

【 図 8 】図7に示す均等分散型3ライン選択駆動方式における画素液晶のオン・オフ特性を示す波形図である。

【 図 9 】同実施例が採用する分散型2ライン選択駆動方式における走査電極波形及び信号電極波形の一例を示す波形図である。

【 図 1 0 】(a)は同実施例に係る単純マトリクス型液晶表示装置における走査電極駆動回路(Yドライバ)の構成を示すブロック図であり、(b)はその複数の Yドライバをカスケード接続した結線図である。

【 図 1 1 】同実施例に係る単純マトリクス型液晶表示装置における信号電極駆動回路(Xドライバ)の構成を示すブロック図である。

【 図 1 2 】同信号電極駆動回路(Xドライバ)におけるタイミング回路の構成の詳細を示す回路図である。

【 図 1 3 】同信号電極駆動回路における周辺回路とフレームメモリから信号パルス割り出し回路、レベルシフタ及び電圧セレクトまでの1信号電極当たり(1出力 X_m)の m ビット回路部250 m に着目した回路構成を示す回路図である。

【 図 1 4 】同信号電極駆動回路における書込み動作及び読み出し動作を説明するためのタイミングチャートである。

【 図 1 5 】同信号電極駆動回路における別のフレームメモリの構成を示すブロック図である。

【 図 1 6 】別のフレームメモリを用いた場合における信号電極駆動回路(Xドライバ)の構成を示すブロック図である。

【 符号の説明 】

1 0 ... ホスト M P U

1 1 ... システムメモリ

1 2 ... V R A M

1 3 ... 補助記憶装置

1 4 a ... システムバス

10

20

30

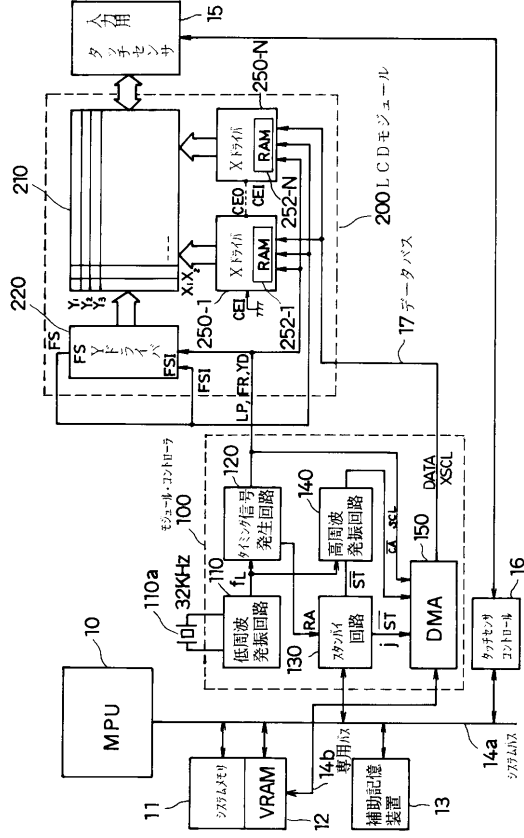
40

50

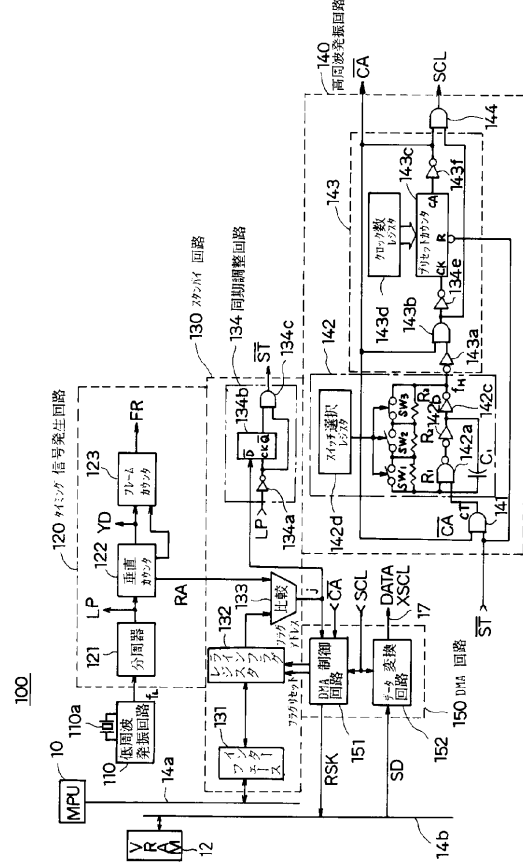
1 4 b ... 専用バス	
1 5 ... 入力用タッチセンサ	
1 6 ... タッチセンサ・コントローラ	
1 7 ... データバス	
1 0 0 ... モジュール・コントローラ	
1 1 0 ... 低周波発振回路	
1 1 0 a ... 振動子	
1 2 0 ... タイミング信号発生回路	
1 2 1 ... 分周器	
1 2 2 ... 垂直カウンタ	10
1 2 3 ... フレームカウンタ	
1 3 0 ... スタンバイ回路	
1 3 1 ... システムバス・インターフェース回路	
1 3 2 ... ラインフラグレジスタ	
1 3 3 ... 比較回路	
1 3 4 ... 同期調整回路	
1 3 4 a ... インバータ	
1 3 4 b ... D型フリップフロップ	
1 3 4 c ... 論理積ゲート	
1 4 0 ... 高周波発振回路	20
1 4 1 ... 論理積ゲート	
1 4 2 ... 可変周波数 C R 発振器	
1 4 2 a ... 論理積ゲート	
1 4 2 b , 1 4 2 c ... インバータ	
1 4 2 d ... スイッチ選択レジスタ	
R_1 , R_2 , R_2 ... 帰還抵抗	
C_1 ... 帰還キャパシタ	
SW_1 , SW_2 , SW_3 ... 選択スイッチ	
1 4 3 ... 間欠動作時限回路	
1 4 3 a ... インバータ	30
1 4 3 b ... 論理積ゲート	
1 4 3 c ... プリセット・カウンタ	
1 4 3 e ... インバータ	
1 4 3 d ... クロック数レジスタ	
1 4 3 f ... インバータ	
1 4 4 ... 論理積ゲート	
1 5 0 ... D M A 回路	
1 5 1 ... D M A 制御回路	
1 5 2 ... データ変換回路	
2 0 0 ... L C D モジュール	40
2 2 0 ... Y ドライバ	
2 2 1 ... コード発生部	
2 2 2 ... 電圧セレクタ	
2 2 3 ... 第 1 シフトレジスタ	
2 2 4 ... 第 2 シフトレジスタ	
2 2 5 ... ラッチ部	
2 2 6 ... レベルシフタ	
2 5 0 ... X ドライバ	
2 5 0 a ... 偶奇ライン識別回路	
2 5 0 a a ... D型フリップフロップ	50

2 5 0 a b , 2 5 0 a c ... N A N D ゲート	
2 5 0 c ... フィールド・ステート回路	
2 5 0 c a ... D 型フリップフロップ	
2 5 0 c b , 2 5 0 c d ... 論理積ゲート	
2 5 0 c c ... インバータ	
2 5 0 c e ... 論理和ゲート	
2 5 1 ... チップイネーブル・コントロール回路	
2 5 2 ... フレームメモリ	
2 5 3 ... タイミング回路	
2 5 3 - 1 ... 第 1 のワンショット・マルチバイブレータ	10
2 5 3 - 2 ... 第 2 のワンショット・マルチバイブレータ	
2 5 3 - 3 ... 第 3 のワンショット・マルチバイブレータ	
2 5 3 - 4 ... シフトクロック検出回路	
2 5 3 - 5 ... 論理積ゲート	
2 5 3 a ... 論理積ゲート	
2 5 3 b ... 論理積ゲート	
2 5 3 c ... 論理積ゲート	
2 5 3 d , 2 5 3 h , 2 5 3 j ... インバータ	
2 5 3 e , 2 5 3 f , 2 5 3 g , 2 5 3 g ... N A N D ゲート	
2 5 3 i , 2 5 3 k , 2 5 3 m ... 遅延回路	20
2 5 3 s , 2 5 3 t ... D 型フリップフロップ	
E X ₁ , E X ₂ ... 排他的論理和ゲート	
2 5 4 ... データ入力制御回路	
2 5 5 ... 入力レジスタ	
2 5 6 ... 書込みレジスタ	
2 5 7 ... 行アドレスレジスタ	
2 5 8 - ... 信号パルス割り出し回路	
2 5 8 - 1 ... ラッチ回路	
2 5 8 - 2 ... 不一致数判定回路	
2 5 8 - 3 ... ラッチ回路	30
2 5 9 ... レベルシフタ	
2 6 0 ... 電圧セレクタ	
2 5 2 a ... フレームメモリ	
2 5 2 b ... 書込み回路	
2 5 2 c ... 書込みセレクタ	
2 5 2 d ... アドレスデコーダ	
2 5 2 e ... 読み出しセレクタ	
2 5 8 ... 信号パルス割り出し回路	
2 5 8 a ... M S L デコーダ	
2 5 8 b ... ラッチ回路	40
2 5 8 c ... ステートカウンタ。	

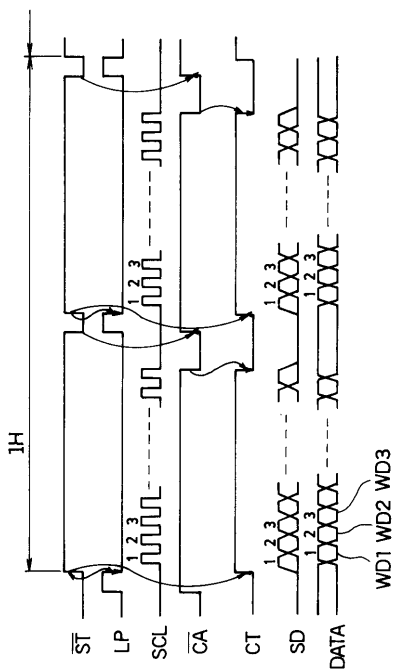
【 図 1 】



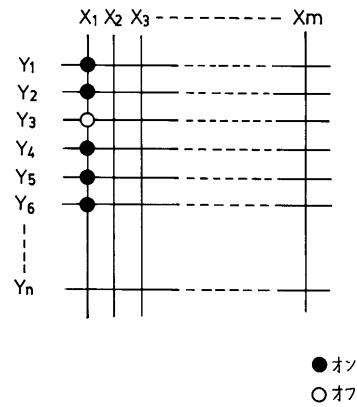
【 図 2 】



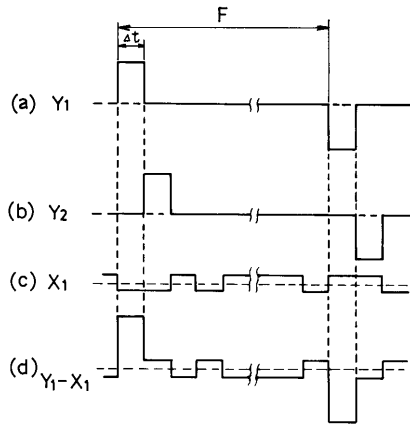
【 図 3 】



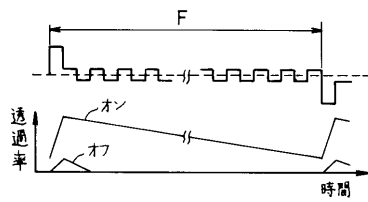
【 図 4 】



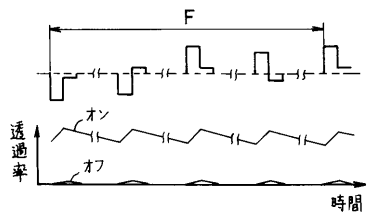
【 図 5 】



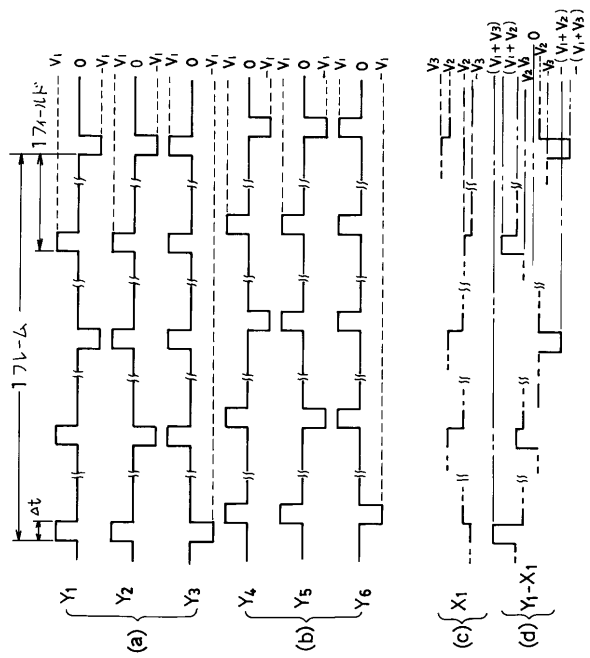
【 図 6 】



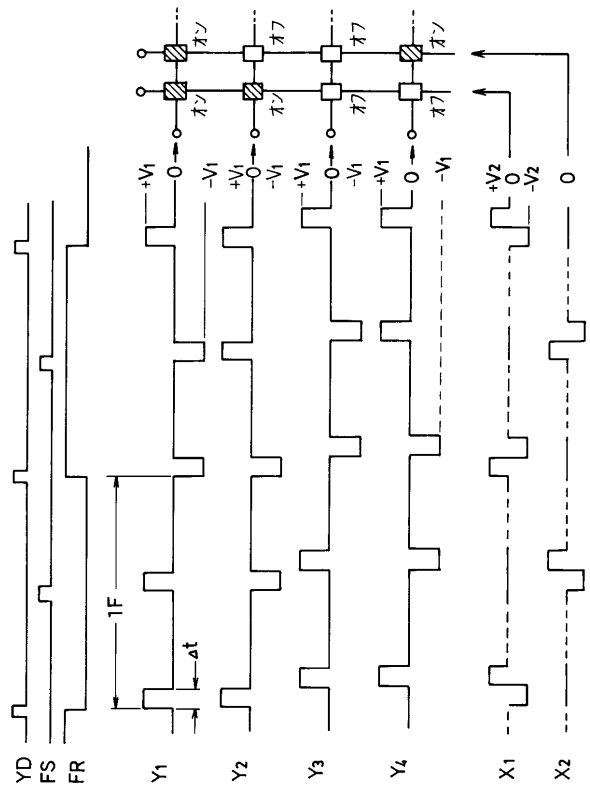
【 図 8 】



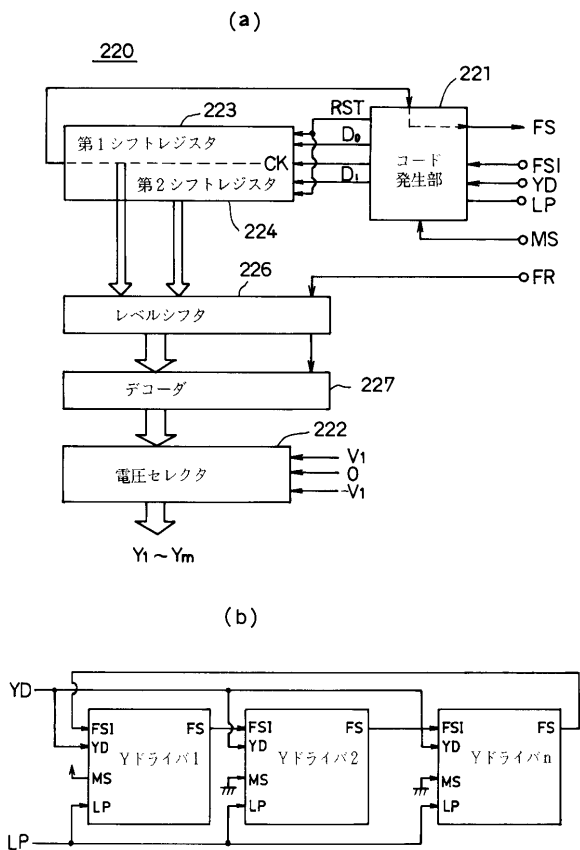
【 図 7 】



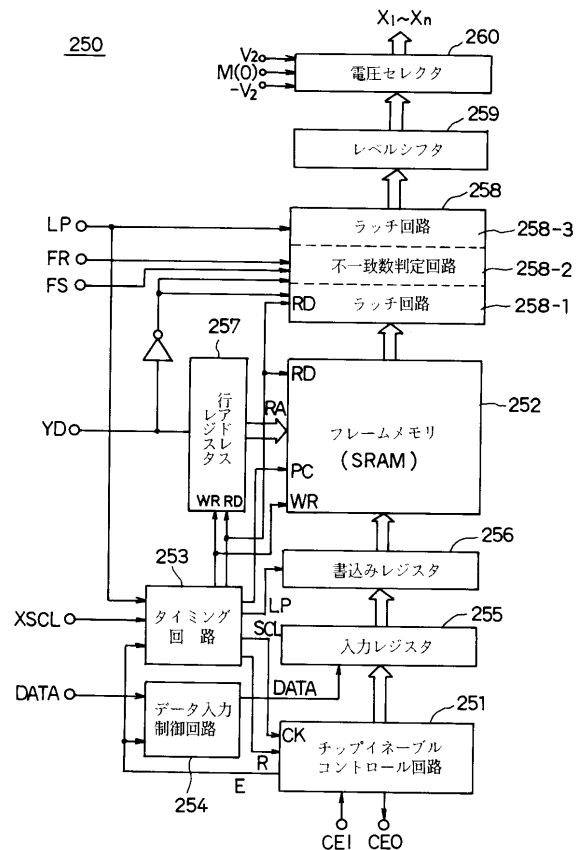
【 図 9 】



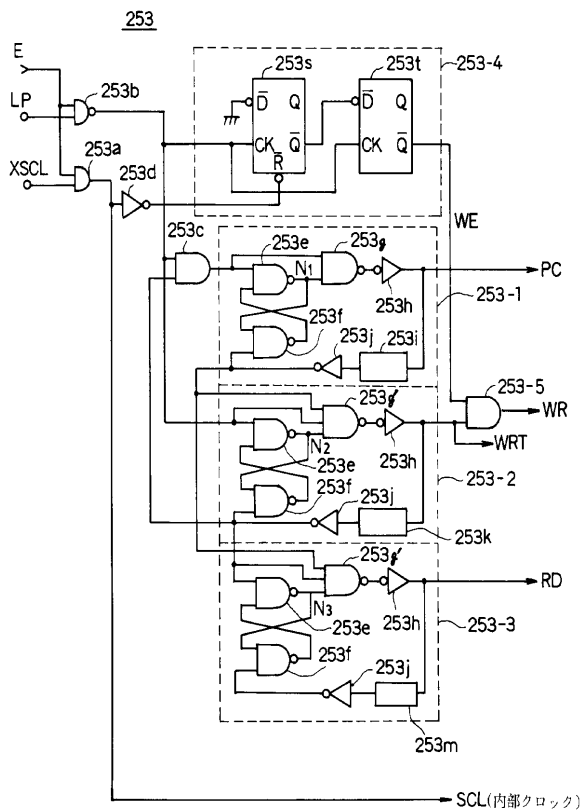
【図10】



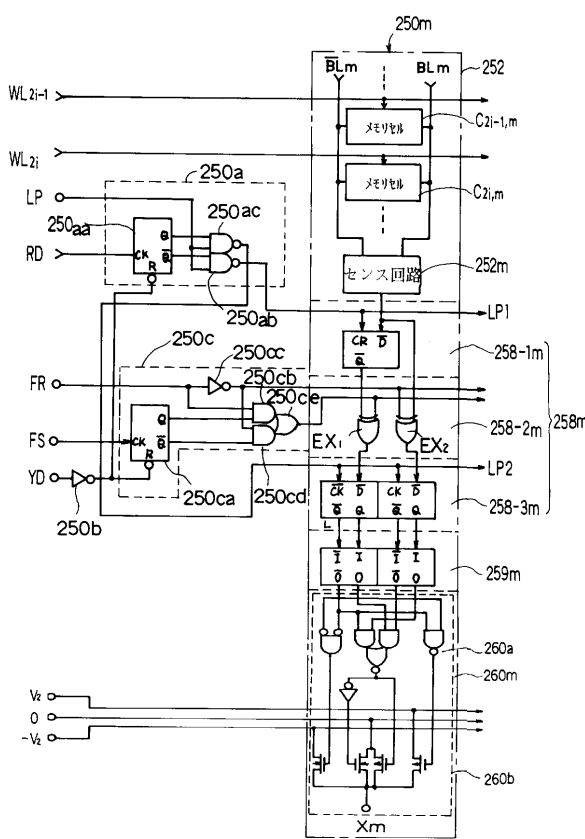
【図11】



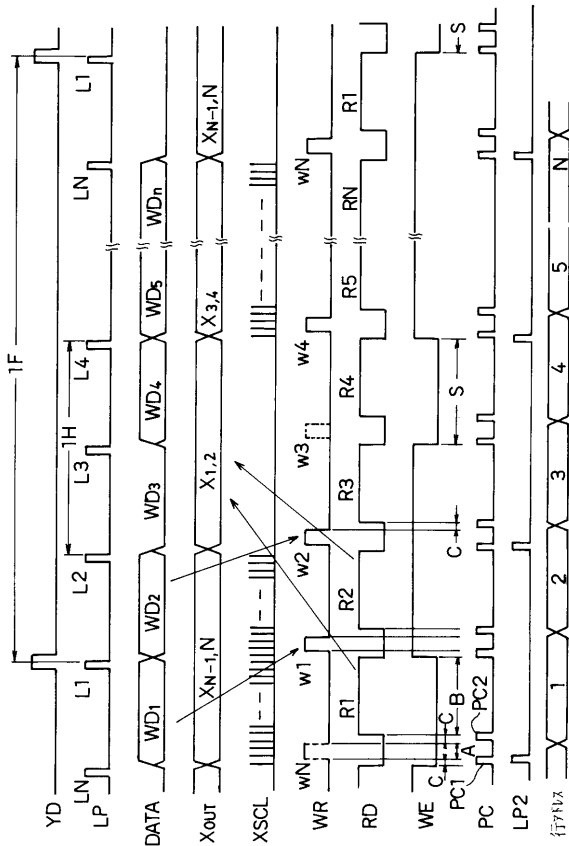
【図12】



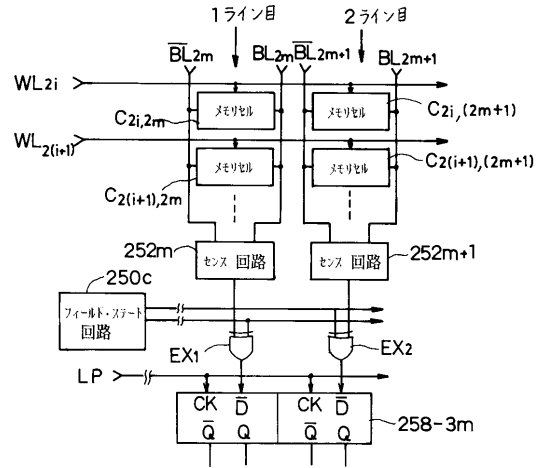
【図13】



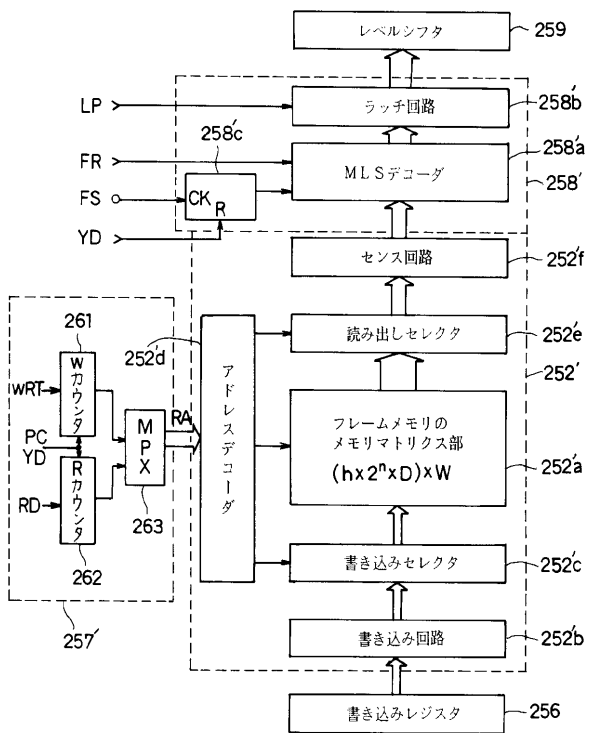
【図14】



【図15】



【図16】



フロントページの続き

(51) Int.Cl.⁷

F I

G 0 2 F 1/133 5 4 5

G 0 9 G 3/36

(56) 参考文献 実開平 0 5 - 0 6 6 7 4 5 (J P , U)

特開平 0 3 - 0 5 5 5 9 4 (J P , A)

特開昭 6 1 - 0 8 4 6 8 6 (J P , A)

特開平 0 3 - 2 8 6 2 1 3 (J P , A)

特開昭 6 1 - 0 1 8 0 2 1 (J P , A)

特開昭 5 6 - 1 4 7 2 2 0 (J P , A)

(58) 調査した分野(Int.Cl.⁷, DB名)

G09G 3/20 612

G09G 3/20 611

G09G 3/20 631

G09G 3/20 633

G02F 1/133 545

G09G 3/36