

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 19 年 9 月 6 日 (2007.9.6)

【公表番号】特表 2003-519833 (P2003-519833A)
 【公表日】平成 15 年 6 月 24 日 (2003.6.24)
 【出願番号】特願 2001-550546 (P2001-550546)
 【国際特許分類】

G 0 6 F 9/38 (2006.01)

【F I】

G 0 6 F	9/38	3 1 0 F
G 0 6 F	9/38	3 1 0 X
G 0 6 F	9/38	3 5 0 A
G 0 6 F	9/38	3 7 0 X

【手続補正書】

【提出日】平成 19 年 7 月 23 日 (2007.7.23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 スケジューラであって、

第 1 の命令動作をストアするよう構成される命令バッファと、

前記命令バッファに結合される発行ピック回路とを含み、前記発行ピック回路は、前記命令バッファからの発行のために前記第 1 の命令動作を選択するよう構成され、前記第 1 の命令動作は投機的であり、前記スケジューラはさらに、

前記発行ピック回路に結合されて、前記第 1 の命令動作の実行の間に、前記第 1 の命令動作が非投機的に実行すべきことを示す第 1 の信号を受けるよう結合される制御回路を含み、前記制御回路は、前記第 1 の命令動作の第 1 の実行状態を維持するよう構成され、前記制御回路は、前記発行ピック回路が発行のために前記第 1 の命令動作を選択することに応答して、前記第 1 の実行状態を実行中状態に変更するよう構成され、前記制御回路は、前記第 1 の信号に応答して、前記第 1 の実行状態を非実行状態に変更するよう構成され、前記制御回路は、前記第 1 の信号に応答して、前記第 1 の命令動作が非投機的に実行されるべきという第 1 の表示を記録するよう構成される、スケジューラ。

【請求項 2】 前記非実行状態は、前記第 1 の命令動作が前記発行ピック回路によって選択されることが禁止されるブロック状態を含む、請求項 1 に記載のスケジューラ。

【請求項 3】 前記制御回路は、前記第 1 の命令動作が非投機的であることを判断するよう構成される、請求項 2 に記載のスケジューラ。

【請求項 4】 前記第 1 の命令動作が非投機的であるとの判断に応答して、前記制御回路は前記第 1 の実行状態を要求状態に変更するよう構成され、前記制御回路は、前記第 1 の命令動作が発行可能であることを前記発行ピック回路に信号で知らせるよう構成される、請求項 3 に記載のスケジューラ。

【請求項 5】 前記発行ピック回路は、前記制御回路からの前記信号に応答して、再発行のために前記第 1 の命令動作を選択するよう構成される、請求項 4 に記載のスケジューラ。

【請求項 6】 プロセッサであって、

第 1 の命令動作をストアし、かつ前記第 1 の命令動作を投機的に発行するよう構成されるスケジューラを含み、前記スケジューラは前記第 1 の命令動作の第 1 の実行状態を維持

するよう構成され、前記スケジューラは前記第 1 の命令動作の発行に応答して前記第 1 の実行状態を実行中状態に変更するよう構成され、前記プロセッサはさらに、

前記第 1 の命令動作の発行に応答して前記第 1 の命令動作を受けるよう前記スケジューラに結合される実行ユニットを含み、前記実行ユニットは前記第 1 の命令動作を実行するよう構成され、かつ、前記第 1 の命令動作の実行の間に、前記実行ユニットは前記第 1 の命令動作が非投機的に実行すべきことを判断するよう構成され、前記実行ユニットは、前記第 1 の命令動作が非投機的に実行すべきという判断に応答して、第 1 の信号を生成するよう構成され、

前記スケジューラは、前記第 1 の信号に応答して、前記第 1 の実行状態を非実行状態に変更するよう構成され、前記スケジューラは、前記第 1 の信号に応答して前記第 1 の命令動作が非投機的に実行されるべきという第 1 の表示を記録するよう構成される、プロセッサ。

【請求項 7】 前記スケジューラは、前記第 1 の命令動作が非投機的であることを判断するよう構成され、さらに、前記第 1 の命令動作を非投機的に再発行するよう構成される、請求項 6 に記載のプロセッサ。

【請求項 8】 前記スケジューラは、前記第 1 の表示に応答して前記第 1 の命令動作が非投機的になるまで前記第 1 の命令動作を再発行を禁止するよう構成される、請求項 7 に記載のプロセッサ。

【請求項 9】 前記第 1 の命令動作はメモリ動作を含む、請求項 6 に記載のプロセッサ。

【請求項 10】 前記実行ユニットは変換索引バッファ (TLB) を含み、前記実行ユニットは、前記 TLB が前記メモリ動作が非投機的メモリタイプにアクセスすることを示す場合に、前記第 1 の信号を生成するよう構成される、請求項 9 に記載のプロセッサ。

【請求項 11】 前記実行ユニットは変換索引バッファ (TLB) を含み、前記 TLB において前記メモリ動作によってアクセスされるデータのアドレスがミスする場合に、前記実行ユニットは前記第 1 の信号を生成するよう構成される、請求項 9 に記載のプロセッサ。

【請求項 12】 前記実行ユニットは、前記メモリ動作によってアクセスされるデータのアドレスを生成するよう構成されるアドレス生成ユニットを含み、前記実行ユニットは、前記アドレスおよび前記メモリ動作によってアクセスされるバイトの数が前記アドレスのページ横断を導く場合に、前記第 1 の信号を生成するよう構成される、請求項 9 に記載のプロセッサ。

【請求項 13】 コンピュータシステムであって、

プロセッサを含み、前記プロセッサは、

第 1 の命令動作をストアし、かつ前記第 1 の命令動作を投機的に発行するよう構成されるスケジューラを含み、前記スケジューラは前記第 1 の命令動作の第 1 の実行状態を維持するよう構成され、前記スケジューラは前記第 1 の命令動作の発行に応答して前記第 1 の実行状態を実行中状態に変更するよう構成され、前記プロセッサはさらに、

前記第 1 の命令動作の発行に応答して前記第 1 の命令動作を受けるよう前記スケジューラに結合される実行ユニットを含み、前記実行ユニットは前記第 1 の命令動作を実行するよう構成され、かつ、前記第 1 の命令動作の実行の間に、前記実行ユニットは前記第 1 の命令動作が非投機的に実行すべきことを判断するよう構成され、前記実行ユニットは、前記第 1 の命令動作が非投機的に実行すべきという判断に応答して、第 1 の信号を生成するよう構成され、

前記スケジューラは、前記第 1 の信号に応答して、前記第 1 の実行状態を非実行状態に変更するよう構成され、前記スケジューラは、前記第 1 の信号に応答して前記第 1 の命令動作が非投機的に実行されるべきという第 1 の表示を記録するよう構成され、前記コンピュータシステムはさらに、

入力/出力 (I/O) 装置を含み、前記 I/O 装置は、前記コンピュータシステムと、前記 I/O 装置が結合可能である別のコンピュータシステムとの間で通信するよう構成さ

れる、コンピュータシステム。

【請求項 14】 前記 I/O 装置はモデムを含む、請求項 13 に記載のコンピュータシステム。

【請求項 15】 方法であって、

スケジューラから実行ユニットへ第 1 の命令動作を投機的に発行するステップと、

前記実行ユニットにおいて前記第 1 の命令動作を実行するステップとを含み、前記実行するステップは、前記第 1 の命令動作が非投機的に実行されるべきことを判断するステップを含み、方法はさらに、

前記第 1 の命令動作が非投機的であることを判断するステップと、

前記第 1 の命令動作が非投機的であるという判断にตอบสนองして、前記第 1 の命令動作を再発行するステップとを含む、方法。

【請求項 16】 前記第 1 の命令動作はメモリ動作を含み、前記第 1 の命令動作が非投機的に実行されるべきことを判断するステップは、前記メモリ動作によってアクセスされるデータのアドレスを変換して、前記アドレスが非投機的メモリタイプであることを判断するステップを含む、請求項 15 に記載の方法。

【請求項 17】 前記第 1 の命令動作はメモリ動作を含み、前記第 1 の命令動作が非投機的に実行されるべきことを判断するステップは、前記メモリ動作によってアクセスされるデータのアドレスが変換索引バッファにおけるミスであることを検出するステップを含む、請求項 15 に記載の方法。

【請求項 18】 前記第 1 の命令動作はメモリ動作を含み、前記第 1 の命令動作が非投機的に実行されるべきことを判断するステップは、前記メモリ動作によってアクセスされるデータのアドレスがページ横断であることを検出するステップを含む、請求項 15 に記載の方法。

【請求項 19】 プロセッサであって、

第 1 の命令動作をストアし、かつ前記第 1 の命令動作を投機的に発行するよう構成されるスケジューラを含み、前記スケジューラは、発行の後に前記第 1 の命令動作を保留するよう構成され、前記プロセッサはさらに、

前記第 1 の命令動作の発行にตอบสนองして前記第 1 の命令動作を受けよう前記スケジューラに結合される実行ユニットを含み、前記実行ユニットは前記第 1 の命令動作を実行するよう構成され、かつ、前記第 1 の命令動作の実行の間に、前記実行ユニットは前記第 1 の命令動作が非投機的に実行すべきことを判断するよう構成され、前記実行ユニットは、前記第 1 の命令動作が非投機的に実行すべきという判断にตอบสนองして、第 1 の信号を生成するよう構成され、

前記スケジューラは、前記実行ユニットからの前記第 1 の信号を受けよう結合されて、前記第 1 の信号と前記第 1 の命令動作が非投機的になることとにตอบสนองして、前記スケジューラは前記第 1 の命令動作を再発行するよう構成される、プロセッサ。

【請求項 20】 前記スケジューラは、前記第 1 の表示にตอบสนองして前記第 1 の命令動作が非投機的になるまで前記第 1 の命令動作を再発行を禁止するよう構成される、請求項 19 に記載のプロセッサ。

【請求項 21】 前記第 1 の命令動作はメモリ動作を含む、請求項 19 に記載のプロセッサ。

【請求項 22】 前記実行ユニットは変換索引バッファ (TLB) を含み、前記実行ユニットは、前記 TLB が前記メモリ動作が非投機的メモリタイプにアクセスすることを示す場合に、前記第 1 の信号を生成するよう構成される、請求項 21 に記載のプロセッサ。

【請求項 23】 前記実行ユニットは変換索引バッファ (TLB) を含み、前記 TLB において前記メモリ動作によってアクセスされるデータのアドレスがミスする場合に、前記実行ユニットは前記第 1 の信号を生成するよう構成される、請求項 21 に記載のプロセッサ。

【請求項 24】 前記実行ユニットは、前記メモリ動作によってアクセスされるデー

タのアドレスを生成するよう構成されるアドレス生成ユニットを含み、前記実行ユニットは、前記アドレスおよび前記メモリ動作によってアクセスされるバイトの数が前記アドレスのページ横断を導く場合に、前記第 1 の信号を生成するよう構成される、請求項 21 に記載のプロセッサ。