

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7646871号  
(P7646871)

(45)発行日 令和7年3月17日(2025.3.17)

(24)登録日 令和7年3月7日(2025.3.7)

(51)国際特許分類	F I			
G 1 1 C 16/26 (2006.01)	G 1 1 C	16/26	1 4 0	
G 1 1 C 5/02 (2006.01)	G 1 1 C	5/02	1 0 0	
G 1 1 C 11/54 (2006.01)	G 1 1 C	11/54		
G 1 1 C 16/08 (2006.01)	G 1 1 C	16/08	1 0 0	
G 1 1 C 16/24 (2006.01)	G 1 1 C	16/24	1 0 0	
請求項の数 13 (全36頁)				

(21)出願番号	特願2023-563861(P2023-563861)	(73)特許権者	500147506
(86)(22)出願日	令和3年9月2日(2021.9.2)		シリコン ストーリッジ テクノロジー
(65)公表番号	特表2024-518884(P2024-518884		インコーポレイテッド
	A)		S I L I C O N S T O R A G E T E C
(43)公表日	令和6年5月8日(2024.5.8)		H N O L O G Y , I N C .
(86)国際出願番号	PCT/US2021/048864		アメリカ合衆国 9 5 1 3 4 カリフォル
(87)国際公開番号	WO2022/245382		ニア州 サンノゼ ホルガー ウェイ 4 5 0
(87)国際公開日	令和4年11月24日(2022.11.24)	(74)代理人	110000626
審査請求日	令和5年12月8日(2023.12.8)		弁理士法人英知国際特許商標事務所
(31)優先権主張番号	63/190,228	(72)発明者	トラン、ヒュー バン
(32)優先日	令和3年5月18日(2021.5.18)		アメリカ合衆国 9 5 1 3 5 カリフォル
(33)優先権主張国・地域又は機関	米国(US)		ニア州、サンノゼ、ゲイレイ プレイス
(31)優先権主張番号	17/461,901	(72)発明者	2 6 4 2
(32)優先日	令和3年8月30日(2021.8.30)		ブー、サン
	最終頁に続く		アメリカ合衆国 9 5 1 3 8 カリフォル
			最終頁に続く

(54)【発明の名称】 深層学習人工ニューラルネットワークにおけるアナログニューラルメモリ用のスプリットアレイアーキテクチャ

(57)【特許請求の範囲】

【請求項 1】

アナログニューラルメモリであって、  
 複数の行及び複数の列に配置された複数の不揮発性メモリセルのアレイと、  
 前記アレイ内の前記複数の列の第1の半分に結合された第1の列デコーダと、  
 前記アレイ内の前記複数の列の第2の半分に結合された第2の列デコーダと、  
 前記第1の列デコーダに結合され、第1の読み出し動作中に前記列の前記第1の半分に  
 おける1つ以上の列から第1の出力を生成するための第1の出力回路と、  
 前記第2の列デコーダに結合され、第2の読み出し動作中に前記列の前記第2の半分に  
 おける1つ以上の列から第2の出力を生成するための第2の出力回路と、  
プログラム動作中に前記第1の列デコーダ及び前記第2の列デコーダに結合される共有ビ  
ット線ドライバ、  
 を備える、アナログニューラルメモリ。

【請求項 2】

前記第1の読み出し動作及び前記第2の読み出し動作は併行して行われる、請求項1に  
 記載のアナログニューラルメモリ。

【請求項 3】

共有高電圧デコーダは、前記アレイ内の全ての行に選択的に結合されている、請求項1  
 に記載のアナログニューラルメモリ。

【請求項 4】

共有制御ゲート高電圧デコーダが、前記アレイ内の全ての行に選択的に結合されている、請求項 1 に記載のアナログニューラルメモリ。

【請求項 5】

共有消去ゲート高電圧デコーダが、前記アレイ内の全ての行に選択的に結合されている、請求項 1 に記載のアナログニューラルメモリ。

【請求項 6】

共有行デコーダが、前記アレイ内の全ての行に結合されている、請求項 1 に記載のアナログニューラルメモリ。

【請求項 7】

アナログニューラルメモリであって、

複数の行及び複数の列に配置された複数の不揮発性メモリセルのアレイと、  
前記アレイ内の前記複数の列の第 1 の半分に結合された第 1 の列デコーダと、  
前記アレイ内の前記複数の列の第 2 の半分に結合された第 2 の列デコーダと、  
前記第 1 の列デコーダに結合され、第 1 の読み出し動作中に前記列の前記第 1 の半分における 1 つ以上の列から第 1 の出力を生成するための第 1 の出力回路と、  
前記第 2 の列デコーダに結合され、第 2 の読み出し動作中に前記列の前記第 2 の半分における 1 つ以上の列から第 2 の出力を生成するための第 2 の出力回路と、を備え、  
 連続列拡散が、前記複数の列の前記第 1 の半分及び前記複数の列の前記第 2 の半分における列間で行われる、アナログニューラルメモリ。

【請求項 8】

アナログニューラルメモリであって、

複数の行及び複数の列に配置された複数の不揮発性メモリセルのアレイと、  
前記アレイ内の前記複数の列の第 1 の半分に結合され、第 1 の読み出し動作中に前記複数の列の前記第 1 の半分における 1 つ以上の列から第 1 の出力を生成するための第 1 の出力回路と、  
前記複数の列の第 2 の半分に結合され、第 2 の読み出し動作中に前記複数の列の前記第 2 の半分における 1 つ以上の列から第 2 の出力を生成するための第 2 の出力回路と、を備え、

前記アレイは、前記複数の列の前記第 1 の半分及び前記複数列の前記第 2 の半分における列間の連続列拡散を含む、アナログニューラルメモリ。

【請求項 9】

前記第 1 の読み出し動作及び前記第 2 の読み出し動作は併行して行われる、請求項 8 に記載のアナログニューラルメモリ。

【請求項 10】

共有高電圧デコーダが、前記アレイ内の全ての行に選択的に結合されている、請求項 8 に記載のアナログニューラルメモリ。

【請求項 11】

共有制御ゲート高電圧デコーダが、前記アレイ内の全ての行に選択的に結合されている、請求項 8 に記載のアナログニューラルメモリ。

【請求項 12】

共有消去ゲート高電圧デコーダが、前記アレイ内の全ての行に選択的に結合されている、請求項 8 に記載のアナログニューラルメモリ。

【請求項 13】

共有ワード線デコーダが、前記アレイ内の全ての行に選択的に結合されている、請求項 8 に記載のアナログニューラルメモリ。

【発明の詳細な説明】

【技術分野】

【0001】

(優先権の主張)

本出願は、2021年5月18日に出願された「Split Array Archit

10

20

30

40

50

ecture for Analog Neural Memory in a Deep Learning Artificial Neural Network」と題する米国特許仮出願第63/190,228号、及び2021年8月30日に出願された「Split Array Architecture for Analog Neural Memory in a Deep Learning Artificial Neural Network」と題する米国特許出願第17/461,901号の優先権を主張し、これらは参照により本明細書に組み込まれる。

【0002】

(発明の分野)

深層学習人工ニューラルネットワーク内のアナログニューラルメモリにおいてアレイを複数の部分に分割するための多数の実施形態が開示され、各部分は、その部分に専用の特定の回路及び1つ以上の他の部分と共有される他の回路と相互作用する。

10

【背景技術】

【0003】

人工ニューラルネットワークは、生物学的ニューラルネットワーク(動物の中樞神経系、特に脳)を模倣しており、多数の入力に依存し得、かつ、一般的に未知である関数を推定する又は近似するために使用される。人工ニューラルネットワークは、概して、お互いの中でメッセージを交換する相互接続した「ニューロン」の層を含む。

【0004】

図1は人工ニューラルネットワークを示しており、図中、円は、入力又はニューロンの層を表す。接続(シナプスと呼ばれる)は、矢印によって表され、経験に基づいてチューニングされ得る数値の重みを有する。これにより、ニューラルネットワークは入力に適応し、学習可能になる。典型的には、ニューラルネットワークは、複数の入力の層を含む。典型的には、1つ以上のニューロンの中間層、及びニューラルネットワークの出力を提供するニューロンの出力層が存在する。各レベルでニューロンは、シナプスから受信したデータに基づいて個々に又は集合的に決定を行う。

20

【0005】

高性能情報処理用の人工ニューラルネットワークの開発における主要な課題のうちの1つは、適切なハードウェア技術の欠如である。実際には、実用ニューラルネットワークは、非常に多数のシナプスに依拠しており、これによりニューロン間の高い接続性、すなわち、非常に高度な計算処理の並列化が可能となる。原理的には、このような複雑性は、デジタルスーパーコンピュータ又は専用グラフィックプロセッシングユニットクラスタによって実現が可能である。しかしながら、高コストに加え、これらのアプローチはまた、生物学的ネットワークが主として低精度のアナログ計算を実施するのではるかに少ないエネルギーしか消費しないのと比較して、エネルギー効率が劣っていることに悩まされている。人工ニューラルネットワークにはCMOSアナログ回路が使用されてきたが、ほとんどのCMOS実装シナプスは、多数のニューロン及びシナプスを前提とすると、嵩高過ぎていた。

30

【0006】

出願人は以前に、参照により組み込まれる米国特許出願第15/594,439号において、シナプスとして1つ以上の不揮発性メモリアレイを利用する人工(アナログ)ニューラルネットワークを開示した。不揮発性メモリアレイは、アナログニューロモーフィックメモリとして動作する。ニューラルネットワークデバイスは、第1の複数の入力を受け取って、それから第1の複数の出力を生成するように構成されている第1の複数のシナプス、及び第1の複数の出力を受け取るように構成された第1の複数のニューロンを含む。第1の複数のシナプスは複数のメモリセルを含み、メモリセルの各々は、半導体基板内に形成された、間にチャネル領域が延在する離間したソース領域及びドレイン領域と、チャネル領域の第1の部分の上方に絶縁されて配設される浮遊ゲートと、チャネル領域の第2の部分の上方に絶縁されて配設される非浮遊ゲートと、を含む。複数のメモリセルの各々は、浮遊ゲートの多くの電子に対応する重み値を記憶するように構成されている。複数の

40

50

メモリセルは、第1の複数の入力に、記憶された重み値を乗算して、第1の複数の出力を生成するように構成される。

#### 不揮発性メモリセル

##### 【0007】

不揮発性メモリは、周知である。例えば、参照により本明細書に組み込まれる、米国特許第5,029,130号(「130号特許」)は、フラッシュメモリセルの一種である、スプリットゲート不揮発性メモリセルのレイアウトを示す。このようなメモリセル210を図2に示す。各メモリセル210は、半導体基板12内に形成されたソース領域14及びドレイン領域16を含み、ソース領域14とドレイン領域16の間にはチャンネル領域18がある。浮遊ゲート20は、チャンネル領域18の第1の部分の上方に絶縁されて形成され(並びに、チャンネル領域18の第1の部分の導電性を制御して)、ソース領域14の一部分の上方にかけて形成される。ワード線端子22(典型的には、ワード線に結合される)は、チャンネル領域18の第2の部分の上方に絶縁されて配設される、(並びに、チャンネル領域18の第2の部分の導電性を制御する)第1の部分と、浮遊ゲート20の上方で上に延在する第2の部分と、を有する。浮遊ゲート20及びワード線端子22は、ゲート酸化物によって基板12から絶縁される。ビット線24は、ドレイン領域16に結合される。

10

##### 【0008】

ワード線端子22に高圧正電圧を加えることによって、メモリセル210に対して消去が行われ(電子が浮遊ゲートから除去される)、これによって、浮遊ゲート20の電子は、浮遊ゲート20からワード線端子22までそれらの間にある絶縁体の中をファウラーノルドハイム(Fowler-Nordheim、FN)トンネリングを介して通過する。

20

##### 【0009】

メモリセル210は、ワード線端子22に正電圧、及びソース領域14に正電圧を加えることによって、ホットエレクトロンによるソースサイド注入(source side injection、SSI)によって、プログラムされる(電子が浮遊ゲートに加えられる)。電子電流は、ドレイン領域16からソース領域14に向かって流れる。電子は加速し、ワード線端子22と浮遊ゲート20との間の間隙に達すると、発熱する。熱せられた電子の一部は、浮遊ゲート20からの静電引力に起因して、浮遊ゲート20にゲート酸化物を介して注入される。

30

##### 【0010】

メモリセル210は、ドレイン領域16及びワード線端子22に正の読み出し電圧を加える(ワード線端子の下方のチャンネル領域18の部分をオンにする)ことによって、読み出される。浮遊ゲート20が正に帯電する(すなわち、電子を消去する)と、浮遊ゲート20の下方のチャンネル領域18の部分も同様にオンになり、電流はチャンネル領域18を流れ、これは、消去された状態つまり「1」の状態として検知される。浮遊ゲート20が負に帯電する(すなわち、電子でプログラムされる)と、浮遊ゲート20の下方のチャンネル領域の部分はほとんど又は完全にオフになり、電流はチャンネル領域18を流れず(又はほとんど流れず)、これは、プログラムされた状態つまり「0」の状態として検知される。

40

##### 【0011】

表1は、読み出し、消去、及びプログラム動作を実行するためにメモリセル110の端子に印加することができる典型的な電圧/電流範囲を示す。

#### 【表1】

表1：図3のフラッシュメモリセル210の動作

	WL	BL	SL
読み出し	2~3V	0.6~2V	0V
消去	約11~13V	0V	0V
プログラム	1~2V	10.5~3 $\mu$ A	9~10V

50

## 【 0 0 1 2 】

他の種類のフラッシュメモリセルとして、他のスプリットゲート型メモリセル構成も知られている。例えば、図 3 は、ソース領域 1 4 と、ドレイン領域 1 6 と、チャンネル領域 1 8 の第 1 の部分の上方にある浮遊ゲート 2 0 と、チャンネル領域 1 8 の第 2 の部分の上方にある選択ゲート 2 2 (典型的には、ワード線、WL、に結合される)と、浮遊ゲート 2 0 の上方にある制御ゲート 2 8 と、ソース領域 1 4 の上方にある消去ゲート 3 0 と、を含む 4 ゲートメモリセル 3 1 0 を示す。この構成は、あらゆる目的のため参照により本明細書に組み込まれる、米国特許第 6, 7 4 7, 3 1 0 号に記載されている。ここで、全てのゲートは、浮遊ゲート 2 0 を除いて、非浮遊ゲートであり、つまり、それらは電圧源に電氣的に接続される又は接続可能である。プログラミングは、熱せられた電子がチャンネル領域 1 8 から浮遊ゲート 2 0 にその電子自体を注入することによって実行される。消去は、電子が浮遊ゲート 2 0 から消去ゲート 3 0 へトンネリングすることによって実行される。

10

## 【 0 0 1 3 】

表 2 は、読み出し、消去、及びプログラム動作を実行するためにメモリセル 3 1 0 の端子に印加することができる典型的な電圧 / 電流範囲を示す。

## 【表 2】

表 2 : 図 3 のフラッシュメモリセル 3 1 0 の動作

	WL/SG	BL	CG	EG	SL
読み出し	1. 0~2V	0. 6~2V	0~2. 6V	0~2. 6V	0V
消去	-0. 5V/0V	0V	0V/-8V	8~12V	0V
プログラム	1V	0. 1~1 $\mu$ A	8~11V	4. 5~9V	4. 5~5V

20

## 【 0 0 1 4 】

図 4 は、別の種類のフラッシュメモリセルである、3 ゲートメモリセル 4 1 0 を示す。メモリセル 4 1 0 は、メモリセル 4 1 0 が別個の制御ゲートを有しないことを除いて、図 3 のメモリセル 3 1 0 と同一である。(消去ゲートの使用を通じて消去が起こる)消去動作及び読み出し動作は、制御ゲートバイアスが印加されないことを除いて、図 3 のものと同様である。プログラミング動作もまた、制御ゲートバイアスなしで行われるため、結果として、プログラム動作中は、制御ゲートバイアスの不足を補償するため、より高い電圧がソース線に印加されなければならない。

30

## 【 0 0 1 5 】

表 3 は、読み出し、消去、及びプログラム動作を実行するためにメモリセル 4 1 0 の端子に印加することができる典型的な電圧 / 電流範囲を示す。

## 【表 3】

表 3 : 図 4 のフラッシュメモリセル 4 1 0 の動作

	WL/SG	BL	EG	SL
読み出し	0. 7~2. 2V	0. 6~2V	0~2. 6V	0V
消去	-0. 5V/0V	0V	11. 5V	0V
プログラム	1V	0. 2~3 $\mu$ A	4. 5V	7~9V

40

## 【 0 0 1 6 】

図 5 は、別の種類のフラッシュメモリセルである、積層ゲートメモリセル 5 1 0 を示す。メモリセル 5 1 0 は、浮遊ゲート 2 0 がチャンネル領域 1 8 全体の上方に延在し、制御ゲート 2 2 (ここでワード線に結合される)が絶縁層(図示せず)によって分離されて浮遊ゲート 2 0 の上方に延在することを除いて、図 2 のメモリセル 2 1 0 と同様である。消去は、FG から基板への電子の FN トンネリングによって行われ、プログラミングは、チャ

50

ネル 18 とドレイン領域 16 との間の領域でのチャネルホットエレクトロン (channel hot electron、CHE) 注入によって、ソース領域 14 からドレイン領域 16 に向かって流れる電子によって、及びより高い制御ゲート電圧を有するメモリセル 210 の読み出し動作と同様である読み出し動作によって行われる。

【0017】

表 4 は、読み出し、消去、及びプログラム動作を実行するためのメモリセル 510 及び基板 12 の端子に印加することができる典型的な電圧範囲を示す。

【表 4】

表 4：図 5 のフラッシュメモリセル 510 の動作

	CG	BL	SL	基板
読み出し	2~5V	0.6~2V	0V	0V
消去	-8~-10V/0V	FLT	FLT	8~10V/15~20V
プログラム	8~12V	3~5V	0V	0V

10

【0018】

本明細書に記載される方法及び手段は、限定されないが、FINFET スプリットゲートフラッシュ又はスタックゲートフラッシュメモリ、NAND フラッシュ、SONOS (ケイ素 - 酸化物 - 窒化物 - 酸化物 - ケイ素、窒化物中の電荷トラップ)、MONOS (金属 - 酸化物 - 窒化物 - 酸化物 - ケイ素、窒化物中の金属電荷トラップ)、ReRAM (抵抗変化型メモリ)、PCM (相変化メモリ)、MRAM (磁気抵抗メモリ)、FeRAM (強誘電体メモリ)、CT (電荷トラップ) メモリ、CN (カーボンチューブ) メモリ、OTP (パイレベル又はマルチレベルの 1 回みのプログラムが可能) 及び CeRAM (強相関電子メモリ) などの他の不揮発性メモリ技術に適用され得る。

20

【0019】

上記の人工ニューラルネットワークにおける不揮発性メモリセルの種類の一つを含むメモリアレイを利用するために、2 つの修正が行われる。第一に、以下に更に説明されるように、アレイ内の他のメモリセルのメモリ状態に悪影響を与えずに各メモリセルを個々にプログラム、消去、及び読み出しできるように線を構成する。第二に、メモリセルの連続 (アナログ) プログラミングを提供する。

30

【0020】

具体的には、アレイ内の各メモリセルのメモリ状態 (すなわち、浮遊ゲートの電荷) を、完全に消去された状態から完全にプログラムされた状態へ、独立して、かつ他のメモリセルの乱れが最小で、連続的に変えることができる。別の実施形態では、アレイ内の各メモリセルのメモリ状態 (すなわち、浮遊ゲートの電荷) を、完全にプログラムされた状態から完全に消去された状態へ、及び逆もまた同様に、独立して、かつ他のメモリセルの乱れが最小で、連続的に変えることができる。これはつまり、セル記憶がアナログであるか、又は多数の不連続値 (16 個又は 64 個の異なる値など) のうちの一つを最低限記憶することができることを意味し、これにより、メモリアレイ内の全てのセルが非常に精密に、かつ個々にチューニング可能となり、また、メモリアレイが、記憶、及びニューラルネットワークのシナプシスの重みへの微細チューニング調整に対して、理想的なものになる。

40

不揮発性メモリセルアレイを使用するニューラルネットワーク

【0021】

図 6 は、本実施形態の不揮発性メモリアレイを利用するニューラルネットワークの非限定例を概念的に例解する。この例は、顔認識アプリケーション用に不揮発性メモリアレイニューラルネットワークを使用するが、不揮発性メモリアレイベースのニューラルネットワークを使用して他の適切なアプリケーションを実装することも可能である。

【0022】

S0 は入力層であり、この例では、5 ビット精度の 32 × 32 ピクセル RGB 画像であ

50

る（すなわち、各色 R、G、及び B につき 1 つずつで 3 つの  $3 \times 3$  ピクセルアレイであり、各ピクセルは 5 ビット精度である）。入力層 S 0 から層 C 1 に行くシナプス C B 1 は、一部のインスタンスには異なる重みのセットを適用し、他のインスタンスには共有の重みを適用し、入力画像を  $3 \times 3$  ピクセルの重なり合うフィルタでスキャンし（カーネル）、1 ピクセル（又はモデルによっては 2 ピクセル以上）ずつフィルタをシフトする。具体的には、画像の  $3 \times 3$  部分における 9 ピクセルの値（すなわち、フィルタ又はカーネルと称される）は、シナプス C B 1 に提供され、そこで、これらの 9 個の入力値に適切な重みを乗算し、その乗算の出力を合計後、単一の出力値が決定され、層 C 1 の特徴マップのうちの 1 つのピクセルを生成するために C B 1 の第 1 のシナプスによって与えられる。  $3 \times 3$  フィルタは次に、入力層 S 0 内で右側に 1 ピクセルだけシフトされ（すなわち、3 ピクセルの列を右側に追加し、左側で 3 ピクセルの列をドロップする）、これにより、この新しく位置づけられたフィルタの 9 ピクセル値はシナプス C B 1 に提供され、そこでそれらに上記と同じ重みを乗算し、関連するシナプスによって第 2 の単一の出力値を決定する。このプロセスを、 $3 \times 3$  フィルタが入力層 S 0 の  $3 \times 3$  ピクセル画像全体にわたって 3 色全て及び全てのビット（精度値）についてスキャンするまで続ける。プロセスは次に、層 C 1 の特徴マップ全てが計算されるまで、異なる重みのセットを使用して繰り返されて、層 C 1 の異なる特徴マップを生成する。

#### 【 0 0 2 3 】

本例では、層 C 1 において、各々  $30 \times 30$  ピクセルを有する 16 個の特徴マップが存在する。各ピクセルは、入力とカーネルとの乗算から抽出された新しい特徴ピクセルであり、したがって、各特徴マップは、二次元アレイであり、したがってこの例では、層 C 1 は、二次元アレイの 16 層を構成する（本明細書で言及される層及びアレイは、必ずしも物理的な関係ではなく論理的な関係であり、すなわち、アレイは必ずしも物理的な二次元アレイに配向されないことに留意されたい）。層 C 1 内の 16 個の特徴マップの各々は、フィルタスキャンに適用される異なるシナプス重みのセット 16 個のうちの 1 つによって生成される。C 1 特徴マップは全て、境界同定など、同じ画像特徴の異なる態様を対象とすることができる。例えば、第 1 のマップ（この第 1 のマップを生成するために使用される全てのスキャンに共有される第 1 の重みセットを使用して生成される）は、円形エッジを識別することができ、第 2 のマップ（第 1 の重みセットと異なる第 2 の重みセットを使用して生成される）は、長方形エッジ又はある特定の特徴のアスペクト比などを識別することができる。

#### 【 0 0 2 4 】

層 C 1 から層 S 1 へ行く前には、各特徴マップ内の重なり合わずに連続する  $2 \times 2$  領域からの値をプールの活性化関数 P 1（プーリング）が適用される。プーリング関数 P 1 の目的は、近隣の位置を平均すること（又は  $\max$  関数を使用することも可能である）、例えばエッジ位置の依存を低減すること、及び次の段階に行く前にデータサイズを低減することである。層 S 1 において、16 個の  $15 \times 15$  特徴マップ（すなわち、各々  $15 \times 15$  ピクセルの異なるアレイ 16 個）が存在する。層 S 1 から層 C 2 に行くシナプス C B 2 は、層 S 1 内のマップを  $4 \times 4$  フィルタにより 1 ピクセルのフィルタシフトでスキャンする。層 C 2 において、22 個の  $12 \times 12$  特徴マップが存在する。層 C 2 から層 S 2 へ行く前には、各特徴マップ内の重なり合わずに連続する  $2 \times 2$  領域からの値をプールの活性化関数 P 2（プーリング）が適用される。層 S 2 において、22 個の  $6 \times 6$  特徴マップが存在する。層 S 2 から層 C 3 へ行くシナプス C B 3 では活性化関数（プーリング）が適用され、ここで層 C 3 内の全てのニューロンは、C B 3 のそれぞれのシナプスを介して層 S 2 内の全てのマップに接続する。層 C 3 において、64 個のニューロンが存在する。層 C 3 から出力層 S 3 へと行くシナプス C B 4 は、C 3 を S 3 に完全に接続する、すなわち、層 C 3 内の全てのニューロンは、層 S 3 内の全てのニューロンに接続される。S 3 における出力は、10 個のニューロンを含み、ここで出力が最も高いニューロンが、クラスを決定する。この出力は、例えば、元の画像の内容の同定又は分類（クラス）を示すことができる。

## 【 0 0 2 5 】

シナプスの各層は、不揮発性メモリセルのアレイ又はアレイの一部を使用して実装される。

## 【 0 0 2 6 】

図 7 は、その目的のために使用可能なアレイのブロック図である。ベクトルマトリックス乗算 (vector-by-matrix multiplication、VMM) アレイ 3 2 は、不揮発性メモリセルを含み、ある層と次の層との間のシナプス (図 6 の C B 1、C B 2、C B 3、及び C B 4 など) として利用される。具体的には、VMM アレイ 3 2 は、不揮発性メモリセルのアレイ 3 3、消去ゲート及びワード線ゲートデコーダ 3 4、制御ゲートデコーダ 3 5、ビット線デコーダ 3 6、並びにソース線デコーダ 3 7 を含み、それらのデコーダは不揮発性メモリセルアレイ 3 3 に対するそれぞれの入力をデコードする。VMM アレイ 3 2 への入力は、消去ゲート及びワード線ゲートデコーダ 3 4 から、又は制御ゲートデコーダ 3 5 から行うことができる。この例におけるソース線デコーダ 3 7 はまた、不揮発性メモリセルアレイ 3 3 の出力をデコードする。代替的に、ビット線デコーダ 3 6 が、不揮発性メモリセルアレイ 3 3 の出力をデコードすることができる。

10

## 【 0 0 2 7 】

不揮発性メモリセルアレイ 3 3 は、2つの目的を果たす。第一に、不揮発性メモリセルアレイ 3 3 は、VMM アレイ 3 2 によって使用される重みを記憶する。第二に、不揮発性メモリセルアレイ 3 3 は、不揮発性メモリセルアレイ 3 3 に格納された重みを、入力に有効に乗算して、それらを出力線 (ソース線又はビット線) ごとに加算して、出力を生成し、この出力は次の層への入力又は最後の層への入力になる。不揮発性メモリセルアレイ 3 3 が乗算及び加算の関数を実行することで、別個の乗算及び加算の論理回路の必要性はなくなり、また、メモリ内の計算により電力効率も良い。

20

## 【 0 0 2 8 】

不揮発性メモリセルアレイ 3 3 の出力は、不揮発性メモリセルアレイ 3 3 の出力を合計してその畳み込み用の単一の値を作成する、差動合計器 (合計オペアンプ又は合計カレントミラーなど) 3 8 に供給される。差動合計器 3 8 は、正の重み及び負の重みの総和を実行するように配置される。

## 【 0 0 2 9 】

差動合計器 3 8 の合計された出力値は、次に出力を整流する活性化関数ブロック 3 9 に供給される。活性化関数ブロック 3 9 は、シグモイド、 $\tanh$ 、又は ReLU 関数を提供し得る。活性化関数ブロック 3 9 の整流された出力値は、次の層 (例えば図 6 の C 1) として特徴マップの要素になり、次いで、次のシナプスに適用されて次の特徴マップ層又は最後の層を生成する。したがって、この例では、不揮発性メモリセルアレイ 3 3 は、複数のシナプスを構成し (ニューロンの前の層から、又は画像データベースなどの入力層から、入力を受け取る)、合計オペアンプ 3 8 及び活性化関数ブロック 3 9 は、複数のニューロンを構成する。

30

## 【 0 0 3 0 】

図 7 の VMM アレイ 3 2 への入力 ( $W L x$ 、 $E G x$ 、 $C G x$ 、及び任意選択的に  $B L x$  及び  $S L x$ ) は、アナログレベル、バイナリレベル、又はデジタルビット (この場合、DAC は、デジタルビットを適切な入力アナログレベルに変換するために提供される) であり得、出力は、アナログレベル、バイナリレベル、又はデジタルビットであり得る (この場合、出力 ADC は出力アナログレベルをデジタルビットに変換するために提供される)。

40

## 【 0 0 3 1 】

図 8 は、図中で VMM アレイ 3 2 a、3 2 b、3 2 c、3 2 d 及び 3 2 e として標示された VMM アレイ 3 2 の多数の層の使用を示すブロック図である。図 8 に示されるように、入力 ( $I n p u t x$  で示される) は、デジタル - アナログ変換器 3 1 によってデジタルからアナログに変換され、入力 VMM アレイ 3 2 a に提供される。変換されたアナログ入力は、電圧又は電流であり得る。第 1 の層の入力 D/A 変換は、入力 VMM アレイ 3 2 a のマトリックス乗算器の適切なアナログレベルに入力  $I n p u t x$  をマッピングする関数

50

又はLUT（ルックアップテーブル）を使用することによって行うことができる。入力変換はまた、外部アナログ入力を入力VMMアレイ32aへのマッピングされたアナログ入力に変換するために、アナログ-アナログ（analog to analog、A/A）変換器によって行うこともできる。

#### 【0032】

入力VMMアレイ32aによって生成された出力は、次に、次のVMMアレイ（隠しレベル1）32bへの入力として提供され、次に入力VMMアレイ（隠しレベル2）32cへの入力として提供される出力を生成する、などとなる。VMMアレイ32の様々な層は、畳み込みニューラルネットワーク（convolutional neural network、CNN）のシナプス及びニューロンの各層として機能する。各VMMアレイ32a、32b、32c、32d及び32eは、スタンドアローンの物理的不揮発性メモリアレイとすることができ、又は複数のVMMアレイは、同じ物理的不揮発性メモリアレイの異なる部分を利用することができ、又は複数のVMMアレイは、同じ物理的不揮発性メモリアレイの重なり合う部分を利用することができる。図8に示される例は、5つの層（32a、32b、32c、32d、32e）：1つの入力層（32a）と、2つの隠れ層（32b、32c）と、2つの完全接続層（32d、32e）とを含む。当業者であれば、これは単なる例示であり、代わりにシステムが2つを超える隠れ層及び2つを超える完全接続層を含み得ることを理解するであろう。

10

ベクトルマトリックス乗算（VMM）アレイ

#### 【0033】

図9は、図3に示されるメモリセル310に特に適しており、かつ入力層と次の層との間のシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ900を示す。VMMアレイ900は、不揮発性メモリセルのメモリアレイ901と、不揮発性基準メモリセルの基準アレイ902（アレイの頂部に位置する）と、を含む。代替的に、別の基準アレイが底部に位置することができる。

20

#### 【0034】

VMMアレイ900では、制御ゲート線903などの制御ゲート線が垂直方向に延びており（したがって、行方向の基準アレイ902が、制御ゲート線903に直交する）、消去ゲート線904などの消去ゲート線が水平方向に延びている。ここで、VMMアレイ900への入力は、制御ゲート線（CG0、CG1、CG2、CG3）に提供され、VMMアレイ900の出力は、ソース線（SL0、SL1）に現れる。一実施形態では、偶数行のみが使用され、別の実施形態では、奇数行のみが使用される。各ソース線（それぞれSL0、SL1）の電流は、その特定のソース線に接続されたメモリセルからの全ての電流の合計関数を実行する。

30

#### 【0035】

ニューラルネットワークについて本明細書に記載されているように、VMMアレイ900の不揮発性メモリセル、すなわちVMMアレイ900のメモリセル310は、サブスレッショルド領域で動作するように構成されることが好ましい。

#### 【0036】

本明細書に記載される不揮発性基準メモリセル及び不揮発性メモリセルは、以下のように弱反転（サブスレッショルド領域）でバイアスされる：

40

$$I_{ds} = I_o * e^{(V_g - V_{th})/nV_t} = w * I_o * e^{(V_g)/nV_t}$$

式中、 $w = e^{(-V_{th})/nV_t}$ であり、

式中、 $I_{ds}$ はドレイン-ソース間電流であり、 $V_g$ はメモリセルのゲート電圧であり、 $V_{th}$ はメモリセルのスレッショルド電圧であり、 $V_t$ は熱電圧 $= k * T / q$ であり、 $k$ はボルツマン定数、 $T$ はケルビン温度、 $q$ は電子電荷であり、 $n$ は傾斜係数 $= 1 + (C_{dep} / C_{ox})$ であり、 $C_{dep}$ は空乏層の容量、そして $C_{ox}$ はゲート酸化物層の容量であり、 $I_o$ は、スレッショルド電圧に等しいゲート電圧におけるメモリセル電流であり、 $I_o$ は、 $(W_t / L) * u * C_{ox} * (n - 1) * V_t^2$ に比例し、式中、 $u$ はキャリア移動度であり、 $W_t$ 及び $L$ はそれぞれ、メモリセルの幅及び長さである。

50

## 【0037】

メモリセル（基準メモリセル又は周辺メモリセルなど）又はトランジスタを使用して入力電流を入力電圧に変換するI - Vログ変換器を使用した場合：

$$V_g = n \cdot V_t \cdot \log [ I_{ds} / w_p \cdot I_o ]$$

式中、 $w_p$ は、基準又は周辺メモリセルの $w$ である。

## 【0038】

電流入力を伴うベクトルマトリックス乗算器VMMアレイとして使用されるメモリアレイについて、出力電流は以下である：

$$I_{out} = w_a \cdot I_o \cdot e^{(V_g)/nV_t}、すなわち$$

$$I_{out} = (w_a / w_p) \cdot I_{in} = W \cdot I_{in}$$

$$W = e^{(V_{thp}-V_{tha})/nV_t}$$

式中、 $w_a$  = メモリアレイの各メモリセルの $w$ である。

$V_{thp}$ は周辺メモリセルの有効スレッショルド電圧であり、 $V_{tha}$ はメイン（データ）メモリセルの有効スレッショルド電圧である。トランジスタのスレッショルド電圧は基板本体バイアス電圧の関数であり、 $V_{sb}$ と表される基板本体バイアス電圧は、そのような温度で様々な条件を補償するように変調され得ることに留意されたい。スレッショルド電圧 $V_{th}$ は、次のように表すことができる。

$$V_{th} = V_{th0} + \text{ガンマ} ( \text{SQRT} | V_{sb} - 2 \cdot F ) - \text{SQRT} | 2 \cdot F | )$$

式中、 $V_{th0}$ は、ゼロ基板バイアスを有するスレッショルド電圧であり、 $F$ は表面電位であり、ガンマは本体効果パラメータである。

## 【0039】

ワード線又は制御ゲートは、入力電圧のためのメモリセルの入力として使用することができる。

## 【0040】

代替的に、本明細書に記載されたVMMアレイのフラッシュメモリセルは、線形領域で動作するように構成することができる。

$$I_{ds} = \text{ベータ} \cdot (V_{gs} - V_{th}) \cdot V_{ds} ; \text{ベータ} = u \cdot C_{ox} \cdot W_t / L$$

$$W = (V_{gs} - V_{th})$$

すなわち、直線領域における重み $W$ は、 $(V_{gs} - V_{th})$ に比例する。

## 【0041】

ワード線又は制御ゲート又はビット線又はソース線は、線形領域内で動作するメモリセルの入力として使用することができる。ビット線又はソース線は、メモリセルの出力として使用することができる。

## 【0042】

I - V線形変換器用に、線形領域で動作するメモリセル（基準メモリセル又は周辺メモリセルなど）又はトランジスタを使用して、入出力電流を入出力電圧に線形変換することができる。

## 【0043】

代替的に、本明細書に記載されたVMMアレイのメモリセルは、飽和領域で動作するように構成することができる。

$$I_{ds} = 1 / 2 \cdot \text{ベータ} \cdot (V_{gs} - V_{th})^2 ; \text{ベータ} = u \cdot C_{ox} \cdot W_t / L$$

$$W = (V_{gs} - V_{th})^2、すなわち重みWは、(V_{gs} - V_{th})^2に比例する。$$

## 【0044】

ワード線、制御ゲート、又は消去ゲートは、飽和領域内で動作するメモリセルの入力として使用することができる。ビット線又はソース線は、出力ニューロンの出力として使用することができる。

## 【0045】

代替的に、本明細書に記載されるVMMアレイのメモリセルは、ニューラルネットワークの各層又は多層に対して全ての領域又はそれらの組み合わせ（サブスレッショルド、線形、又は飽和）で使用され得る。

10

20

30

40

50

【 0 0 4 6 】

図 7 の V M M アレイ 3 2 のための他の実施形態は、参照により本明細書に組み込まれる米国特許出願第 1 5 / 8 2 6 , 3 4 5 号に記載されている。上記出願に記載されているように、ソース線又はビット線は、ニューロン出力（電流和出力）として使用することができる。

【 0 0 4 7 】

図 1 0 は、図 2 に示されるメモリセル 2 1 0 に特に適しており、かつ入力層と次の層との間でシナプスとして利用される、ニューロン V M M アレイ 1 0 0 0 を示す。V M M アレイ 1 0 0 0 は、不揮発性メモリセルのメモリアレイ 1 0 0 3 と、第 1 の不揮発性基準メモリセルの基準アレイ 1 0 0 1 と、第 2 の不揮発性基準メモリセルの基準アレイ 1 0 0 2 と、を含む。アレイの列方向に配置された基準アレイ 1 0 0 1 及び 1 0 0 2 は、端子 B L R 0、B L R 1、B L R 2、及び B L R 3 に流入する電流入力を電圧入力 W L 0、W L 1、W L 2、及び W L 3 に変換するように機能する。実際には、第 1 及び第 2 の不揮発性基準メモリセルは、電流入力が入力される状態で、マルチプレクサ 1 0 1 4（一部のみ示す）を通してダイオード接続される。基準セルは、目標基準レベルにチューニング（例えば、プログラム）される。目標基準レベルは、基準ミニアレイマトリックス（図示せず）によって提供される。

10

【 0 0 4 8 】

メモリアレイ 1 0 0 3 は、2 つの目的を果たす。第一に、メモリアレイ 1 0 0 3 は、V M M アレイ 1 0 0 0 によって使用される重みを、それぞれのメモリセルに記憶する。第二に、メモリアレイ 1 0 0 3 は、メモリアレイ 1 0 0 3 に記憶された重みを、入力（すなわち、端子 B L R 0、B L R 1、B L R 2、及び B L R 3 に提供された電流入力であり、これを基準アレイ 1 0 0 1 及び 1 0 0 2 が入力電圧に変換して、ワード線 W L 0、W L 1、W L 2、及び W L 3 に供給する）に有効に乗算して、次いで、全ての結果（メモリセル電流）を加算して、それぞれのビット線（B L 0 ~ B L N）の出力を生成し、この出力は次の層への入力又は最後の層への入力となる。乗算及び加算の関数を実行することで、メモリアレイ 1 0 0 3 は、別個の乗算及び加算の論理回路の必要性をなくし、また、電力効率も良い。ここで、電圧入力はワード線 W L 0、W L 1、W L 2、及び W L 3 に提供され、出力は、読み出し（推論）動作中にそれぞれのビット線 B L 0 ~ B L N に現れる。ビット線 B L 0 ~ B L N の各々の電流は、その特定のビット線に接続された全ての不揮発性メモリセルからの電流の合計関数を実行する。

20

30

【 0 0 4 9 】

表 5 は、V M M アレイ 1 0 0 0 の動作電圧及び電流を示す。表中の列は、選択セルのワード線、非選択セルのワード線、選択セルのビット線、非選択セルのビット線、選択セルのソース線、及び非選択セルのソース線に加えられる電圧を示す。行は、読み出し、消去、及びプログラムの動作を示す。

【表 5】

表 5 : 図 1 0 の V M M アレイ 1 0 0 0 の動作

	WL	WL-非選択	BL	BL-非選択	SL	SL-非選択
読み出し	1~3.5V	-0.5V/0V	0.6~2V (ニューロン)	0.6V~2V/0V	0V	0V
消去	約5~13V	0V	0V	0V	0V	0V
プログラム	1~2V	-0.5V/0V	0.1~3uA	Vinh約2.5V	4~10V	0~1V/FLT

40

表 5 : 図 1 0 の V M M アレイ 1 0 0 0 の動作

【 0 0 5 0 】

図 1 1 は、図 2 に示されるメモリセル 2 1 0 に特に適しており、かつ入力層と次の層と

50

の間でシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ1100を示す。VMMアレイ1100は、不揮発性メモリセルのメモリアレイ1103と、第1の不揮発性基準メモリセルの基準アレイ1101と、第2の不揮発性基準メモリセルの基準アレイ1102と、を含む。基準アレイ1101及び1102は、VMMアレイ1100の行方向に延びる。VMMアレイは、VMMアレイ1100においてワード線が垂直方向に延びることを除いて、VMM1000と同様である。ここで、入力はワード線(WLA0、WLB0、WLA1、WLB1、WLA2、WLB2、WLA3、WLB3)に提供され、出力は、読み出し動作中にソース線(SL0、SL1)に現れる。各ソース線の電流は、その特定のソース線に接続されたメモリセルからの全ての電流の合計関数を実行する。

10

【0051】

表6は、VMMアレイ1100の動作電圧及び電流を示す。表中の列は、選択セルのワード線、非選択セルのワード線、選択セルのビット線、非選択セルのビット線、選択セルのソース線、及び非選択セルのソース線に加えられる電圧を示す。行は、読み出し、消去、及びプログラムの動作を示す。

【表6】

表6：図11のVMMアレイ1100の動作

	WL	WL-非選択	BL	BL-非選択	SL	SL-非選択
読み出し	1~3.5V	-0.5V/0V	0.6~2V	0.6V~2V/0V	約0.3~1V (Iニューロン)	0V
消去	約5~13V	0V	0V	0V	0V	SL-inhibit (約4~8V)
プログラム	1~2V	-0.5V/0V	0.1~3uA	Vinh約2.5V	4~10V	0~1V/FLT

20

【0052】

図12は、図3に示されるメモリセル310に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ1200を示す。VMMアレイ1200は、不揮発性メモリセルのメモリアレイ1203と、第1の不揮発性基準メモリセルの基準アレイ1201と、第2の不揮発性基準メモリセルの基準アレイ1202と、を含む。基準アレイ1201及び1202は、端子BLR0、BLR1、BLR2、及びBLR3に流入する電流入力を電圧入力CG0、CG1、CG2、及びCG3に変換するように機能する。実際には、第1及び第2の不揮発性基準メモリセルは、電流入力BLR0、BLR1、BLR2、及びBLR3を通して流入する状態で、マルチプレクサ1212(一部のみ示す)を通してダイオード接続される。マルチプレクサ1212は、読み出し動作中に第1及び第2の不揮発性基準メモリセルの各々のビット線(BLR0など)の一定電圧を確実にするために、対応のマルチプレクサ1205及びカスコーディングトランジスタ1204をそれぞれ含む。基準セルは、目標基準レベルにチューニングされる。

30

40

【0053】

メモリアレイ1203は、2つの目的を果たす。第一に、メモリアレイ1203は、VMMアレイ1200によって使用される重みを記憶する。第二に、メモリアレイ1203は、メモリアレイに記憶された重みを、入力(端子BLR0、BLR1、BLR2、及びBLR3に提供された電流入力であり、基準アレイ1201及び1202がこれらの電流入力を入力電圧に変換して、制御ゲート(CG0、CG1、CG2、及びCG3)に供給する)に有効に乗算して、次いで、全ての結果(セル電流)を加算して出力を生成し、この出力はBL0~BLNに現れ、次の層への入力又は最後の層への入力となる。メモリアレイが乗算及び加算の関数を実行することで、別個の乗算及び加算の論理回路の必要性がなくなり、また、電力効率も良い。ここで、入力制御ゲート線(CG0、CG1、CG

50

2、及びCG3)に提供され、出力は、読み出し動作中にビット線(BL0~BLN)に現れる。各ビット線の電流は、その特定のビット線に接続されたメモリセルからの全ての電流の合計関数を実行する。

【0054】

VMMアレイ1200は、メモリアレイ1203内の不揮発性メモリセルの一方向チューニングを実装する。すなわち、各不揮発性メモリセルは消去され、次いで、浮遊ゲートの所望の電荷に達するまで部分的にプログラムされる。過度に多くの電荷が浮遊ゲートに加えられる場合(誤った値がセルに記憶される場合など)、セルは消去され、一連の部分的なプログラミング動作が最初からやり直される。示されるように、同じ消去ゲート(EG0又はEG1など)を共有する2つの行は、一緒に消去され(ページ消去として知られる)、その後、各セルは、浮遊ゲートの所望の電荷に達するまで部分的にプログラムされる。

10

【0055】

表7は、VMMアレイ1200の動作電圧及び電流を示す。表中の列は、選択セルのワード線、非選択セルのワード線、選択セルのビット線、非選択セルのビット線、選択セルの制御ゲート、選択セルと同じセクタ内の非選択セルの制御ゲート、選択セルとは異なるセクタ内の非選択セルの制御ゲート、選択セルの消去ゲート、非選択セルの消去ゲート、選択セルのソース線、及び非選択セルのソース線に加えられる電圧を示す。行は、読み出し、消去、及びプログラムの動作を示す。

【表7】

20

表7：図12のVMMアレイ1200の動作

	WL	WL-非選択	BL	BL-非選択	CG	CG-非選択、同じセクタ	CG-非選択	EG	EG-非選択	SL	SL-非選択
読み出し	1.0~2V	-0.5V/0V	0.6~2V (1ニューロン)	0V	0~2.6V	0~2.6V	0~2.6V	0~2.6V	0~2.6V	0V	0V
消去	0V	0V	0V	0V	0V	0~2.6V	0~2.6V	5~12V	0~2.6V	0V	0V
プログラム	0.7~1V	-0.5V/0V	0.1~1uA	Vinh (1~2V)	4~11V	0~2.6V	0~2.6V	4.5~5V	0~2.6V	4.5~5V	0~1V

30

【0056】

図13は、図3に示されるメモリセル310に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ1300を示す。VMMアレイ1300は、不揮発性メモリセルのメモリアレイ1303と、第1の不揮発性基準メモリセルの基準アレイ1301と、第2の不揮発性基準メモリセルの基準アレイ1302と、を備える。EG線EGR0、EG0、EG1、及びEGR1は垂直に延び、CG線CG0、CG1、CG2、及びCG3並びにSL線WL0、WL1、WL2、及びWL3は水平に延びる。VMMアレイ1300は、VMMアレイ1300が双方向チューニングを実装することを除いてVMMアレイ1400と同様であり、各個々のセルは、個別のEG線の使用により、浮遊ゲートの所望の電荷量に達するために、完全に消去され、部分的にプログラムされ、必要に応じて部分的に消去することができる。示されるように、基準アレイ1301及び1302は、端子BLR0、BLR1、BLR2及びBLR3における入力電流を制御ゲート電圧CG0、CG1、CG2及びCG3に変換し(マルチプレクサ1314を介したダイオード接続された基準セルの作用を通じて)、これらの電圧は行方向でメモリセルに印加される。電流出力(ニューロン)は、ビット線BL0~BLN中にあり、各ビット線は、その特定のビット線に接続された不揮発性メモリセルからの全ての電流を合計する。

40

【0057】

50

表 8 は、VMM アレイ 1 3 0 0 の動作電圧及び電流を示す。表中の列は、選択セルのワード線、非選択セルのワード線、選択セルのビット線、非選択セルのビット線、選択セルの制御ゲート、選択セルと同じセクタ内の非選択セルの制御ゲート、選択セルとは異なるセクタ内の非選択セルの制御ゲート、選択セルの消去ゲート、非選択セルの消去ゲート、選択セルのソース線、及び非選択セルのソース線に加えられる電圧を示す。行は、読み出し、消去、及びプログラムの動作を示す。

【表 8】

表 8 : 図 1 3 の VMM アレイ 1 3 0 0 の動作

	WL	WL-非選択	BL	BL-非選択	CG	CG-非選択、同じセクタ	CG-非選択	EG	EG-非選択	SL	SL-非選択
読み出し	1.0~2V	-0.5V/0V	0.6~2V(Iニューロン)	0V	0~2.6V	0~2.6V	0~2.6V	0~2.6V	0~2.6V	0V	0V
消去	0V	0V	0V	0V	0V	4~9V	0~2.6V	5~12V	0~2.6V	0V	0V
プログラム	0.7~1V	-0.5V/0V	0.1~1uA	Vinh(1~2V)	4~11V	0~2.6V	0~2.6V	4.5~5V	0~2.6V	4.5~5V	0~1V

10

【0058】

図 2 2 は、図 2 に示されるメモリセル 2 1 0 に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロン VMM アレイ 2 2 0 0 を示す。VMM アレイ 2 2 0 0 では、入力 INPUT<sub>0</sub> . . . .、INPUT<sub>N</sub> は、ビット線 BL<sub>0</sub>、. . . . BL<sub>N</sub> でそれぞれ受信され、出力 OUTPUT<sub>1</sub>、OUTPUT<sub>2</sub>、OUTPUT<sub>3</sub>、及び OUTPUT<sub>4</sub> は、ソース線 SL<sub>0</sub>、SL<sub>1</sub>、SL<sub>2</sub>、及び SL<sub>3</sub> でそれぞれ生成される。

20

【0059】

図 2 3 は、図 2 に示されるメモリセル 2 1 0 に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロン VMM アレイ 2 3 0 0 を示す。この例では、入力 INPUT<sub>0</sub>、INPUT<sub>1</sub>、INPUT<sub>2</sub>、及び INPUT<sub>3</sub> は、ソース線 SL<sub>0</sub>、SL<sub>1</sub>、SL<sub>2</sub>、及び SL<sub>3</sub> でそれぞれ受信され、出力 OUTPUT<sub>0</sub>、. . . . OUTPUT<sub>N</sub> は、ビット線 BL<sub>0</sub>、. . . .、BL<sub>N</sub> で生成される。

30

【0060】

図 2 4 は、図 2 に示されるメモリセル 2 1 0 に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロン VMM アレイ 2 4 0 0 を示す。この例では、入力 INPUT<sub>0</sub>、. . . .、INPUT<sub>M</sub> は、ワード線 WL<sub>0</sub>、. . . .、WL<sub>M</sub> でそれぞれ受信され、出力 OUTPUT<sub>0</sub>、. . . . OUTPUT<sub>N</sub> は、ビット線 BL<sub>0</sub>、. . . .、BL<sub>N</sub> で生成される。

【0061】

図 2 5 は、図 3 に示されるメモリセル 3 1 0 に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロン VMM アレイ 2 5 0 0 を示す。この例では、入力 INPUT<sub>0</sub>、. . . .、INPUT<sub>M</sub> は、ワード線 WL<sub>0</sub>、. . . .、WL<sub>M</sub> でそれぞれ受信され、出力 OUTPUT<sub>0</sub>、. . . . OUTPUT<sub>N</sub> は、ビット線 BL<sub>0</sub>、. . . .、BL<sub>N</sub> で生成される。代替的に、入力は、制御ゲート CG<sub>0</sub>、. . . .、CG<sub>M</sub> に受信され得る。

40

【0062】

図 2 6 A は、図 4 に示されるメモリセル 4 1 0 に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロン VMM アレイ 2 6 0 0 を示す。この例では、入力 INPUT<sub>0</sub>、. . . .、INPUT<sub>n</sub> がそれぞれ垂直制御ゲート線 CG<sub>0</sub>、. . . .、CG<sub>N</sub> に受信され、出力 OUTPUT<sub>1</sub> 及び OUTPUT<sub>2</sub> がソース

50

線  $SL_0$  及び  $SL_1$  に生成される。

【0063】

図26Bは、ワード線が水平ではなく垂直であるVMMアレイ2600の代替設計である、ニューロンVMMアレイ2620を示す。このインスタンスでは、入力は垂直ワード線  $WL_0$ 、 $WL_1$  に受信され得、出力  $OUTPUT_1$  及び  $OUTPUT_2$  は水平ソース線  $SL_0$  及び  $SL_1$  に生成される。

【0064】

図26Cは、消去ゲート線が水平ではなく垂直であるVMMアレイ2600の代替設計である、ニューロンVMMアレイ2640を示す。このインスタンスでは、入力は垂直消去ゲート線  $EG_0$ 、 $EG_1$  に受信され得、出力  $OUTPUT_1$  及び  $OUTPUT_2$  は水平ソース線  $SL_0$  及び  $SL_1$  に生成される。そして、出力  $OUTPUT_1$  及び  $OUTPUT_2$  は、水平ソース線  $SL_0$  及び  $SL_1$  に生成される。

10

【0065】

図27は、図4に示されるメモリセル410に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ2700を示す。この例では、入力  $INPUT_0$ 、 $\dots$ 、 $INPUT_N$  は、ビット線  $BL_0$ 、 $\dots$ 、 $BL_N$  にそれぞれ結合されているビット線制御ゲート  $2701-1$ 、 $2701-2$ 、 $\dots$ 、 $2701-(N-1)$  及び  $2701-N$  のゲートにそれぞれ受信される。例示的な出力  $OUTPUT_1$  及び  $OUTPUT_2$  が、ソース線  $SL_0$  及び  $SL_1$  に生成される。

【0066】

図28は、図3に示されるメモリセル310、図5に示されるメモリセル510、及び図7に示されるメモリセル710に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ2800を示す。この例では、入力  $INPUT_0$ 、 $\dots$ 、 $INPUT_M$  は、ワード線  $WL_0$ 、 $\dots$ 、 $WL_M$  に受信され、出力  $OUTPUT_0$ 、 $\dots$ 、 $OUTPUT_N$  は、ビット線  $BL_0$ 、 $\dots$ 、 $BL_N$  にそれぞれ生成される。代替的に、入力は、制御ゲート  $CG_0$ 、 $\dots$ 、 $CG_M$  に受信され得る。

20

【0067】

図29は、図3に示されるメモリセル310、図5に示されるメモリセル510、及び図7に示されるメモリセル710に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ2900を示す。この例では、入力  $INPUT_0$ 、 $\dots$ 、 $INPUT_M$  は、制御ゲート線  $CG_0$ 、 $\dots$ 、 $CG_M$  に受信される。出力  $OUTPUT_0$ 、 $\dots$ 、 $OUTPUT_N$  は、垂直ソース線  $SL_0$ 、 $\dots$ 、 $SL_N$  にそれぞれ生成され、各ソース線  $SL_i$  は、列  $i$  内の全てのメモリセルのソース線に結合されている。代替的に、入力は、ワード線  $WL_0$ 、 $\dots$ 、 $WL_M$  に受信され得る。

30

【0068】

図30は、図3に示されるメモリセル310、図5に示されるメモリセル510、及び図7に示されるメモリセル710に特に適しており、かつ入力層と次の層との間でシナプス及びニューロンの一部として利用される、ニューロンVMMアレイ3000を示す。この例では、入力  $INPUT_0$ 、 $\dots$ 、 $INPUT_M$  は、制御ゲート線  $CG_0$ 、 $\dots$ 、 $CG_M$  に受信される。出力  $OUTPUT_0$ 、 $\dots$ 、 $OUTPUT_N$  は、垂直ビット線  $BL_0$ 、 $\dots$ 、 $BL_N$  にそれぞれ生成され、各ビット線  $BL_i$  は、列  $i$  内の全てのメモリセルのビット線に結合されている。

40

長・短期メモリ

【0069】

先行技術は、長・短期メモリ (long short-term memory、LSTM) として知られる概念を含む。LSTMユニットは、しばしば、ニューラルネットワーク内で使用される。LSTMによって、ニューラルネットワークは所定の任意の期間にわたって情報を記憶し、後続の動作においてその情報を使用することができる。従来のLSTMユニットは、セ

50

ル、入力ゲート、出力ゲート、及び忘却ゲートを含む。3つのゲートは、セル内及びセル外への情報の流れ、及び情報がLSTM内で記憶される期間を調節する。VMMは、LSTMユニットにおいて特に有用である。

#### 【0070】

図14は、例示的なLSTM1400を示す。この例におけるLSTM1400は、セル1401、1402、1403及び1404を含む。セル1401は、入力ベクトル $x_0$ を受け取り、出力ベクトル $h_0$ 及びセル状態ベクトル $c_0$ を生成する。セル1402は、入力ベクトル $x_1$ と、セル1401からの出力ベクトル(隠れ状態) $h_0$ と、セル1401からのセル状態 $c_0$ と、を受け取り、出力ベクトル $h_1$ と、セル状態ベクトル $c_1$ と、を生成する。セル1403は、入力ベクトル $x_2$ と、セル1402からの出力ベクトル(隠れ状態) $h_1$ と、セル1402からのセル状態 $c_1$ と、を受け取り、出力ベクトル $h_2$ と、セル状態ベクトル $c_2$ と、を生成する。セル1404は、入力ベクトル $x_3$ と、セル1403からの出力ベクトル(隠れ状態) $h_2$ と、セル1403からのセル状態 $c_2$ と、を受け取り、出力ベクトル $h_3$ を生成する。追加のセルも使用可能であり、4つのセルを有するLSTMは、単なる例である。

10

#### 【0071】

図15は、図14のセル1401、1402、1403、及び1404に使用可能なLSTMセル1500の例示的な実装を示す。LSTMセル1500は、入力ベクトル $x(t)$ と、先行するセルからのセル状態ベクトル $c(t-1)$ と、先行するセルからの出力ベクトル $h(t-1)$ と、を受け取り、セル状態ベクトル $c(t)$ 及び出力ベクトル $h(t)$ を生成する。

20

#### 【0072】

LSTMセル1500は、シグモイド関数デバイス1501、1502、及び1503を含み、各々が0~1の数を適用して、入力ベクトルの各成分が出力ベクトルに寄与する程度を制御する。LSTMセル1500はまた、入力ベクトルに双曲線正接関数を適用するための $\tanh$ デバイス1504及び1505と、2つのベクトルを乗算するための乗算器デバイス1506、1507、及び1508と、2つのベクトルを加算するための加算器デバイス1509と、を含む。出力ベクトル $h(t)$ は、システム内の次のLSTMセルに提供することができるか、又は他の目的でアクセスすることができる。

#### 【0073】

図16は、LSTMセル1500の一実装の一例であるLSTMセル1600を示す。読者の便宜のために、LSTMセル1500からの同じ採番方法が、LSTMセル1600で使用される。シグモイド関数デバイス1501、1502、及び1503、並びに $\tanh$ デバイス1504は各々、複数のVMMアレイ1601及び活性化関数回路ブロック1602を含む。したがって、VMMアレイは、特定のニューラルネットワークシステムで使用されるLSTMセルにおいて特に有用であることが分かる。乗算器デバイス1506、1507、及び1508、並びに加算器デバイス1509は、デジタル方式又はアナログ方式で実装される。活性化関数ブロック1602は、デジタル方式、又はアナログ方式で実装され得る。

30

#### 【0074】

LSTMセル1600の代替例(及びLSTMセル1500の一実装の別の例)を図17に示す。図17では、シグモイド関数デバイス1501、1502及び1503、並びに $\tanh$ デバイス1504は、同じ物理ハードウェア(VMMアレイ1701及び活性化関数ブロック1702)を、時分割多重化された方式で共有する。LSTMセル1700はまた、2つのベクトルを乗算するための乗算器デバイス1703と、2つのベクトルを加算するための加算器デバイス1708と、(活性化関数ブロック1702を含む) $\tanh$ デバイス1505と、値 $i(t)$ を、 $i(t)$ がシグモイド関数ブロック1702から出力されるときに記憶するためのレジスタ1707と、値 $f(t) * c(t-1)$ を、その値がマルチプレクサ1710を介して乗算器デバイス1703から出力されるときに記憶するためのレジスタ1704と、値 $i(t) * u(t)$ を、その値がマルチプレクサ1

40

50

710を介して乗算器デバイス1703から出力されるときに記憶するためのレジスタ1705と、値 $o(t) * c \sim (t)$ を、その値がマルチプレクサ1710を介して乗算器デバイス1703から出力されるときに記憶するためのレジスタ1706と、マルチプレクサ1709と、を含む。

【0075】

LSTMセル1600がVMMアレイ1601とそれぞれの活性化関数ブロック1602との複数のセットを含むのに対し、LSTMセル1700は、LSTMセル1700の実施形態において複数の層を表すために使用される、VMMアレイ1701及び活性化関数ブロック1702の1つのセットのみを含む。LSTMセル1700は、LSTMセル1600と比較して、VMM及び活性化関数ブロックのために必要とするスペースは1/4で済むので、LSTMセル1700は、LSTM1600より必要とするスペースが少ない。

10

【0076】

LSTMユニットは典型的には複数のVMMアレイを含み、これらは各々、加算器及び活性化関数ブロック及び高電圧生成ブロックなどの、VMMアレイの外側の特定の回路ブロックによって提供される機能を必要とすることを更に理解することができる。各VMMアレイのための別個の回路ブロックを提供することは、半導体デバイス内にかかなりの量のスペースを必要とし、幾分非効率的であろう。したがって、後述の実施形態では、VMMアレイ自体の外側に必要とされる回路の最小化を試みる。

ゲート付き回帰型ユニット

20

【0077】

アナログVMM実装は、ゲート付き回帰型ユニット(gated recurrent unit、GRU)システムに利用することができる。GRUは、反復ニューラルネットワーク内のゲート機構である。GRUは、GRUセルが一般にLSTMセルよりも少ない構成要素を含むことを除いて、LSTMに類似している。

【0078】

図18は、例示的なGRU1800を示す。この例におけるGRU1800は、セル1801、1802、1803及び1804を含む。セル1801は、入力ベクトル $x_0$ を受け取り、出力ベクトル $h_0$ を生成する。セル1802は、入力ベクトル $x_1$ と、セル1801からの出力ベクトル $h_0$ と、を受け取り、出力ベクトル $h_1$ を生成する。セル1803は、入力ベクトル $x_2$ と、セル1802からの出力ベクトル(隠れ状態) $h_1$ と、を受け取り、出力ベクトル $h_2$ を生成する。セル1804は、入力ベクトル $x_3$ と、セル1803からの出力ベクトル(隠れ状態) $h_2$ と、を受け取り、出力ベクトル $h_3$ を生成する。追加のセルも使用可能であり、4つのセルを有するGRUは、単なる例である。

30

【0079】

図19は、図18のセル1801、1802、1803、及び1804に使用することができるGRUセル1900の例示的な実装を示す。GRUセル1900は、入力ベクトル $x(t)$ と、先行するGRUセルからの出力ベクトル $h(t-1)$ と、を受け取り、出力ベクトル $h(t)$ を生成する。GRUセル1900は、シグモイド関数デバイス1901及び1902を含み、それらの各々が、出力ベクトル $h(t-1)$ 及び入力ベクトル $x(t)$ からの成分に $0 \sim 1$ の数を適用する。GRUセル1900はまた、入力ベクトルに双曲線正接関数を適用するための $\tanh$ デバイス1903と、2つのベクトルを乗算するための複数の乗算器デバイス1904、1905、及び1906と、2つのベクトルを加算するための加算器デバイス1907と、1から入力を減算して出力を生成するための相補デバイス1908と、を含む。

40

【0080】

図20は、GRUセル1900の一実装の一例であるGRUセル2000を示す。読者の便宜のために、GRUセル1900からの同じ採番方法が、GRUセル2000で使用される。図20から分かるように、シグモイド関数デバイス1901及び1902、並びに $\tanh$ デバイス1903は各々、複数のVMMアレイ2001及び活性化関数ブロッ

50

ク 2 0 0 2 を含む。したがって、VMMアレイは、特定のニューラルネットワークシステムで使用されるGRUセルにおいて特に使用されることが分かる。乗算器デバイス 1 9 0 4、1 9 0 5、1 9 0 6、加算器デバイス 1 9 0 7、及び相補デバイス 1 9 0 8 は、デジタル方式又はアナログ方式で実装される。活性化関数ブロック 2 0 0 2 は、デジタル方式、又はアナログ方式で実装され得る。

#### 【 0 0 8 1 】

GRUセル 2 0 0 0 の代替例（且つ、GRUセル 1 9 0 0 の一実装の別の例）を図 2 1 に示す。図 2 1 において、GRUセル 2 1 0 0 は、VMMアレイ 2 1 0 1 及び活性化関数ブロック 2 1 0 2 を利用しており、シグモイド関数として構成された場合には、0 ~ 1 の数を適用して、入力ベクトルの各成分が出力ベクトルに寄与する程度を制御する。図 2 1 10  
では、シグモイド関数デバイス 1 9 0 1 及び 1 9 0 2、並びに  $\tanh$  デバイス 1 9 0 3 は、同じ物理ハードウェア（VMMアレイ 2 1 0 1 及び活性化関数ブロック 2 1 0 2）を、時分割多重化された方式で共有する。GRUセル 2 1 0 0 はまた、2つのベクトルを乗算するための乗算器デバイス 2 1 0 3 と、2つのベクトルを加算するための加算器デバイス 2 1 0 5 と、1 から入力を減算して出力を生成するための相補デバイス 2 1 0 9 と、マルチプレクサ 2 1 0 4 と、値  $h(t-1) * r(t)$  を、その値がマルチプレクサ 2 1 0 4 を介して乗算器デバイス 2 1 0 3 から出力されるときに保持するためのレジスタ 2 1 0 6 と、値  $h(t-1) * z(t)$  を、その値がマルチプレクサ 2 1 0 4 を介して乗算器デバイス 2 1 0 3 から出力されるときに保持するためのレジスタ 2 1 0 7 と、値  $h^{\wedge}(t) * (1 - z(t))$  を、その値がマルチプレクサ 2 1 0 4 を介して乗算器デバイス 2 1 0 3 から出力されるときに保持するためのレジスタ 2 1 0 8 と、を備える。 20

#### 【 0 0 8 2 】

GRUセル 2 0 0 0 が VMMアレイ 2 0 0 1 及び活性化関数ブロック 2 0 0 2 の複数のセットを含むのに対し、GRUセル 2 1 0 0 は、GRUセル 2 1 0 0 の実施形態において複数の層を表すために使用される、VMMアレイ 2 1 0 1 及び活性化関数ブロック 2 1 0 2 の1つのセットのみを含む。GRUセル 2 1 0 0 は、GRUセル 2 0 0 0 と比較して、VMM及び活性化関数ブロックのために必要とするスペースは 1 / 3 で済むので、GRUセル 2 1 0 0 は、GRUセル 2 0 0 0 よりも必要とするスペースが少ない。

#### 【 0 0 8 3 】

GRUシステムは典型的には複数のVMMアレイを含み、これらは各々、合計器及び活性化関数ブロック及び高電圧生成ブロックなどの、VMMアレイの外側の特定の回路ブロックによって提供される機能を必要とすることが更に理解できる。各VMMアレイのための別個の回路ブロックを提供することは、半導体デバイス内にかなりの量のスペースを必要とし、幾分非効率的であろう。したがって、後述の実施形態では、VMMアレイ自体の外側に必要とされる回路の最小化を試みる。 30

#### 【 0 0 8 4 】

VMMアレイへの入力は、アナログレベル、バイナリレベル、パルス、時間変調パルス、又はデジタルビット（この場合、デジタルビットを適切な入力アナログレベルに変換するためにDACが必要とされる）であり、出力は、アナログレベル、バイナリレベル、タイミングパルス、パルス、又はデジタルビット（この場合、出力アナログレベルをデジタルビットに変換するために出力ADCが必要とされる）であり得る。 40

#### 【 0 0 8 5 】

VMMアレイ内の各メモリセルに関して、各重みWは、単一のメモリセルによって、又は差分セルによって、又は2つのブレンドメモリセル（2つのセルの平均）によって実装することができる。差分セルの場合では、重みWを差分重み（ $W = W + - W -$ ）として実装するために、2つのメモリセルが必要とされる。2つのブレンドメモリセルの場合は、2つのセルの平均として重みWを実装するために2つのメモリセルが必要とされる。

#### 【 0 0 8 6 】

アナログニューロモーフィックメモリシステムに使用される各不揮発性メモリセルは、消去・プログラムに対応して、浮遊ゲート内に電荷、すなわち電子の数、を非常に具体的 50

かつ精確な量で保持しなければならない。例えば、各浮遊ゲートはN個の異なる値のうち  
の1つを保持しなければならない。ここで、Nは、各セルによって示され得る異なる重みの  
個数である。Nの例としては、1 6、3 2、6 4、1 2 8及び2 5 6が挙げられる。

【0087】

VMMシステムでは、メモリセル及びサポート回路に必要とされる空間の全体量を削減  
しながら、可能な限りスループットを増加させ、レイテンシを減少させる必要がある。

【発明の概要】

【0088】

深層学習人工ニューラルネットワーク内のアナログニューラルメモリにおいてアレイを  
複数の部分に分割するための多数の実施形態が開示され、各部分は、その部分に専用の特  
定の回路及び、1つ以上の他の部分と共有される他の回路と、相互作用する。

10

【0089】

【0090】

【0091】

【0092】

【0093】

【0094】

【0095】

【0096】

【0097】

【0098】

【0099】

【0100】

【0101】

【0102】

【0103】

【0104】

【0105】

【0106】

【0107】

【0108】

【0109】

【0110】

【0111】

【0112】

【0113】

【0114】

【0115】

【0116】

【0117】

【0118】

【0119】

【0120】

【0121】

【0122】

【0123】

【0124】

【0125】

【0126】

【0127】

20

30

40

50

【 0 1 2 8 】

【 図面の簡単な説明 】

【 0 1 2 9 】

【 図 1 】 人工ニューラルネットワークを例解する図である。

【 図 2 】 先行技術のスプリットゲートフラッシュメモリセルを示す。

【 図 3 】 別の先行技術のスプリットゲートフラッシュメモリセルを示す。

【 図 4 】 別の先行技術のスプリットゲートフラッシュメモリセルを示す。

【 図 5 】 別の先行技術のスプリットゲートフラッシュメモリセルを示す。

【 図 6 】 1つ以上の不揮発性メモリアレイを利用する例示的な人工ニューラルネットワークの様々なレベルを例解する図である。

10

【 図 7 】 ベクトルマトリックス乗算システムを例解するブロック図である。

【 図 8 】 1つ以上のベクトルマトリックス乗算システムを利用する例示的な人工ニューラルネットワークを例解するブロック図である。

【 図 9 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 10 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 11 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 12 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 13 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 14 】 先行技術の長・短期メモリシステムを示す。

【 図 15 】 長・短期メモリシステムで使用する例示的なセルを示す。

20

【 図 16 】 図 15 の例示的なセルの一実施形態を示す。

【 図 17 】 図 15 の例示的なセルの別の実施形態を示す。

【 図 18 】 先行技術のゲート付き回帰型ユニットシステムを示す。

【 図 19 】 ゲート付き回帰型ユニットシステムでの使用のための例示的なセルを示す。

【 図 20 】 図 19 の例示的なセルの一実施形態を示す。

【 図 21 】 図 19 の例示的なセルの別の実施形態を示す。

【 図 22 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 23 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 24 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 25 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

30

【 図 26 A 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 26 B 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 26 C 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 27 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 28 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 29 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 30 】 ベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 31 】 ベクトルマトリックス乗算システムを示す。

【 図 32 】 スプリットベクトルマトリックス乗算システムの一実施形態を示す。

【 図 33 】 スプリットアレイベクトルマトリックス乗算システムの一実施形態を示す。

40

【 図 34 】 スプリットアレイベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 35 】 スプリットアレイベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 36 】 スプリットアレイベクトルマトリックス乗算システムの別の実施形態を示す。

【 図 37 】 ベクトルマトリックス乗算システム内のスプリットアレイの一実施形態を示す。

【 図 38 】 ベクトルマトリックス乗算システム内のスプリットアレイの別の実施形態を示す。

【 図 39 】 ベクトルマトリックス乗算システム内の単一のアレイ及びスプリットアレイの例示的なレイアウトを示す。

【 発明を実施するための形態 】

【 0 1 3 0 】

50

本発明の人工ニューラルネットワークは、CMOS技術及び不揮発性メモリアレイの組み合わせを利用する。

#### VMMシステムの概要

##### 【0131】

図31は、VMMシステム3100のブロック図を示す。VMMシステム3100は、VMMアレイ3101、行デコーダ3102、高電圧デコーダ3103、列デコーダ3104、ビット線ドライバ3105、入力回路3106、出力回路3107、制御論理3108、及びバイアス生成器3109を備える。VMMシステム3100は、チャージポンプ3111、チャージポンプレギュレータ3112、及び高電圧レベル生成器3113を含む、高電圧生成ブロック3110を更に備える。VMMシステム3100は、(プログラム/消去、又は別名重み調整)アルゴリズムコントローラ3114、アナログ回路3115、制御エンジン3116(それは、算術機能、起動機能、埋め込みマイクロコントローラ論理などの特殊機能を含み得る)、及びテスト制御論理3117を更に備える。以下に記載されるシステム及び方法は、VMMシステム3100に実装され得る。

10

##### 【0132】

入力回路3106は、DAC(デジタル-アナログ変換器)、DPC(デジタル-パルス変換器、デジタル-時間変調パルス変換器)、AAC(電流-電圧変換器などのアナログ-アナログ変換器、対数変換器)、PAC(パルス-アナログレベル変換器)、又は任意の他の種類の変換器などの回路を含み得る。入力回路3106は、正規化、線形若しくは非線形アップ/ダウンスケーリング関数、又は算術関数を実装し得る。入力回路3106は、入力レベルのための温度補償関数を実装し得る。入力回路3106は、ReLU又はシグモイドなどの活性化関数を実装し得る。出力回路3107は、ADC(ニューロンアナログ出力をデジタルビットに変換するための、アナログ-デジタル変換器)、AAC(電流-電圧変換器などのアナログ-アナログ変換器、対数変換器)、APC(アナログ-パルス変換器、アナログ-時間変調パルス変換器)、電流-電圧変換器、又は任意の他の種類の変換器などの回路を含み得る。出力回路3107は、ReLU又はシグモイドなどの活性化関数を実装し得る。出力回路3107は、ニューロン出力の統計的正規化、正則化、アップ/ダウンスケーリング/ゲイン関数、統計的丸め、又は算術関数(例えば、加算、減算、除算、乗算、シフト、ログ)を実装し得る。出力回路3107は、アレイの電力消費をほぼ一定に保つために、又はIVの傾斜をほぼ同じに保つことによつてアレイ(ニューロン)出力の精度を高めるために、ニューロン出力又はアレイ出力(ビット線出力など)のための温度補償関数を実装し得る。

20

30

##### 【0133】

図32~図36は、VMMシステム3100といくつかの共通性を含むが、いくつかの修正も含むVMMシステムの実施形態を示す。

##### 【0134】

図32は、VMMシステム3200を示す。VMMシステム3200は、アレイ3201、共有行デコーダ3202、共有高電圧デコーダ3203、列デコーダ3204及び3205、(行)入力回路3220、出力回路3206及び3207、並びに共有ビット線ドライバ3208を備える。共有行デコーダ3202は、アレイ3201内の全ての行に結合され、選択された行に電圧を印加する。共有高電圧デコーダ3203は、アレイ3201内の全ての行に選択的に結合され得る。共有高電圧デコーダ3203は、任意選択的に、アレイ内の全ての行に選択的に結合され得る制御ゲート高電圧デコーダ3231と、アレイ内の全ての行に選択的に結合され得る共有消去ゲート高電圧デコーダ3232とを備える。入力回路3220は、例えば、図31の入力回路3106と同様である。出力回路3206及び3207の回路及び機能は各々、例えば、図31の出力回路3107の回路及び機能と同様である。VMMシステム3100とは異なり、VMMシステム3200では、特定の動作が異なる回路のセット間で分割される。具体的には、アレイ3201内の列の半分(例えば、全ての奇数列)が列デコーダ3204及び出力回路3206によつて動作され、アレイ3201内の列の他の半分(例えば、全ての偶数列)が列デコーダ3

40

50

205及び出力回路3207によって動作される。したがって、出力回路3206は、読み出し動作中に列の第1の半分における1つ以上の列から第1の出力を生成するために列デコーダ3204に結合され、出力回路3207は、読み出し動作中に列の第2の半分における1つ以上の列から第2の出力を生成するために列デコーダ3207に結合される。この実施形態では、プログラム動作又は消去動作中に、全ての列が複数の共有ビット線ドライバ3208に結合される。これは、複数のビット線が併行して読み出されることを可能にする。つまり、列デコーダ3204及び出力回路3206に結合された複数のビット線と、列デコーダ3205及び出力回路3207に結合された複数のビット線とが、読み出し動作のために、複数の共有ビット線ドライバ3208によって同時に有効にされる。したがって、これは、アレイ3201を読み出すためのスループットを増加させる。代替的に、読み出し動作は同時である必要はない。

10

**【0135】**

任意選択的に、図39を更に参照すると、連続拡散を、アレイの上半分と下半分との間で実装することができる。

**【0136】**

図33は、VMMシステム3300を示す。VMMシステム3300は、アレイ3301a及び3301b、行デコーダ3302、共有高電圧デコーダ3303、列デコーダ3304及び3305、入力回路3320、電流-電圧変換器回路3306及び3307、共有アナログ-デジタル変換器(ADC)3308、並びに共有ビット線ドライバ3309を備える。電流-電圧変換器回路3306又は3307、及び共有ADC回路3308は、図32の出力回路3207の一部である。

20

**【0137】**

VMMシステム3100とは異なり、VMMシステム3300では、特定の動作が異なる回路のセット間で分割される。具体的には、アレイ3301aは列デコーダ3304及び電流-電圧変換器3306によって動作され、アレイ3301bは列デコーダ3305及び電流-電圧変換器3307によって動作される。これは、複数の読み出し動作及び/又はプログラム動作が同時に実行されることを可能にし、読み出し動作又はプログラム動作は、アレイ3301a内の1つ以上のセル及びアレイ3301b内の1つ以上のセルに対して併行して実行され得る。

**【0138】**

電流-電圧変換器回路3306及び3307は両方とも、読み出し動作中に時分割多重化方式で使用される共有アナログ-デジタル変換器3308と、プログラム動作及び消去動作中に使用される共有ビット線ドライバ3309とに結合される。例えば、読み出し動作では、アレイ3301aは有効にされて、かつ列デコーダ3304及び電流-電圧変換器回路3306に結合される一方で、同時に、アレイ3301bは有効にされて、かつ列デコーダ3305及び電流-電圧変換器回路3307に結合される。電流-電圧変換器回路3306及び3307からの出力電圧は、例えば、共有ADC3308内のS/Hコンデンサによってサンプルアンドヘルド(S/H)され、これらのアレイ出力電圧は、時分割多重化された共有ADC3308によってデジタル化(変換)される(電流-電圧変換器回路3306と3307との間で共有されるため)。例えば、2つの電流-電圧変換器回路間で共有される1つのADCに対して、2セットのS/Hコンデンサが使用される。別の実施形態では、1つのADCをN個の電流-電圧変換器回路に使用することができ、この場合、NセットのS/Hコンデンサが使用される。

30

40

**【0139】**

2つの電流-電圧変換器回路間の共有ADCの使用は、図34/図35/図36にも適用することができる。

**【0140】**

図34は、VMMシステム3400を示す。VMMシステム3400は、アレイ3401a及び3401b、共有行デコーダ3402、共有高電圧デコーダ3403、列デコーダ3404及び3405、入力回路3420、出力回路3406及び3407、並びに共

50

有ビット線ドライバ3408を備える。VMMシステム3100とは異なり、VMMシステム3400では、特定の動作が異なる回路のセット間で分割される。具体的には、アレイ3401aは列デコーダ3404及び出力回路3406によって動作され、アレイ3401bは列デコーダ3405及び出力回路3407によって動作される。これは、複数の読み出し動作/又は及びプログラム動作が同時に実行されることを可能にし、読み出し動作又はプログラム動作は、アレイ3401a内の1つ以上のセル及びアレイ3401b内の1つ以上のセルに対して併行して実行され得る。アレイ3401a及び3401bは両方とも、プログラム動作及び消去動作中に使用される共有ビット線ドライバ3408に結合される。

#### 【0141】

図35は、VMMシステム3500を示す。VMMシステム3500は、アレイ3501a、3501b、3501c、及び3501d、行デコーダ3502及び3503、共有高電圧デコーダ3504、列デコーダ3505、3506、3507、及び3508、入力回路3520、出力回路3509、3510、3511、及び3512、並びに共有ビット線ドライバ3513及び3514を備える。共有高電圧デコーダ3504は、アレイ3501a、3501b、3501c、及び3501d内の全ての行に選択的に結合され得る。行デコーダ3502は、アレイ3501a及び3501bによって共有され、これらのアレイ内の全ての行に結合され、かつ選択された行に電圧を印加し、行デコーダ3503は、アレイ3501c及び3501dによって共有され、これらのアレイ内の全ての行に結合され、かつ選択された行に電圧を印加する。

#### 【0142】

VMMシステム3500では、特定の動作は、異なる回路のセット間で分割される。具体的には、アレイ3501aは列デコーダ3505及び出力回路3509によって動作され、アレイ3501bは列デコーダ3507及び出力回路3511によって動作され、アレイ3501cは列デコーダ3506及び出力回路3510によって動作され、アレイ3501dは列デコーダ3508及び出力回路3512によって動作される。これは、複数の読み出し動作/又は及びプログラム動作が4つのアレイ全てにおいて一度に同時に実行されることを可能にし、読み出し動作又はプログラム動作は、アレイ3501a内の1つ以上のセル、アレイ3501b内の1つ以上のセル、アレイ3501c内の1つ以上のセル、及びアレイ3501d内の1つ以上のセルに対して併行して実行され得る。アレイ3501a及び3501bは両方とも、プログラム動作及び消去動作中に共有ビット線ドライバ3513に選択的に結合される。アレイ3501c及び3501dは両方とも、プログラム動作及び消去動作中に共有ビット線ドライバ3514に選択的に結合される。

#### 【0143】

例えば、列デコーダ3505及び出力回路3509がアレイ3501a内の1つ以上の行から第1の出力を生成する第1の読み出し動作を実行することができ、列デコーダ3506及び出力回路3510がアレイ3501c内の1つ以上の行から第2の出力を生成する第2の読み出し動作を実行することができ、列デコーダ3507及び出力回路3511がアレイ3501b内の1つ以上の行から第3の出力を生成する第3の読み出し動作を実行することができ、列デコーダ3508及び出力回路3512がアレイ3501d内の1つ以上の行から第4の出力を生成する第4の読み出し動作を実行することができる。任意選択的に、第1及び第3の読み出し動作は併行して行うことができる。任意選択的に、第2及び第4の読み出し動作は併行して行うことができる。

#### 【0144】

図36は、VMMシステム3600を示す。VMMシステム3600は、アレイ3601a、3601b、3601c、及び3601d、行デコーダ3621、制御ゲートデコーダ3602及び3603、共有高電圧デコーダ3604、列デコーダ3605、3606、3607、及び3608、出力回路3609、3610、3611、及び3612、並びに共有ビット線ドライバ3613及び3614を備える。VMMシステム3600では、特定の動作は、異なる回路のセット間で分割される。具体的には、アレイ3601a

は列デコーダ 3 6 0 5 及び出力回路 3 6 0 9 によって動作され、アレイ 3 6 0 1 b は列デコーダ 3 6 0 7 及び出力回路 3 6 1 1 によって動作され、アレイ 3 6 0 1 c は列デコーダ 3 6 0 6 及び出力回路 3 6 1 0 によって動作され、アレイ 3 6 0 1 d は列デコーダ 3 6 0 8 及び出力回路 3 6 1 2 によって動作される。これは、複数の読み出し動作及び / 又はプログラム動作が 4 つのアレイ全てにおいて一度に同時に実行されることを可能にし、読み出し動作又はプログラム動作は、アレイ 3 6 0 1 a 内の 1 つ以上のセル、アレイ 3 6 0 1 b 内の 1 つ以上のセル、アレイ 3 6 0 1 c 内の 1 つ以上のセル、及びアレイ 3 6 0 1 d 内の 1 つ以上のセルに対して併行して実行され得る。アレイ 3 6 0 1 a 及び 3 6 0 1 b は両方とも、プログラム動作及び消去動作中に共有ビット線ドライバ 3 6 1 3 に選択的に結合される。アレイ 3 6 0 1 c 及び 3 6 0 1 d は両方とも、プログラム動作及び消去動作中に共有ビット線ドライバ 3 6 1 4 に選択的に結合される。

10

#### 【 0 1 4 5 】

図 3 2 ~ 図 3 6 は、読み出しが制御ゲートの行入力によって行われることを示す。代替的に、読み出しはワード線又は消去ゲートで行うことができる。図 3 2 の入力回路 3 2 2 0、図 3 3 の入力回路 3 3 2 0、図 3 4 の入力回路 3 4 2 0、図 3 5 の入力回路 3 5 2 0、及び図 3 6 の入力回路 3 6 2 0 は、図 3 1 の入力回路 3 1 0 6 と同様である。図 3 2 の出力回路 3 2 0 6 / 3 2 0 7、及び図 3 4 の 3 4 0 6 / 3 4 0 7、図 3 5 の 3 5 1 1 / 3 5 1 2 / 3 5 0 9 / 3 5 1 0、及び図 3 6 の 3 6 1 1 / 3 6 1 2 / 3 6 0 9 / 3 6 1 0 は、図 3 1 の出力回路 3 1 0 7 と同様である。

#### 【 0 1 4 6 】

図 3 7 は、VMMアレイ 3 7 0 0 の一部を示す。VMMアレイ 3 7 0 0 は、行 3 7 0 1、3 7 0 2、3 7 0 3、3 7 0 4、3 7 0 5、3 7 0 6、3 7 0 7、及び 3 7 0 8 を備える。行 3 7 0 1、3 7 0 2、3 7 0 5、及び 3 7 0 6 は、消去ゲート線 (EG0) 及びソース線 (SL0) を共有し、行 3 7 0 3、3 7 0 4、3 7 0 7、及び 3 7 0 8 は、消去ゲート線 (EG1) 及びソース線 (SL1) を共有する。加えて、行 3 7 0 1 及び 3 7 0 3 は、制御ゲート線 (CG0 / CG2) を共有し、行 3 7 0 2 及び 3 7 0 4 は、制御ゲート線 (CG1 / CG3) を共有し、行 3 7 0 5 及び 3 7 0 7 は、制御ゲート線 (CG4 / CG6) を共有し、行 3 7 0 6 及び 3 7 0 8 は、制御ゲート線 (CG5 / CG7) を共有する。これらの結合は、異なる行がデコーダ回路を共有することを可能にする。アレイ端子は、選択されていないセルに対する消去又はプログラム電圧ストレスの量を低減することによってプログラム又は消去ディスタープが低減されるように共有される。

20

30

#### 【 0 1 4 7 】

図 3 7 及び図 3 8 のアレイ (以下に記載) では、ニューラル読み出し動作 (複数の行及び複数のビット線が同時にオンである) のための VMMアレイ 3 7 0 0 及び 3 8 0 0 のための行入力は、ワード線にある。ニューラル読み出しのための入力が制御ゲートにある場合、制御ゲートは、同じサブアレイ又はアレイバンク内の複数の行間で共有することができない。

#### 【 0 1 4 8 】

図 3 8 は、アレイ 3 8 0 0 の一部を示す。アレイ 3 8 0 0 は、セクタ 3 8 0 9 及び 3 8 1 9 を備える。セクタ 3 8 0 9 は、行 3 8 0 1、3 8 0 2、3 8 0 3、3 8 0 4、3 8 0 5、3 8 0 6、3 8 0 7、及び 3 8 0 8 を備える。セクタ 3 8 1 9 は、行 3 8 1 1、3 8 1 2、3 8 1 3、3 8 1 4、3 8 1 5、3 8 1 6、3 8 1 7、及び 3 8 1 8 を備える。

40

#### 【 0 1 4 9 】

行 3 8 0 1 (第 1 の行) 及び行 3 8 1 1 (第 2 の行) は、制御ゲート線 (CG0) を共有し (つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結合される)、行 3 8 0 2 及び 3 8 1 2 は、制御ゲート線 (CG1) を共有し (つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結合される)、行 3 8 0 3 及び 3 8 1 3 は、制御ゲート線 (CG2) を共有し (つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結合される)、行 3 8 0 4 及び 3 8 1 4 は、制御ゲート線 (CG3) を共有し (つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結

50

合される)、行3805及び3815は、制御ゲート線(CG4)を共有し(つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結合される)、行3806及び3816は、制御ゲート線(CG5)を共有し(つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結合される)、行3807及び3817は、制御ゲート線(CG6)を共有し(つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結合される)、行3808及び3818は、制御ゲート線(CG7)を共有する(つまり、これらの行内の各セルの制御ゲート端子が同じ制御ゲート線に結合される)。つまり、制御ゲートがセクタ間で共有される。これらの結合は、異なる行がデコーダ回路を共有することを可能にする。アレイ端子は、選択されていないセルに対する消去又はプログラム電圧ストレスの量を低減することによってプログラム又は消去ディスタープが低減されるように共有される。

10

#### 【0150】

行3801(第1の行)、行3802(第3の行)、行3805、及び行3806は、消去ゲート線(EG0)(つまり、これらの行内の各セルの消去ゲート端子が同じ消去ゲート線に結合される)及びソース線(SL0)(つまり、これらの行内の各セルのソース線端子が同じソース線に結合される)を共有し、行3803、3804、3807、及び3808は、消去ゲート線(EG1)(つまり、これらの行内の各セルの消去ゲート端子が同じ消去ゲート線に結合される)及びソース線(SL1)(つまり、これらの行内の各セルのソース線端子が同じソース線に結合される)を共有し、行3811、3812、3815、及び3816は、消去ゲート線(EG0)(つまり、これらの行内の各セルの消去ゲート端子が同じ消去ゲート線に結合される)及びソース線(SL0)(つまり、これらの行内の各セルのソース線端子が同じソース線に結合される)を共有し、行3813、3814、3817、及び行3818は、消去ゲート線(EG1)(つまり、これらの行内の各セルの消去ゲート端子が同じ消去ゲート線に結合される)及びソース線(SL1)(つまり、これらの行内の各セルのソース線端子が同じソース線に結合される)を共有する。

20

#### 【0151】

図39は、単一のアレイ3901(図31のアレイ3101及び図32のアレイ3201など)及びスプリットアレイ3902(図33のアレイ3301a及び3301b、図34のアレイ3401a及び3401b、図35のアレイ3501a、3501b、3501c、及び3501d、並びに図36のアレイ3601a、3601b、3601c、及び3601dなど)の一部の例示的なレイアウトを示す。スプリットアレイ3902は、特定の接点及び金属接続3904が除去され(又は形成されず)、サブアレイ3903a及び3903bを作成することを除いて、アレイ3901と同じ設計に従う。界面における少数のダミー行は、ワード線及び制御ゲートを接地することなどによって無効にされる。これは、フロントエンド層によるプロセス均一性(すなわち、列内の連続列拡散及びソース線内の連続行拡散)を維持し、ポリシリコンは、不揮発性メモリセルの2つのアレイ間(電氣的に分離されたアレイ間)で連続的かつ均一である。これはまた、異なるアレイの物理的分離と比較して、面積オーバーヘッドの低減をもたらす。

30

#### 【0152】

本明細書で使用される場合、「の上方に(over)」及び「に(on)」という用語は両方とも、「に直接」(中間材料、要素、又は間隙がそれらの間に配設されていない)、及び「に間接的に」(中間材料、要素、又は間隙がそれらの間に配設されている)を包括的に含むことに留意されるべきである。同様に、「隣接した」という用語は、「直接隣接した」(中間材料、要素、又は間隙がそれらの間に配設されていない)、及び「間接的に隣接した」(中間材料、要素、又は間隙がそれらの間に配設されている)を含み、「に取り付けられた」は、「に直接取り付けられた」(中間材料、要素、又は間隙がそれらの間に配設されていない)、及び「に間接的に取り付けられた」(中間材料、要素、又は間隙がそれらの間に配設されている)を含み、「電氣的に結合された」は、「に直接電氣的に結合された」(要素と一緒に電氣的に接続する中間材料又は要素がそれらの間にない)、及び

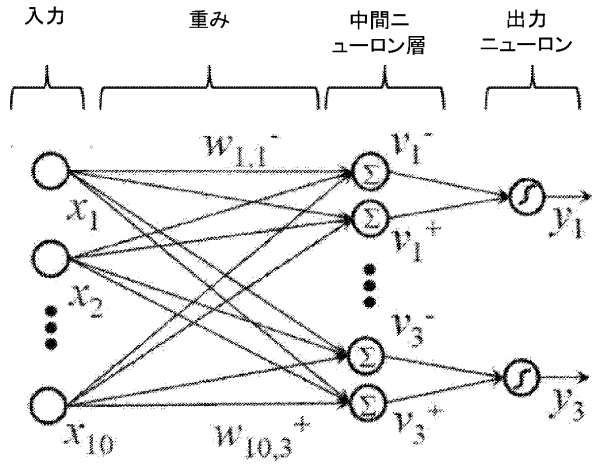
40

50

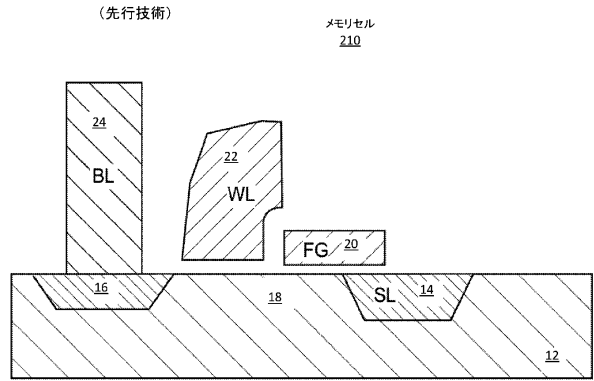
「に間接的に電氣的に結合された」（要素と一緒に電氣的に接続する中間材料又は要素がそれらの間にある）を含む。例えば、要素を「基板の上方に」形成することは、その要素を基板に直接、中間材料／要素をそれらの間に伴わずに形成すること、及びその要素を基板に間接的に1つ以上の中間材料／要素をそれらの間に伴って形成することを含み得る。

【図面】

【図 1】



【図 2】



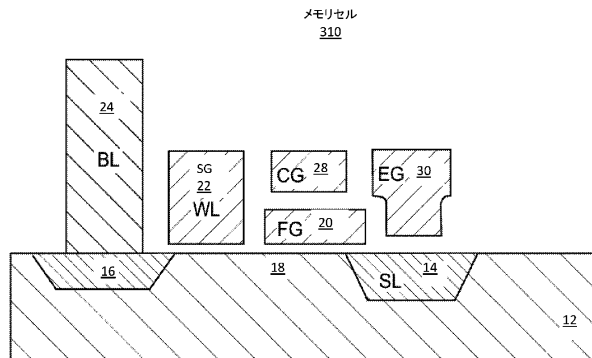
10

20

(先行技術)

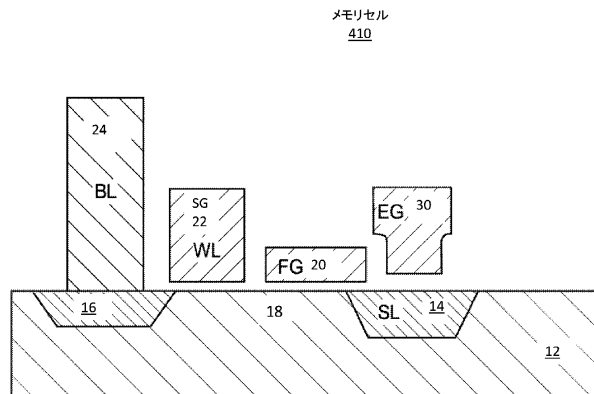
【図 3】

(先行技術)



【図 4】

(先行技術)



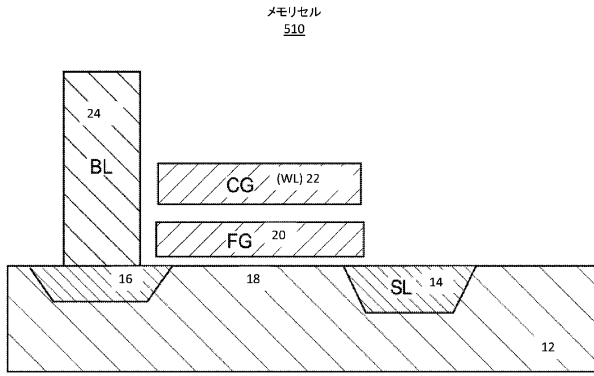
30

40

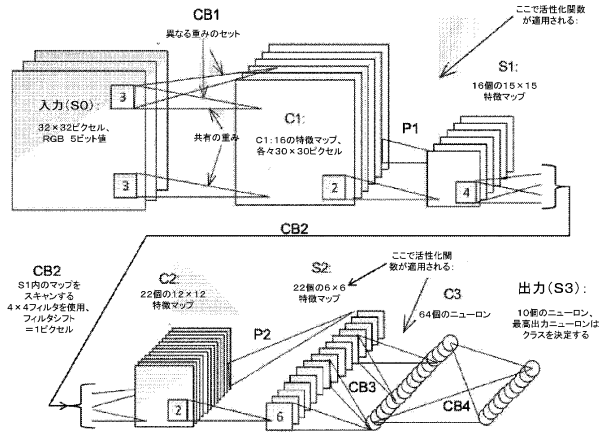
50

【図5】

(先行技術)

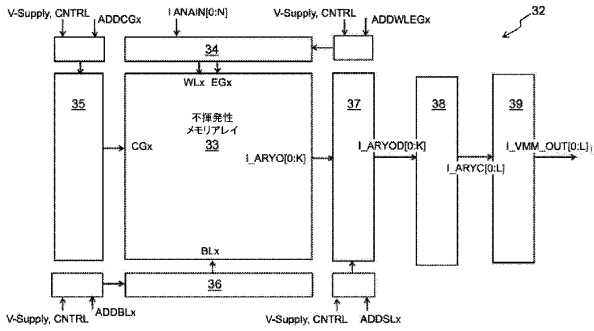


【図6】



10

【図7】



【図8】

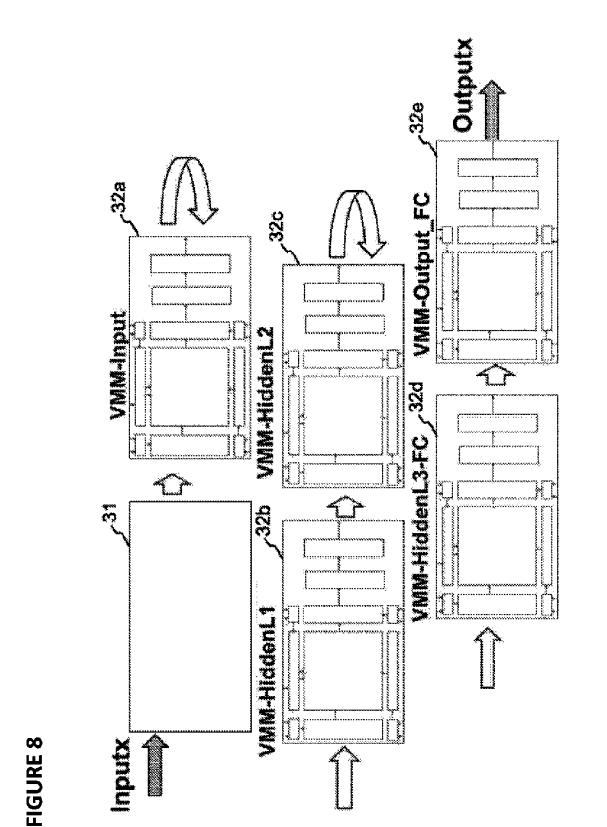


FIGURE 8

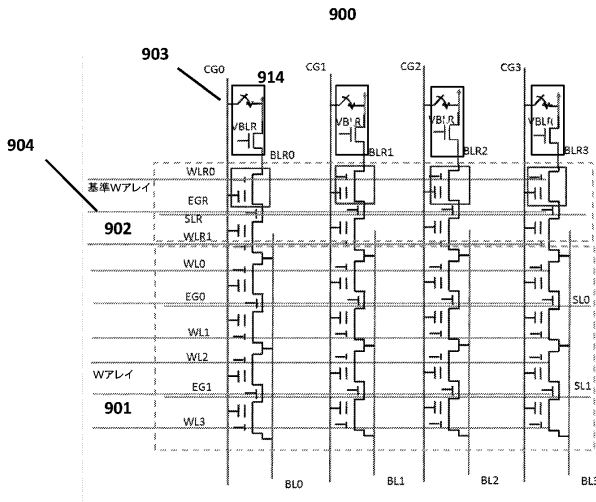
20

30

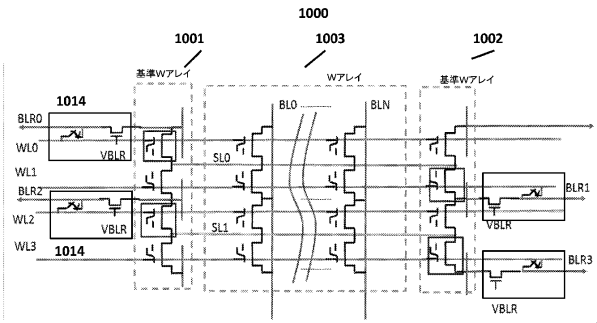
40

50

【図9】

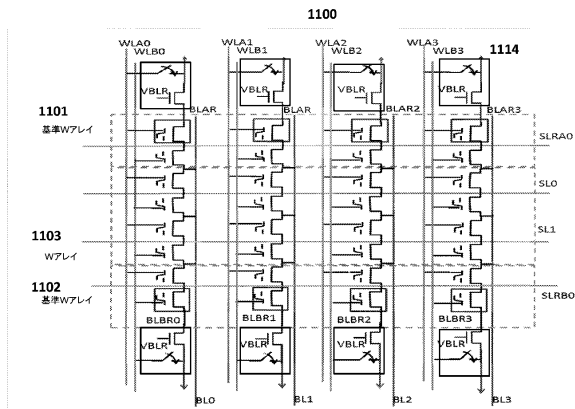


【図10】

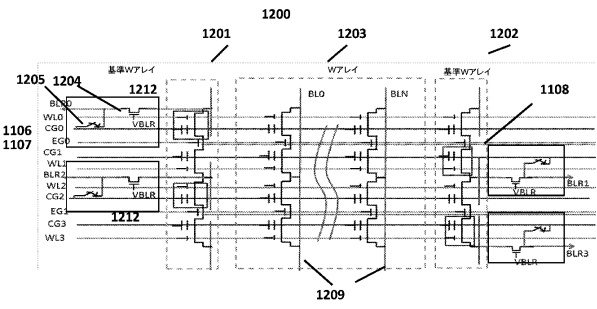


10

【図11】



【図12】



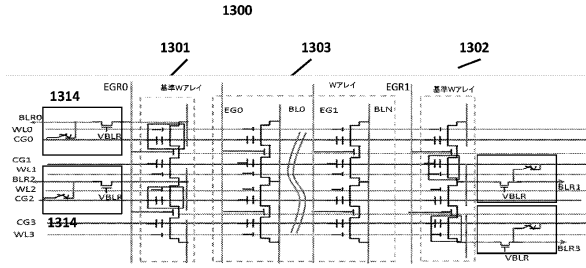
20

30

40

50

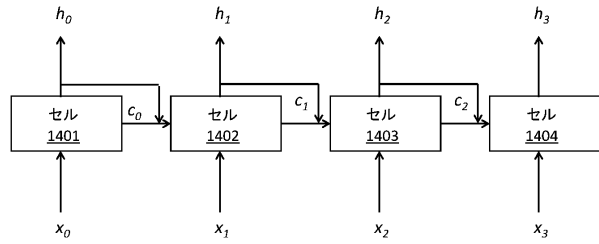
【図13】



【図14】

(先行技術)

LSTM  
1400

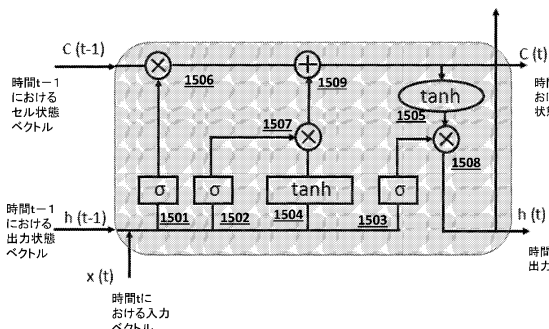


10

【図15】

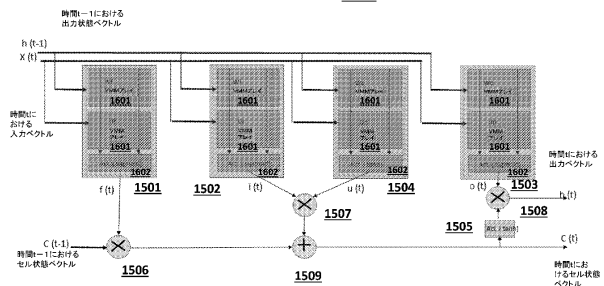
(先行技術)

LSTMセル  
1500



【図16】

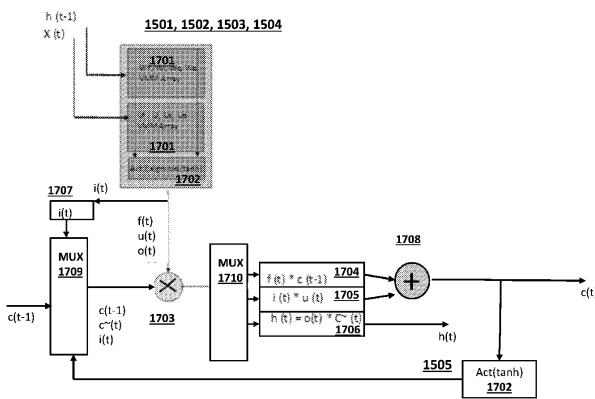
LSTMセル  
1600



20

【図17】

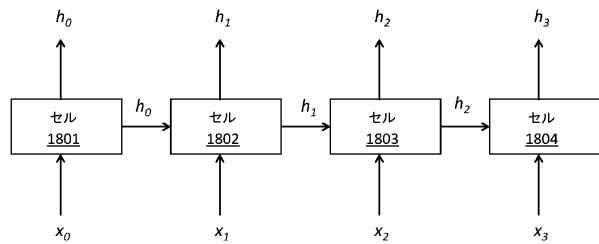
LSTMセル  
1700



【図18】

(先行技術)

GRU  
1800

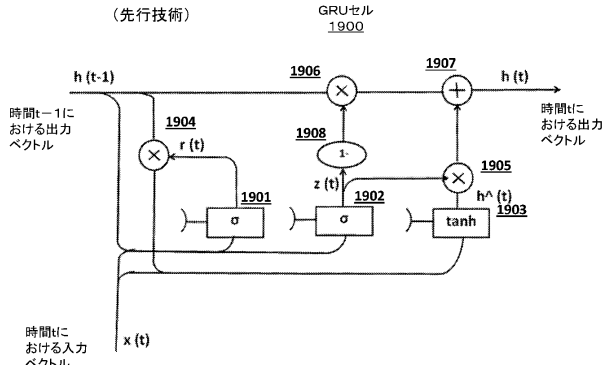


30

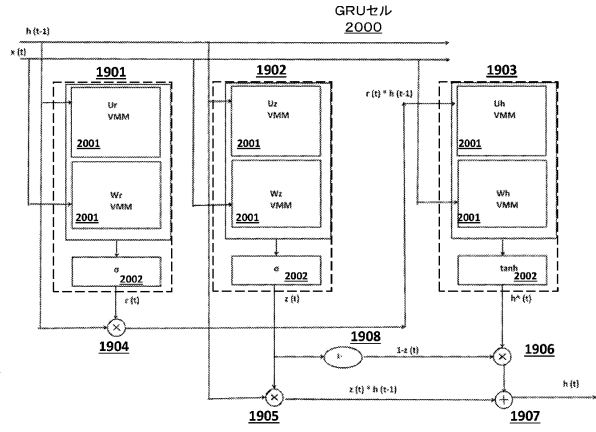
40

50

【図 19】

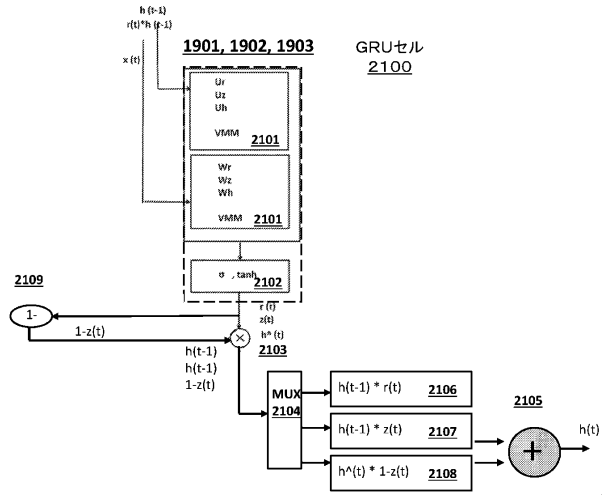


【図 20】

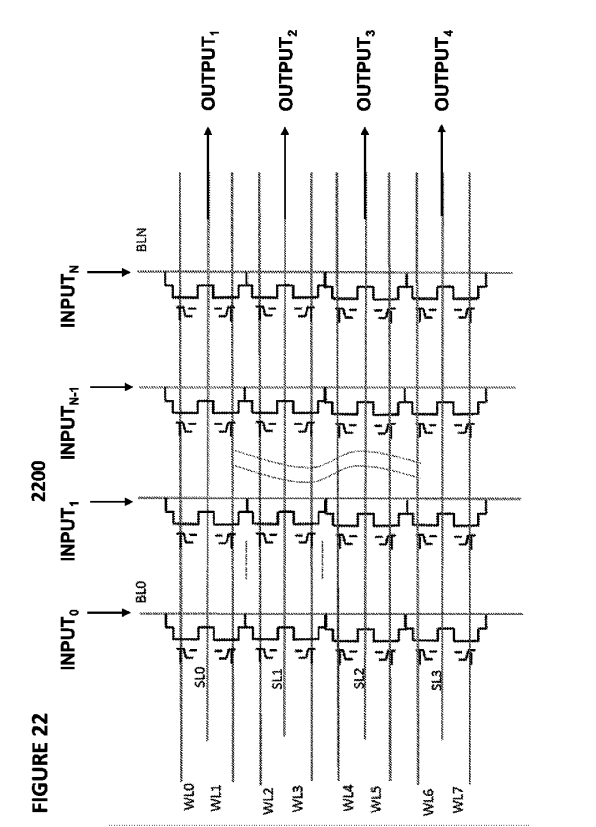


10

【図 21】



【図 22】



20

30

40

50

【 図 2 3 】

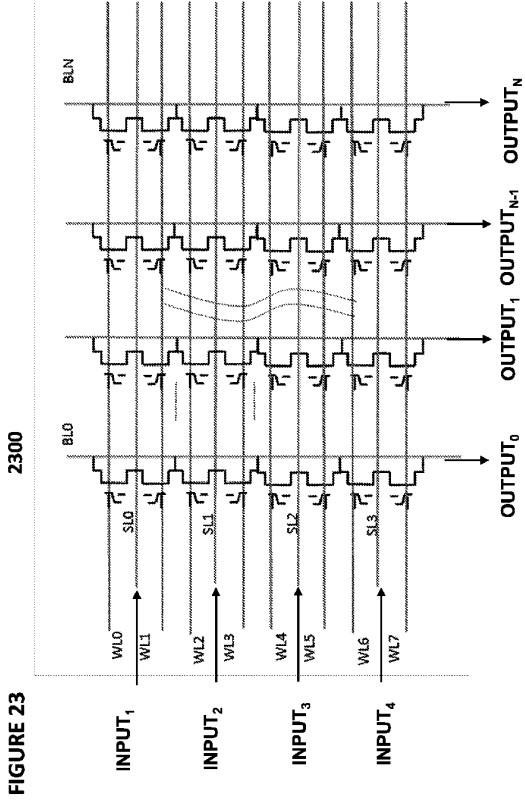


FIGURE 23

【 図 2 4 】

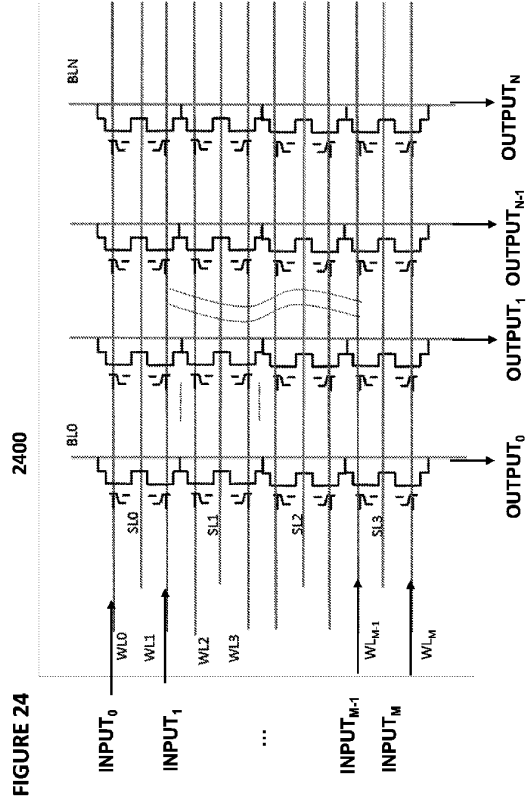


FIGURE 24

【 図 2 5 】

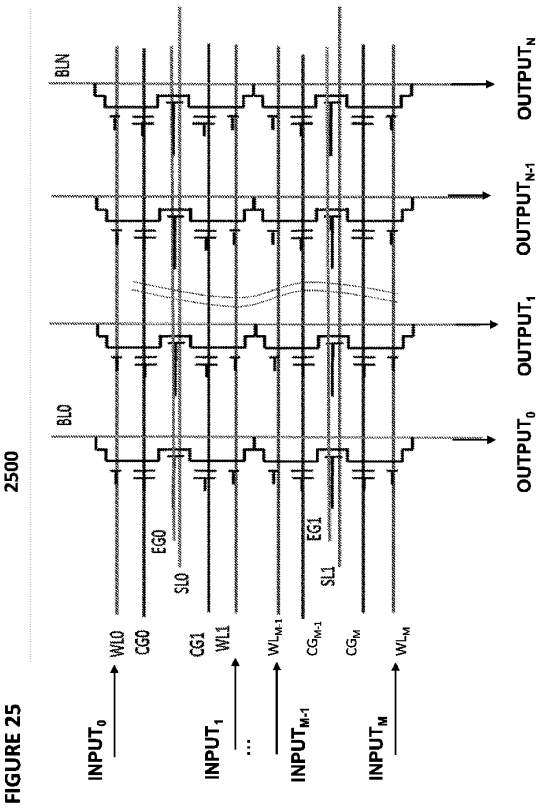


FIGURE 25

【 図 2 6 A 】

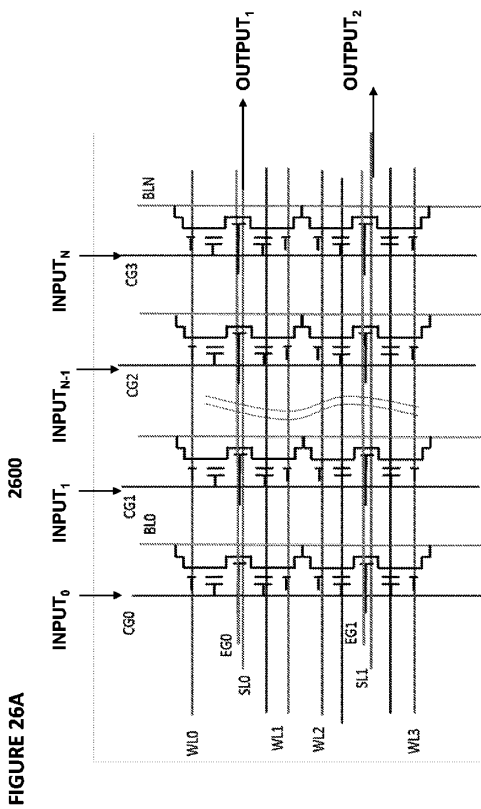


FIGURE 26A

10

20

30

40

50

【 26 B 】

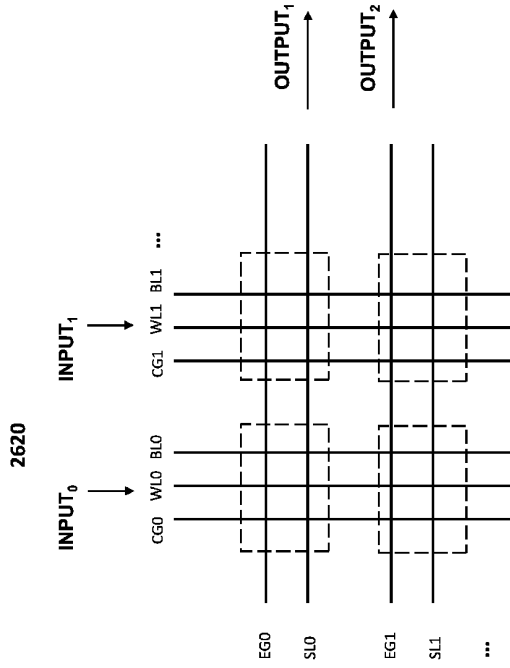
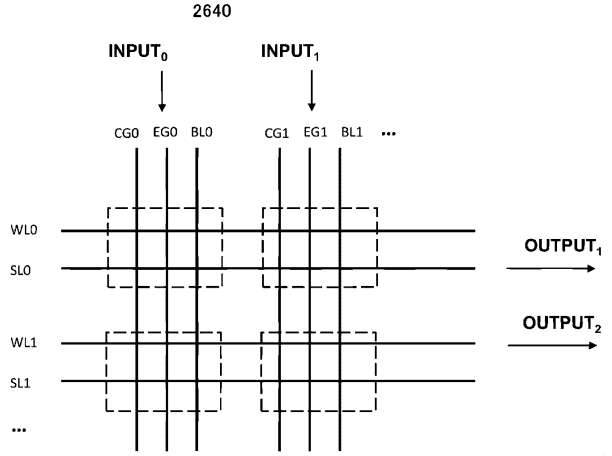


FIGURE 26B

【 26 C 】



10

20

【 27 】

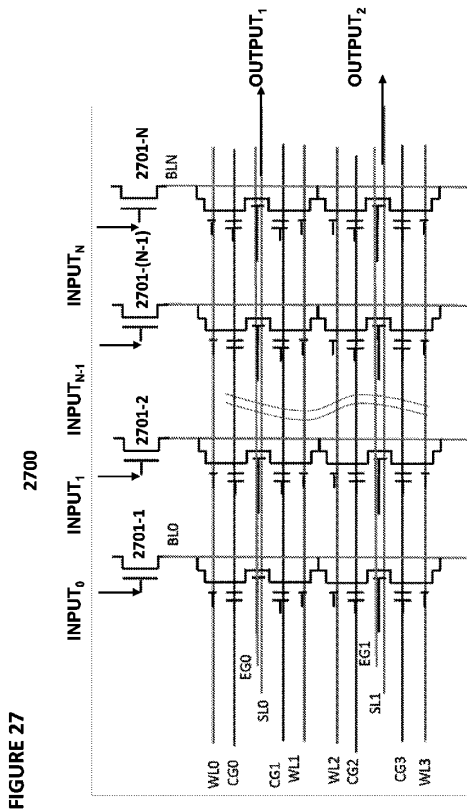


FIGURE 27

【 28 】

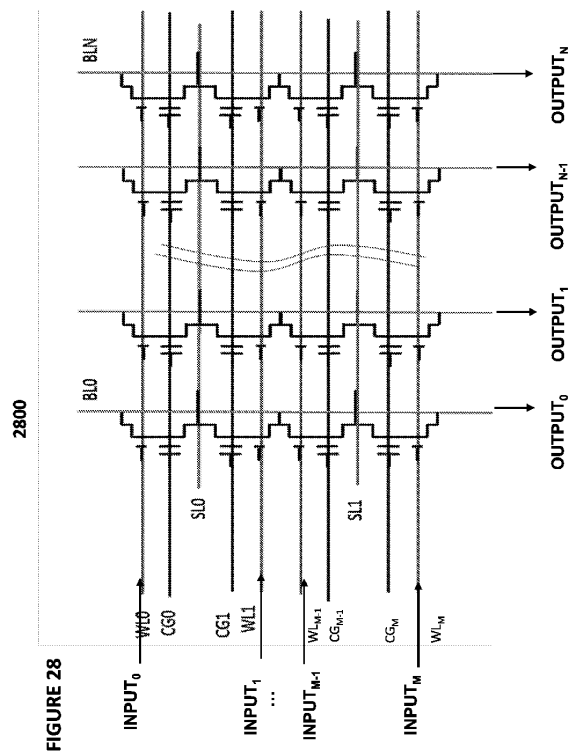


FIGURE 28

30

40

50

【図 29】

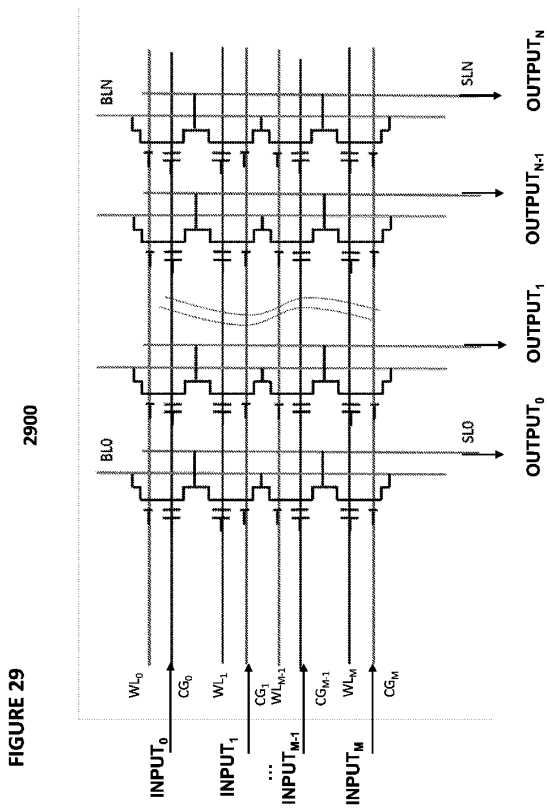


FIGURE 29

【図 30】

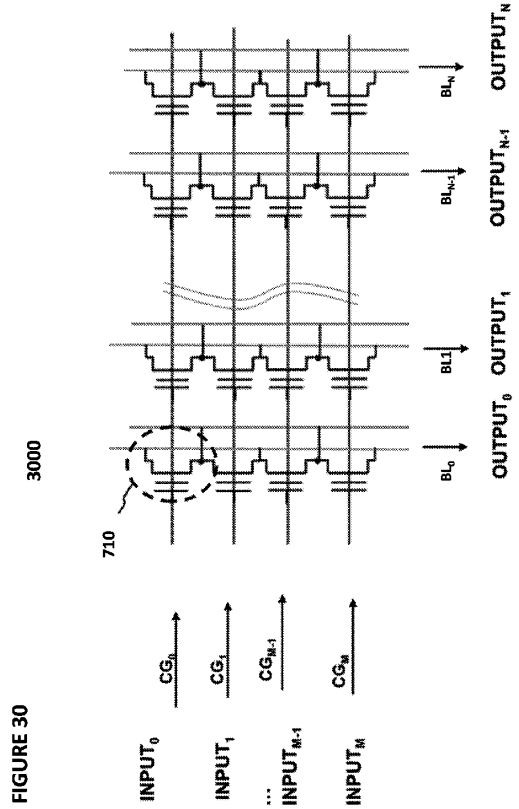
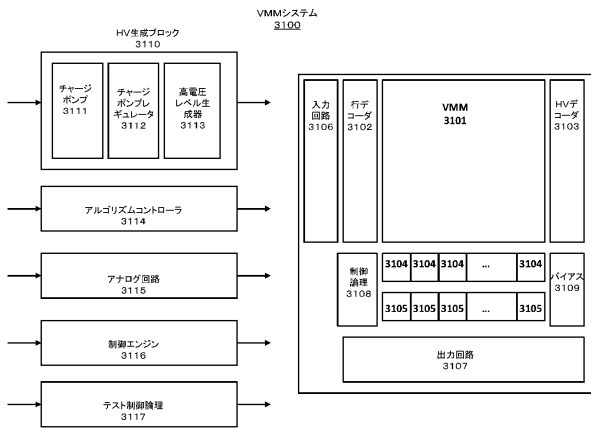
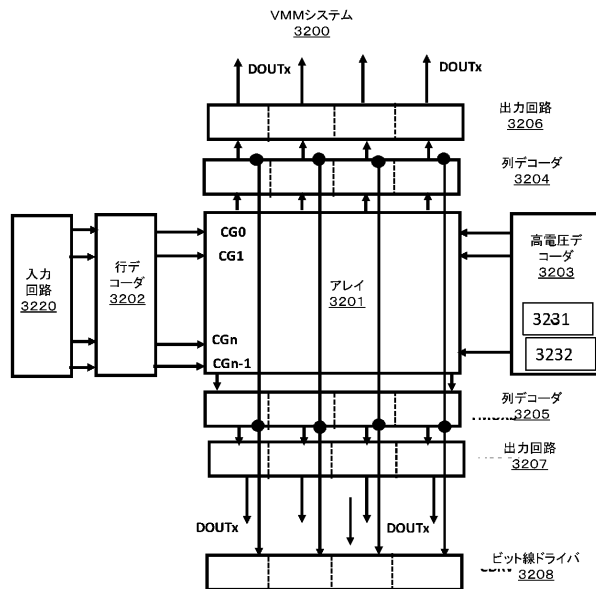


FIGURE 30

【図 31】



【図 32】



10

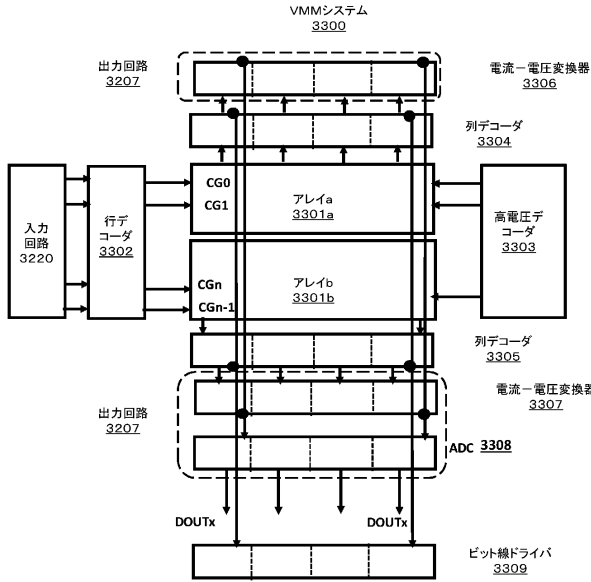
20

30

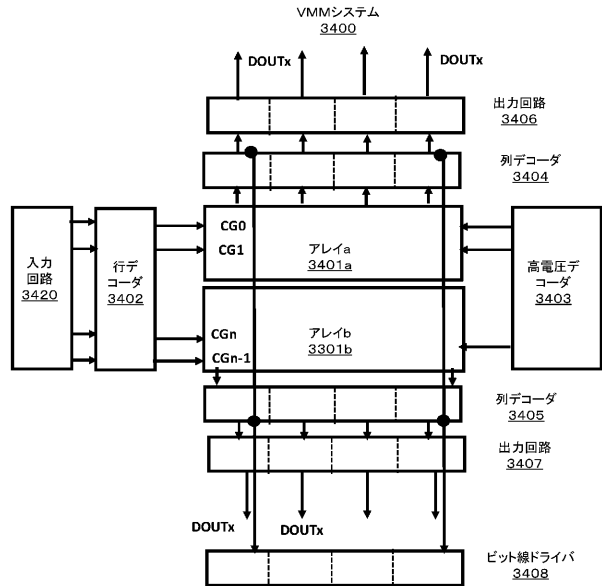
40

50

【図 3 3】

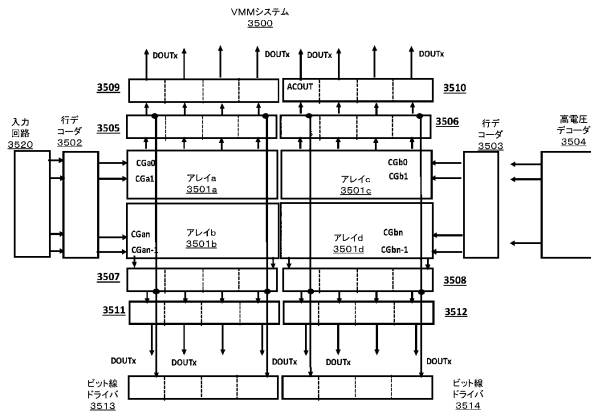


【図 3 4】

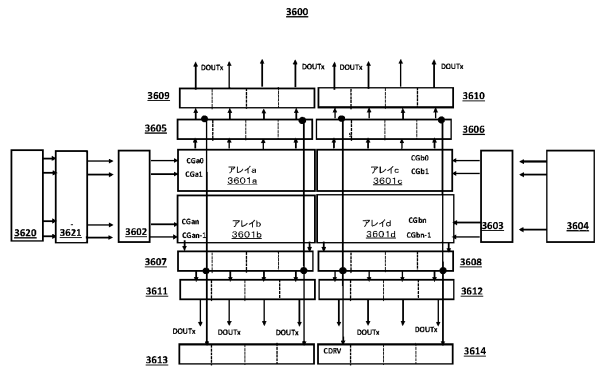


10

【図 3 5】



【図 3 6】



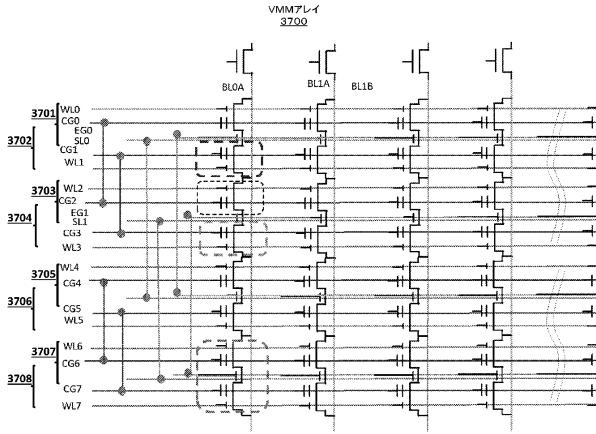
20

30

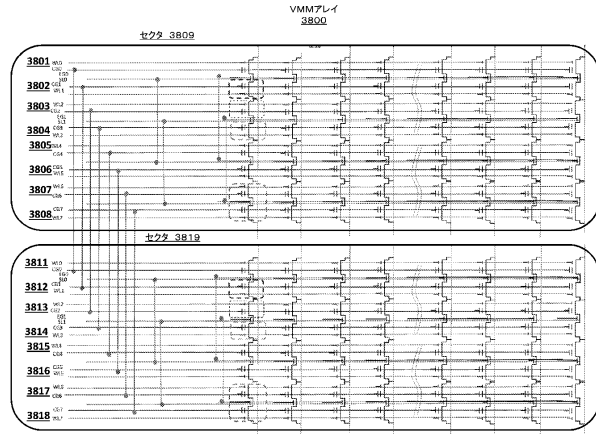
40

50

【図 37】

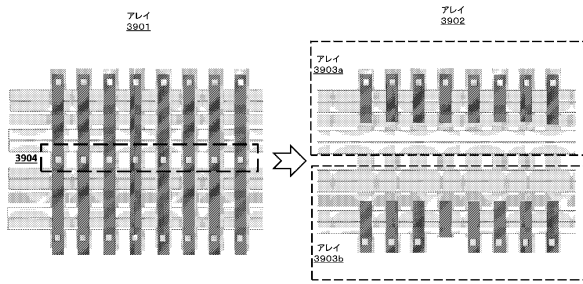


【図 38】



10

【図 39】



20

30

40

50

## フロントページの続き

## (33)優先権主張国・地域又は機関

米国(US)

ニア州、サンノゼ、ダンナ コート 4 3 1

## (72)発明者 ホン、スタンレー

アメリカ合衆国 9 5 1 3 1 カリフォルニア州、サンノゼ、プリストル ベイ コモン 1 8 4 8

## (72)発明者 トリン、ステファン

アメリカ合衆国 9 5 1 4 8 カリフォルニア州、サンノゼ、チエリ プレイス 3 4 3 0

## (72)発明者 リ、アン

アメリカ合衆国 9 5 1 2 1 カリフォルニア州、サンノゼ、リンドミュア ドライブ 3 3 8 5

審査官 後藤 彰

## (56)参考文献 国際公開第2021/015813(WO, A1)

特表2019-511802(JP, A)

国際公開第2021/028723(WO, A2)

米国特許出願公開第2020/0192970(US, A1)

## (58)調査した分野 (Int.Cl., DB名)

G 1 1 C 1 6 / 0 8

G 1 1 C 1 6 / 2 4

G 1 1 C 1 6 / 2 6

G 1 1 C 5 / 0 2

G 1 1 C 1 1 / 5 4