



(12) 发明专利

(10) 授权公告号 CN 101772995 B

(45) 授权公告日 2016. 07. 13

(21) 申请号 200880101950. 6

(51) Int. Cl.

(22) 申请日 2008. 06. 23

H05K 3/46(2006. 01)

(30) 优先权数据

11/824, 484 2007. 06. 29 US

(56) 对比文件

US 2004/0118602 A1, 2004. 06. 24,

US 2006/0012967 A1, 2006. 01. 19,

US 2006/0012967 A1, 2006. 01. 19,

JP 特开平 1-308057 A, 1989. 12. 12,

CN 1549336 A, 2004. 11. 24,

(85) PCT国际申请进入国家阶段日

2010. 02. 04

(86) PCT国际申请的申请数据

PCT/US2008/007978 2008. 06. 23

审查员 刘雪莲

(87) PCT国际申请的公布数据

W02009/005696 EN 2009. 01. 08

(73) 专利权人 泰塞拉公司

地址 美国加利福尼亚

(72) 发明人 B·哈巴

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 郝文博 王琼

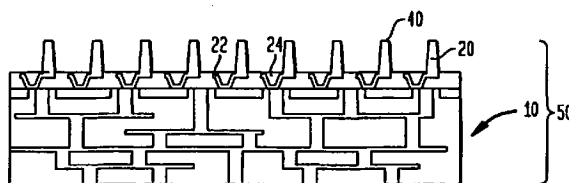
权利要求书3页 说明书4页 附图6页

(54) 发明名称

具有管脚接口的多层布线元件

(57) 摘要

一种形成用于互连元件 (10) 的接触件的方法,包括:(a) 将传导元件 (16) 连接到具有多个布线层的互连元件 (10);(b) 将传导元件 (16) 构图以形成传导管脚 (20);和 (c) 将传导管脚 (20) 与互连元件 (10) 的传导部件电互连。一种多层布线层互连元件 (10),具有暴露的管脚接口,包括:互连元件 (10),具有多个布线层,由至少一个电介质层 (24) 分开,布线层包括多个传导部件,暴露于互连元件 (10) 的第一面;多个传导销 (20),沿着远离第一面的方向伸出;和金属特征 (22),将传导部件与传导管脚 (20) 电互联。



1. 一种为互连元件形成接触件的方法,包括:

(a) 利用设置于传导元件和互连元件之间的电介质层,将传导元件连接到具有多个布线层的互连元件;其中,所述传导元件包括层状金属结构,其包括:外部金属层;内部金属层,其面对互连元件;和第三金属层,其位于内部金属层和外部金属层之间;

(b) 将传导元件的层状金属结构的外部金属层进行构图以形成传导管脚,使得电介质层的主要表面的至少一部分暴露于至少一些传导管脚之间,其中每个传导管脚是通过选择性地蚀刻传导元件而形成,同时所述第三金属层用作蚀刻阻挡层,以使得所述层状金属结构的内部金属层直接接触电介质层;

(c) 在进行上述步骤(a)和(b)之后,在电介质层中形成开口,所述开口从主要表面的暴露部分延伸;和

(d) 在进行上述步骤(c)之后,利用物理气相沉积或者化学镀的方式通过电介质层中的开口将传导管脚与互连元件的传导部件电互连;

所述步骤(b)还包括相对于第三金属层选择性地蚀刻外部金属层,所述步骤(d)还包括将互连元件的传导部件与内部金属层的部分进行互连。

2. 如权利要求1所述的方法,其特征在于,电介质层包括粘结剂。

3. 如权利要求1所述的方法,其特征在于,步骤(d)包括形成在电介质层中的电传导迹线,该迹线在电介质层的开口中延伸,所述迹线将传导部件与传导管脚互连。

4. 如权利要求1所述的方法,其特征在于,在步骤(c)之前,所述方法还包括在第三金属层和内部金属层中形成开口,开口与传导部件对齐。

5. 如权利要求1所述的方法,其特征在于,内部金属层具有第一开口,在步骤(c)之前,所述方法还包括在第三金属层中形成贯通开口,该贯通开口与第一开口和传导部件对齐。

6. 一种形成封装芯片的方法,包括权利要求1所述的为互连元件形成接触件的方法,还包括:

(e) 将微电子元件的接触件与传导管脚电互连。

7. 一种形成封装芯片的方法,包括权利要求1所述的为互连元件形成接触件的方法,其中传导管脚从互连元件的第一面伸出,该方法还包括:

(e) 将微电子元件的接触件与暴露于互连元件第二面的互连元件的第二传导部件电互连,该第二面远离第一面。

8. 一种具有暴露的管脚接口的多布线层互连元件,包括:

互连元件,具有由至少一个第一电介质层分开的多个布线层,其包括多个传导部件,所述多个传导部件暴露于互连元件的第一面;其中,所述互连元件连接到层状金属结构;所述层状金属结构包括:外部金属层;内部金属层,其面对互连元件;和第三金属层,其位于内部金属层和外部金属层之间;

第二电介质层,其覆盖着所述多个传导部件;

多个传导管脚,其沿着远离第二电介质层的方向伸出第二电介质层的上方一高度,所述传导管脚由铜制成,每个传导管脚直接接触第二电介质层、并从所述第二电介质层向上延伸,并且传导管脚由外部金属层形成;和

金属部件,其将互连元件的传导部件与传导管脚电互连,所述金属部件利用物理气相沉积或者化学镀的方式而形成。

9. 如权利要求8所述的元件,其特征在于,互连元件利用粘结剂连接到传导管脚。
10. 如权利要求9所述的元件,其特征在于,粘结剂包括开口,金属部件延伸穿过该开口。
11. 如权利要求8所述的元件,其特征在于,金属部件将传导部件与内部金属层的部分相连。
12. 一种包括权利要求8所述的多布线层互连元件的组件,还包括微电子元件,该微电子元件具有接触件,所述接触件与传导管脚相连。
13. 一种包括权利要求8所述的多布线层互连元件的组件,还包括微电子元件,该微电子元件具有与互连元件的传导部件互连的接触件。
14. 如权利要求13所述的组件,其特征在于,传导部件位于远离传导管脚的第二面。
15. 一种互连元件,所述互连元件连接到层状金属结构;所述层状金属结构包括:外部金属层;内部金属层,其面对互连元件;和被定位成位于内部金属层和外部金属层之间的中间金属层;所述互连元件包括:
- 多层基底,具有多个传导焊盘,所述多层基底具有被至少一个电介质层分开的多个布线层,所述多个布线层包括多个传导部件,所述多个传导部件暴露于多层基底的第一面;
- 多个由铜制成的传导柱,其从中间金属层远离地伸出至中间金属层上方的一高度处;所述传导柱由外部金属层形成;
- 粘接层,位于多层基底和多个传导柱之间,粘接层具有第一和第二表面以及在第一和第二表面之间延伸的多个金属化通路孔,多个金属化通路孔定位成将多个传导柱电连接到多层基底上的多个传导焊盘。
16. 一种包括权利要求15所述的互连元件的组件,还包括微电子元件,该微电子元件具有与传导柱互连的接触件。
17. 一种包括权利要求15所述的互连元件的组件,还包括微电子元件,该微电子元件具有与多层基底的第二传导焊盘互连的接触件,该第二传导焊盘暴露于多层基底的第二面。
18. 如权利要求17所述的组件,其特征在于,第二传导焊盘位于第二面,该第二面远离多层基底的第一面,靠近粘接层。
19. 如权利要求15所述的互连元件,其特征在于,粘接层包括粘结剂。
20. 一种形成互连元件的方法,所述互连元件连接到层状金属结构;所述层状金属结构包括:外部金属层;内部金属层,其面对互连元件;和第三金属层,其位于内部金属层和外部金属层之间;
- 所述方法包括:
- 提供具有多个接触焊盘的多层基底,所述多层基底具有被至少一个电介质层分开的多个布线层,布线层包括多个传导部件,所述多个传导部件暴露于多层基底的第一面;
- 将粘接层沉积在多层基底上;
- 利用粘接层将所述层状金属结构固定到多层基底;
- 从外部金属层选择性蚀刻多个传导柱以作为传导管脚,所述层状金属结构的内部金属层直接接触粘接层;和
- 在连接层内形成多个金属化通路孔,所述金属化通路孔将多层基底的接触焊盘与多个传导柱电连接。

21. 如权利要求20所述的方法,其特征在于,连接层包括电介质层。

22. 如权利要求21所述的方法,其特征在于,电介质层包括粘结剂。

23. 一种形成封装芯片的方法,包括权利要求20所述的形成互连元件的方法,还包括:
将微电子元件的接触件与传导柱电互连。

24. 一种形成封装芯片的方法,包括权利要求20所述的形成互连元件的方法,其中所述传导柱从互连元件的第一面伸出,所述方法还包括:

将微电子元件的接触件与多层基底的第二接触焊盘电互联,该第二接触焊盘暴露于多层基底的第二面,第二面远离第一面。

具有管脚接口的多层布线元件

[0001] 相关申请的交叉引用

[0002] 本申请要求2007年6月29日提交的申请No.11/824,484的优先权,名为“具有管脚接口的多层布线元件”,其公开内容在此整体引为参考。

技术领域

[0003] 本发明大致涉及一种互连微电子装置和支撑互连元件,尤其是多层布线元件。

背景技术

[0004] 在倒装芯片(flip-chip)安装技术中,微电子装置的正面或者接触-支承表面倒装安装到互连元件例如芯片载体或者其它互连元件例如基底。装置上的每个接触件通过焊料接合被连接到基底上相对应的接触焊盘,例如通过将焊球定位在基底或者装置上,将装置与基底以正面朝下定向方式并置,并且瞬间使得焊料回流。倒装技术产生了紧凑的组件,占用的基底面积不大于芯片本身的面积。

[0005] 然而,热应力对于倒装芯片组件的设计提出了很大的挑战。装置接触件和支撑基底之间的焊料接合(solder bond)基本是刚性的。使用中,由于热膨胀和收缩造成的装置和支撑基底的相对尺寸的变化在这些刚性接合中产生了显著的应力,这依次会导致接合的疲劳失效。另外,在将芯片连接到基底之前,难以测试芯片,并且因此难以在完成的组件中保持所需的输出质量水平,特别是其中组件包括多个芯片时。

[0006] 随着每个微电子装置互连数目的增加,互连平面性的问题继续增加。如果互连相对于彼此不是平面的,很可能,许多互连将不会电接触支撑基底上它们并置的接触焊盘,例如标准印刷布线板。因此,需要一种在现有的多层互连元件上制造共面管脚的方法。

发明内容

[0007] 本发明的实施例中,一种为互连元件形成接触件的方法,包括:(a)将传导元件连接到具有多个布线层的互连元件,(b)对传导元件构图从而形成传导管脚,和(c)将传导管脚与互连元件的传导部件(feature)电互连。

[0008] 本发明另一个实施例中,一种多个布线层互连元件,具有暴露的管脚接口,包括:互连元件,具有多个布线层,由至少一个电介质层分开,布线层包括多个传导部件,暴露在互连元件的第一面;多个传导管脚,沿着远离第一面的方向伸出;和金属部件,将传导部件与传导管脚电互连。

附图说明

[0009] 图1A-1E示出了本发明装配电互连的方法的实施例。

[0010] 图2A-2E示出了本发明装配电互连的方法的另一个实施例。

[0011] 图3示意性示出了微电子管脚的侧视图。

[0012] 图4示意性示出了微电子管脚的俯视图。

- [0013] 图5A-5B示意性示出了微电子管脚的侧视图。
- [0014] 图6A-6E示出了本发明装配电互连的方法的另一个实施例。
- [0015] 图7A-7C示出了连接到其它电子结构的本发明组件的实施例。

具体实施方式

[0016] 这里描述了一种在现有多层互连元件上形成共面管脚(pin)的方法。多层互连元件10在图1中示出,具有电介质部分12和传导部分14。传导部分可以是引线、接合焊盘(bond pad)等的形式。

[0017] 多层互连元件10可以由单个金属基底或者多层基底与电介质形成,例如聚酰亚胺,陶瓷,FR4,BT树脂等。多层互连元件10还可以是具有多层布线层等的互连元件。同样参考美国专利No.6,528,784,其描述了多层互连元件的制造,这里引为参考。

[0018] 本发明一个实施例中,金属层16利用粘接剂18被层压到多层互连元件10上,如图1B。金属层16可以是任何适合的金属,如现有技术公知的。例如,该金属可以是任何传导金属,例如铜。之后,金属层16可用于形成微电子接触件或者管脚20,如图1C。

[0019] 微电子管脚20可以如现有技术公知的形成。例如,微电子管脚20可以通过下面方式形成:在金属层16上通过光刻法(photolithographically)构图(patterning)抗蚀层(resist layer),并且通过蚀刻将抗蚀图案(resist pattern)转移到金属层16上。

[0020] 一旦形成了微电子管脚20,其中粘接层18用作蚀刻阻挡层,粘接剂18可使得一部分从其处被去除以允许在微电子管脚20和多层互连元件10的传导部分14之间形成电连接,如图1D。粘接剂18可以利用光刻技术等选择性地去除,如现有技术公知的。

[0021] 然后如图1E,电连接22形成在从粘接剂18去除的部分附近。例如,溅镀,同样公知为物理气相沉积,或者化学镀,之后可以进行光刻构图或者激光钻孔,从而限定连接的位置。一旦形成电连接22,它们可以被电镀以将它们的厚度增大到所需的量。这然后导致电连接22形成在多层互连元件10和微电子管脚20之间。最后,保护介电层或者薄膜24(图1E)可以沉积在多层互连元件10上,覆盖电连接22和微电子管脚20的下部,从而形成组件50,不被破坏。这个保护层24也可以有助于保持微电子管脚20的顶面40的共面性(co-planarity),因为当组件50被搬运时,介电保护层24减少了弯曲,因为它以刚性的方式保持着管脚20。保护层的材料实例包括焊料掩膜等。

[0022] 本发明另一个实施例中,多层互连元件10如图2A所示。之后,如图2B,层状的金属结构26利用粘接剂18连接到多层互连元件10。层状金属结构26可包括第一金属层28,蚀刻阻挡层30和第二金属层32。第一金属层28优选具有的厚度大于第二金属层32。虽然三金属结构被示出,但是层状金属结构26可包括任意数目的层。

[0023] 微电子管脚20可以利用例如光刻构图等技术由第一金属层28形成,如图2C。然而,蚀刻阻挡层保留。

[0024] 制造管脚20的方法将参考下列附图描述。如图3,多个传导管脚200形成为在连续金属布线层210的表面上方突出。管脚200可以由多个不同方法形成。典型的方法在美国专利No.6,884,709中描述,以及美国临时申请No.60/875,730,名为“Chip capacitor embedded PWB”,申请日为2007年1月11日,在此引为参考。

[0025] 在一个这种方法中,多层金属结构的暴露的金属层根据光刻构图光阻层被蚀刻,

从而形成管脚200,蚀刻过程在结构的内部金属层220上停止。内部金属层220包括与暴露金属层不同的一种或多种金属,内部金属层220是这样的组合物,其不会被用于蚀刻暴露金属层的蚀刻剂侵蚀(attacked)。例如,用于蚀刻管脚200的金属层可基本包括铜,连续金属层210还可主要包括铜,内部金属层220可主要包括镍。镍相对于铜提供了良好的选择性,当金属层被蚀刻以形成管脚200时,避免镍层被侵蚀。

[0026] 形成管脚200之后,不同的蚀刻剂然后通过对于下层金属层210选择的方法被施加以去除暴露的内部金属层220。可替换的,可以形成管脚200的另一个方法是通过电镀,其中,通过穿过在电介质层中构图的开口将金属镀到基层金属层210上形成管脚,该电介质层例如光阻层。

[0027] 如图4的平面图,管脚可具有各种不同的形状和尺寸。例如,当从顶部观察时,管脚的形状可以是圆形300,方形的或者长方形310,或者椭圆形320。当管脚具有星形时,相比于当使用其它形状时,它可以允许它们更容易地或者较不容易地压缩。下层金属层平面上方管脚200的高度通常大约15微米和大约250微米之间,对于管脚末端,宽度范围在大约30微米以及以上。

[0028] 图5A和5B示出了管脚可采用的典型的可替换结构。例如,如图5A所示,通过对于蚀刻阻挡金属层420选择地将第一金属层蚀刻,管脚400形成,蚀刻阻挡金属层420覆盖基层金属层440,管脚400被第二金属层410涂覆。第二金属层可包括与第一金属层相同金属、一个或多个其它金属、或者第一金属层中包括的金属与其它金属的组合。特定实施例中,第二金属层410包括例如金的金属,其耐腐蚀并且还还可有助于在第二金属层和与其接触的另一部件的金属层之间形成扩散接合结构。另一个特定实施例中,第二金属层包括低熔化温度金属例如锡或者低熔化温度金属合金例如焊料或者共晶成分(eutectic composition)。可使用作为第二金属层的一个或多个金属的另外实例包括镍、铝或者镍/金。

[0029] 如图5B,传导管脚450的仅末端可利用第二金属层460涂覆,传导管脚的主体可直接接触粘结层470,不用置入蚀刻阻挡层。

[0030] 之后,如图2D,蚀刻阻挡层30、第二金属层32、和粘结剂18的部分可被去除。蚀刻阻挡层30,第二金属层32和粘结剂18可以根据需要同时或顺序地被去除。这些层的去除允许将微电子管脚20与多层互连元件10的传导部分14电连接,如这里所述的。最后,保护性电介质层24,例如上述的(图1E),然后可以沉积在完成结构的顶部上。

[0031] 本发明另一个实施例中,如图6A-6E,层状金属结构26可利用粘结剂18连接到多层互连元件10。然而,这个步骤之前,第二金属层32使得部分从其处移除,从而当层状金属结构26利用粘结剂18连接到多层互连元件10时,一些粘结剂然后可上升到第二金属层32的去除部分中,如图6B和6C所示。因此,在将层状金属结构26附接到多层互连元件10之前,第二金属层32可以已经被构图。

[0032] 之后,微电子管脚20以上述方式形成。接下来,蚀刻阻挡层30和粘结剂18的部分被去除,如图6D。然后,电连接22形成,其将微电子管脚20与多层互连元件10的传导部分14电连接。最后,保护层24可以沉积以形成组件50。

[0033] 这里描述的方法和结构对于将芯片倒装安装到暴露的管脚接口是有利的,具有基板栅格阵列(LGA)或者球栅阵列(BGA),例如图7A所示的。芯片还可在与微电子管脚20相反的一侧上安装到组件50,如图7B。另外,方法和结构还对于倒装芯片或者引线接合微接触件

是有利的,如图7C。完成的组件可以是电路板,或者可以是连接到芯片的电路板。另外,完成的组件可以用于互连到另一个电路板或者芯片。

[0034] 虽然已经参考特定实施例描述了本发明,但是应当理解,这些实施例仅仅是示意性的说明本发明原理和应用。因此应当理解,在不脱离权利要求限定的本发明精神和范围情况下可以对说明性实施例和其它设置作出各种变化。

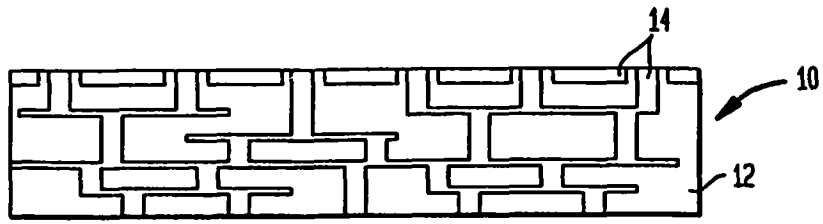


图1A

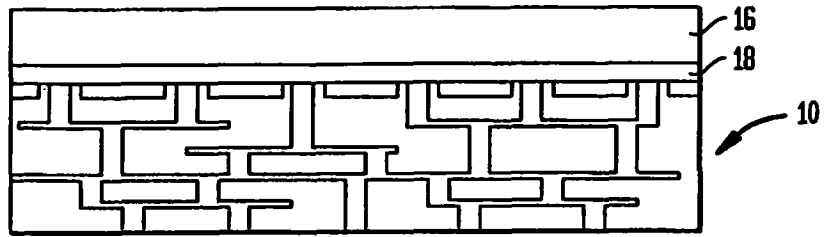


图1B

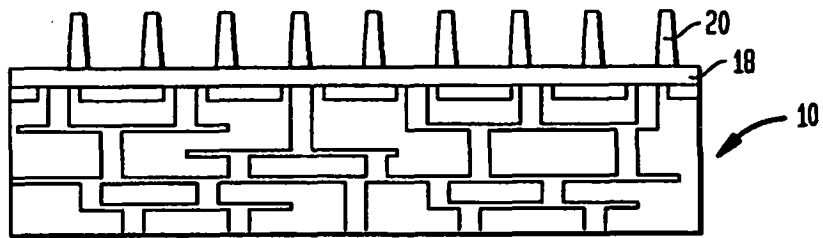


图1C

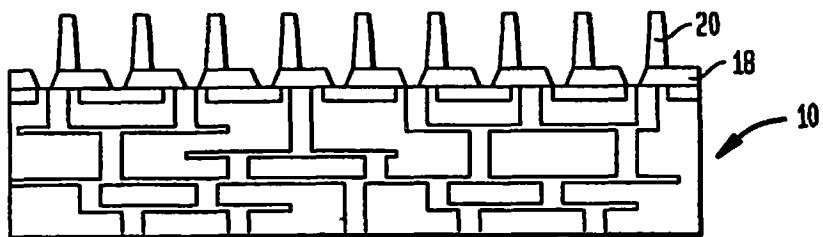


图1D

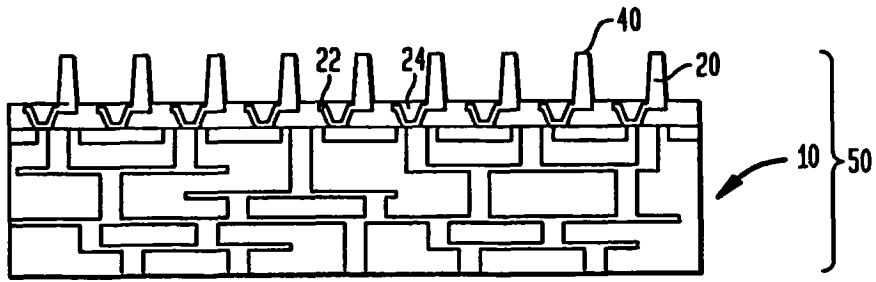


图1E

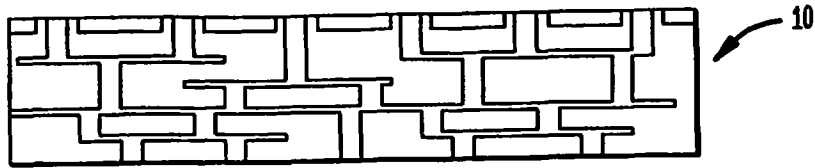


图2A

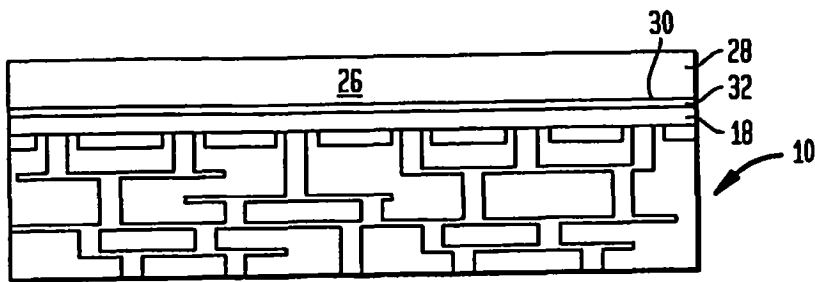


图2B

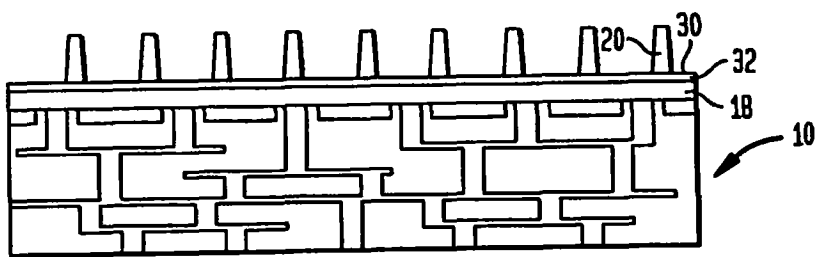


图2C

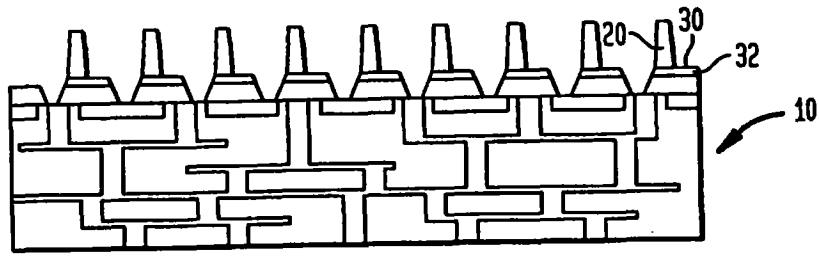


图2D

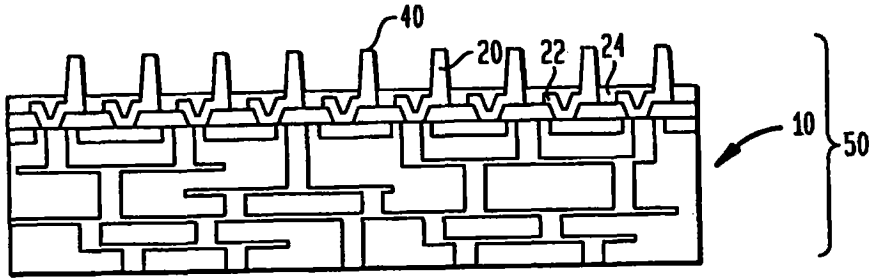


图2E

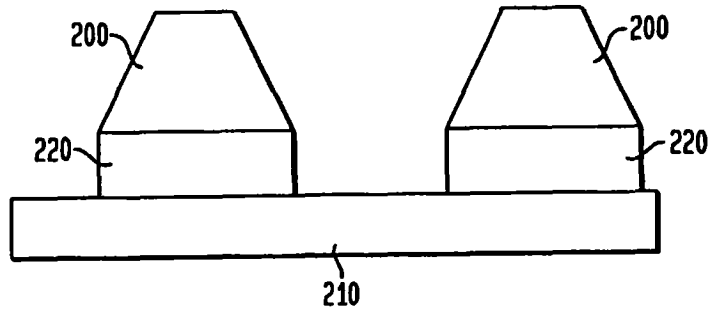


图3

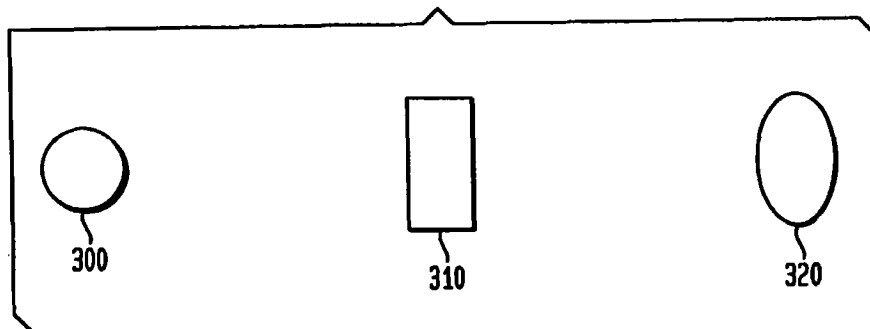


图4

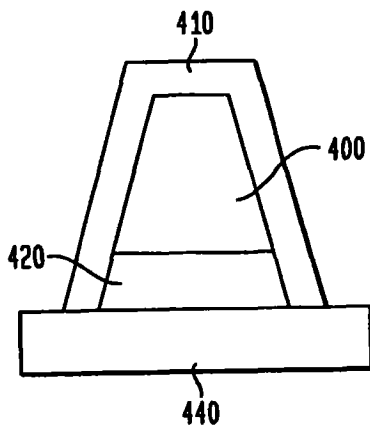


图5A

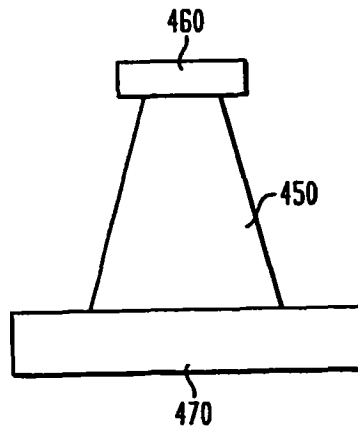


图5B

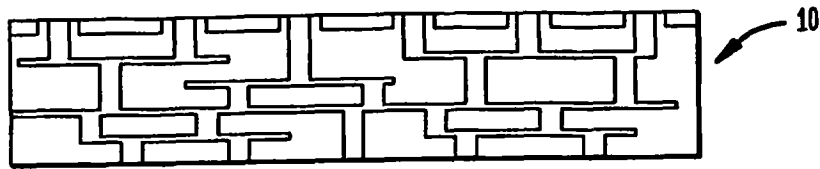


图6A

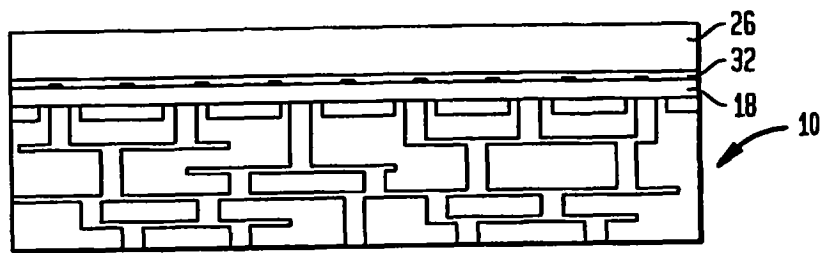


图6B

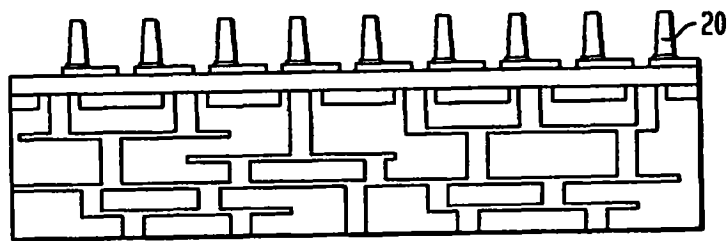


图6C

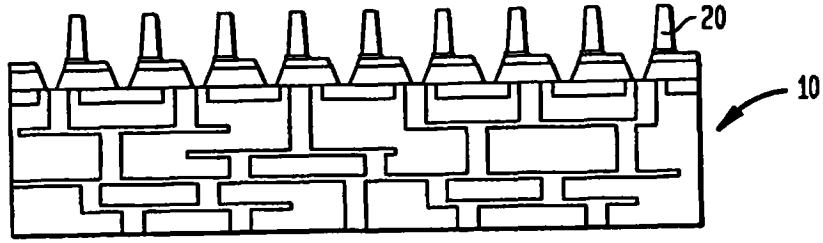


图6D

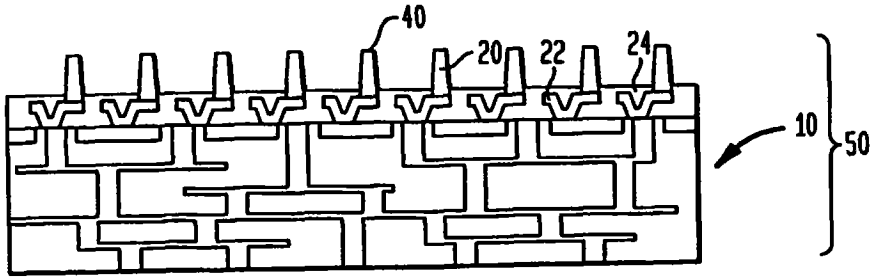


图6E

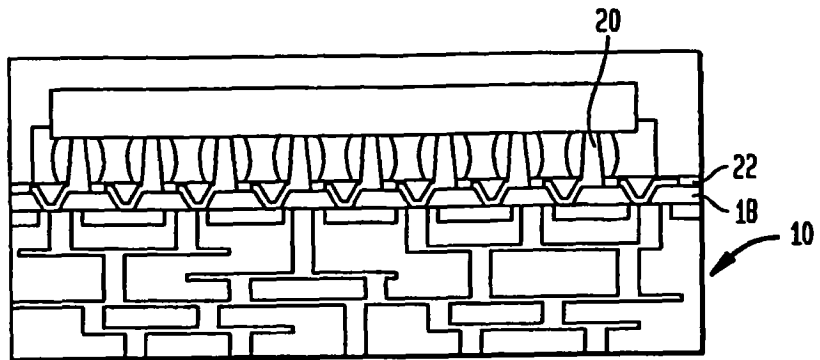


图7A

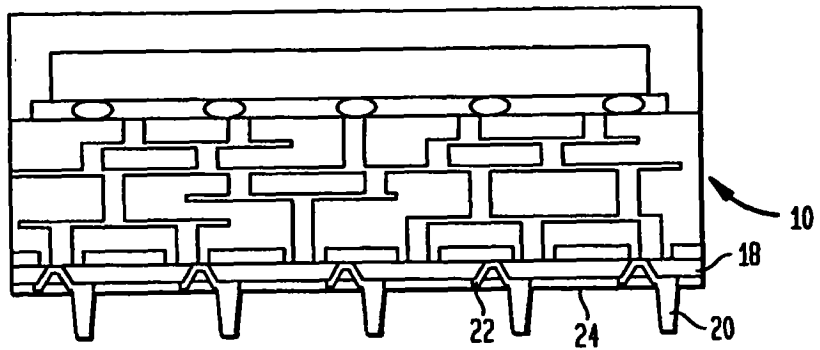


图7B

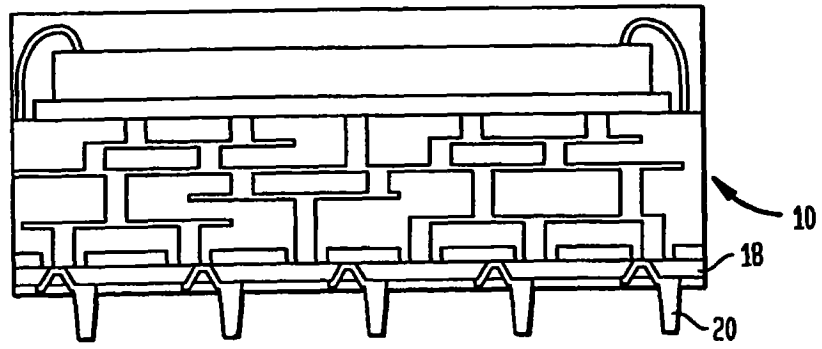


图7C