



(12)发明专利

(10)授权公告号 CN 107817216 B

(45)授权公告日 2020.06.02

(21)申请号 201711049462.2

G01N 21/95(2006.01)

(22)申请日 2017.10.31

G05B 19/042(2006.01)

(65)同一申请的已公布的文献号

审查员 张晶

申请公布号 CN 107817216 A

(43)申请公布日 2018.03.20

(73)专利权人 武汉精测电子集团股份有限公司

地址 430070 湖北省武汉市洪山区书城路

48#(北港工业园)1栋11层

(72)发明人 沈亚非 欧昌东 邓标华 汪舟

梅林海 董文忠 唐文天 李波

(74)专利代理机构 武汉开元知识产权代理有限公司

公司 42104

代理人 黄行军

(51)Int.Cl.

G01N 21/01(2006.01)

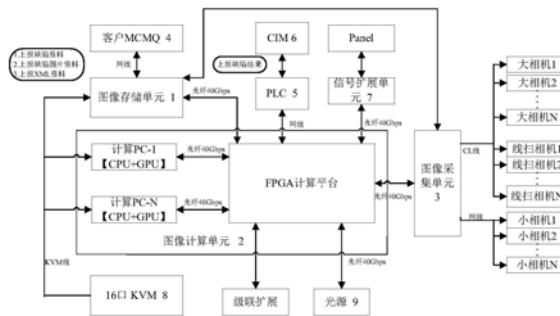
权利要求书3页 说明书10页 附图5页

(54)发明名称

一种基于CPU+GPU+FPGA架构的自动光学检测系统

(57)摘要

本发明公开了一种基于CPU+GPU+FPGA架构的自动光学检测系统。它包括图像存储单元、图像计算单元和图像采集单元,所述图像存储单元具有第一通信接口和第二通信接口,所述图像计算单元具有第一光纤接口、第二光纤接口、第三光纤接口和第四光纤接口,所述图像采集单元具有第三通信接口和相机接口;所述图像计算单元通过第一光纤接口接收图像存储单元发送的配置参数及测试命令、向图像存储单元发送测试结果,通过第二光纤接口接收图像采集单元的数据、向图像采集单元发送配置参数及测试命令,通过第三光纤接口控制点屏信号生成,通过第四光纤接口控制IO光源。本发明具有结构简单、成本低、稳定性好,协调能力好,计算处理能力强等优点。



CN 107817216 B

1. 一种基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:包括图像存储单元、图像计算单元和图像采集单元,所述图像存储单元具有第一通信接口和第二通信接口,所述图像计算单元具有第一光纤接口、第二光纤接口、第三光纤接口和第四光纤接口,所述图像采集单元具有第三通信接口和相机接口;

所述图像存储单元通过第一通信接口向图像计算单元下发配置参数和测试命令、接收图像计算单元发送的测试结果,通过第二通信接口接收采集单元的数据;

所述图像计算单元通过第一光纤接口接收图像存储单元发送的配置参数及测试命令、向图像存储单元发送测试结果,通过第二光纤接口接收图像采集单元的数据、向图像采集单元发送配置参数及测试命令,通过第三光纤接口控制点屏信号生成,通过第四光纤接口控制I/O光源,图像计算单元包括FPGA计算平台和计算PC,FPGA计算平台与计算PC、图像存储单元、图像采集单元之间均通过光纤方式进行通信与数据交互,FPGA计算平台为加速图像前处理的基于FPGA的计算处理板卡,计算PC包括实现图像后处理的CPU和GPU;

所述图像采集单元通过第三通信接口输出图像数据、接收配置参数及测试命令,通过相机接口接收相机数据、向相机发送配置参数和测试命令。

2. 根据权利要求1所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述图像存储单元包括

主控PC,用于通过人机交互进行参数配置、输出配置参数及测试命令,用于接收FPGA存储平台的测试结果并上报;

FPGA存储平台,用于接收图像采集单元数据、将接收的数据进行无损压缩后发送至磁盘阵列,用于接收图像计算单元的测试结果并输出,用于将接收的配置参数输出至图像采集单元,用于根据存储的数据进行图像数据检索;

磁盘阵列,用于存储数据。

3. 根据权利要求2所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述FPGA存储平台包括

数据交互模块,用于接收主控PC发送的配置参数,用于将接收的图像计算单元的测试结果反馈至主控PC;

图像数据接收/发送模块,用于接收图像采集单元数据并输出至数据无损压缩模块,用于接收配置参数并发送至图像采集模块,用于接收图像计算单元的测试结果;

数据无损压缩模块,用于对接收的数据进行无损压缩后经磁盘存储管理单元存储至磁盘阵列;

数据磁盘存储管理模块,用于管理磁盘阵列的存储、读取功能。

4. 根据权利要求2所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述FPGA存储平台还包括

图像检索管理模块,用于控制读磁盘阵列;

图像数据交换控制模块,具有第四通信接口,用于与外部服务器通信,实现图像检索数据交换、数据通信控制。

5. 根据权利要求1所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述图像计算单元包括FPGA计算平台和计算PC,所述第一光纤接口、第二光纤接口、第三光纤接口和第四光纤接口均设置于FPGA计算平台上,FPGA计算平台还具有与所述计算PC连接的

第五光纤接口,以及实现FPGA计算平台级联扩展的扩展接口。

6. 根据权利要求1或5所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述FPGA计算平台包括中央控制器、图像处理加速器、数据汇总发送模块和DDR内存,

所述中央控制器用于根据设定的指令分别向计算PC和图像处理加速器发送控制命令;

所述计算PC,用于根据控制命令从DDR内存中读取部分图像数据进行计算处理并将处理结果发送至数据汇总发送模块;

所述图像处理加速器用于根据控制命令从DDR内存中读取部分图像进行计算处理,将计算结果发送至数据汇总发送模块;

所述数据汇总发送模块用于将计算PC和图像处理加速器的处理结果进行汇总形成最终的测试结果发送至图像存储模块;

所述DDR内存用于存储需要处理的图像数据及测试结果。

7. 根据权利要求6所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述FPGA计算平台还包括接收配置参数模块、数据接收/参数配置模块、信号扩展模块和IO控制模块,

所述接收配置参数模块用于接收配置参数及测试命令并发送至中央控制器;

所述中央控制器还用于将接收的配置参数发送至数据接收/参数配置模块,将接收的测试命令分别分配至数据接收/参数配置模块、IO控制模块和信号扩展模块;

所述数据接收/参数配置模块用于接收图像采集单元图像数据并存储至DDR内存中,将接收的配置参数及测试命令发送至图像采集单元;

所述信号扩展模块用于根据测试命令实现点屏信号生成与控制;

所述IO控制模块用于根据测试命令实现IO光源控制。

8. 根据权利要求1所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述图像采集单元包括

协议解析模块,用于接收相机数据,并将相机数据按照协议解析出有效的图像数据发送至DDR物理内存中存储为原始图像数据;

DDR物理内存,用于存储原始图像数据和处理图像数据;

图像质量评估与前处理模块,用于根据主控单元控制命令从DDR物理内存中读取原始图像数据,对原始图像数据进行图像前处理,将前处理后的数据发送至DDR物理内存中存储为处理图像数据;

主控单元,根据设定的指令向图像质量评估与前处理和读DDR数据格式转换发送控制命令;

读DDR数据格式转换模块,用于根据主控单元的配置命令从DDR物理内存中读取原始图像数据和/或处理图像数据发送至高速接口数据封包模块,

高速接口数据封包模块,用于将接收的原始图像数据和/或处理图像数据发送至图像存储单元和图像计算单元。

9. 根据权利要求8所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于,所述图像采集单元还包括自动对位对焦曝光模块和相机配置模块,

所述高速接口数据封包模块还用于接收配置参数及测试命令并发送至主控单元;

所述协议解析模块还用于接收相机数据,并将相机数据按照协议解析出有效的图像数

据发送至DDR物理内存;将相机配置参数发送至相机;

所述图像质量评估与前处理模块还用于根据主控单元控制命令对相机数据进行图像采集质量评估,将质量评估结果发送至主控单元,

所述主控单元还用于将接收的配置参数、测试命令及质量评估结果发送至自动对位对焦曝光模块;

所述自动对位对焦曝光模块,用于根据配置参数及质量评估结果实现相机参数设置,并将配置参数及测试命令发送至相机配置模块;

所述相机配置模块,用于将相机配置参数及测试命令发送至协议解析模块。

10. 根据权利要求8或9所述的基于CPU+GPU+FPGA架构的自动光学检测系统,其特征在于:所述协议解析模块包括Camera link协议解析模块、Gige Vision协议解析模块和CLHS协议解析模块,所述相机接口包括多个Camera Link接口、多个Gige接口和多个CLHS接口,所述多个Camera Link接口与Camera link协议解析模块连接,所述多个Gige接口与Gige Vision协议解析模块连接,所述多个CLHS接口与CLHS协议解析模块连接。

一种基于CPU+GPU+FPGA架构的自动光学检测系统

技术领域

[0001] 本发明属于自动光学检测技术领域,具体涉及一种基于CPU+GPU+FPGA架构的自动光学检测系统。

背景技术

[0002] AOI自动光学检测,涉及到光学系统、机构控制系统、点屏控制系统、软体控制系统、图像处理系统等。传统AOI设备基于图像采集卡+PC机的方式,采集卡、PC多,成本高、协调困难,系统稳定性差,扩展不方便,难以用于大尺寸模组检测;并且各TFT-LCD AOI自动光学检测设备厂商仅在一两个领域有技术积累和研发能力,基本上不能完全覆盖全部领域,只能通过2-3家的产品组合在一起搭建成一套完整的AOI自动光学测试系统,该设备的总体负责通常为掌握基于机器视觉图像处理算法的单位。因此,他们均采用的是基于计算机网络的分散控制方案,利用局域网将各设备单元简单集成在一起,如为了满足产线检测TT (Tact Time,每片检测的节拍时间),均采用多台计算机阵列分担负荷进行运算处理,数量一般都会达到10多台。因此,这种简单的系统集成方案不仅系统复杂、成本高,而且稳定性差、效率低,实际达不到预期效果,且几乎不具备可扩展性,已越来越不受面板生产厂商的青睐。

[0003] 现有技术中点屏信号与图像采集处理单元是两个不同系统方案,需要有另外的主控单元,协同控制点屏信号与图像采集处理单元,这样带来整体系统效率下降;每张图像采集卡只能连接1路相机,目前大部分图像采集卡,使用PCIE接口方式与PC通信,这样一台PC能同时支持的采集卡数量有限,会使用大量的图像采集卡及增加PC的数量,不同的PC之间通过主控PC协调与控制,复杂度、系统稳定性都较难以控制,且各PC图像计算处理能力都较差;同时现有AOI检测设备方案,点屏信号、光源与AOI检测系统之间均是独立的系统单元,需要总控制单元协调控制点屏信号生成、光源、AOI检测系统图像采集与处理,控制过程复杂,节拍时间长。

发明内容

[0004] 本发明的目的就是为了解决上述背景技术存在的不足,提供一种能够支持多相机,并实现点屏信号生成、光源控制、图像采集、图像计算处理一体化的基于CPU+GPU+FPGA架构的自动光学检测系统。

[0005] 本发明采用的技术方案是:一种基于CPU+GPU+FPGA架构的自动光学检测系统,包括图像存储单元、图像计算单元和图像采集单元,所述图像存储单元具有第一通信接口和第二通信接口,所述图像计算单元具有第一光纤接口、第二光纤接口、第三光纤接口和第四光纤接口,所述图像采集单元具有第三通信接口和相机接口;

[0006] 所述图像存储单元通过第一通信接口向图像计算单元下发配置参数和测试命令、接收图像计算单元发送的测试结果,通过第二通信接口接收采集单元的数据;

[0007] 所述图像计算单元通过第一光纤接口接收图像存储单元发送的配置参数及测试

命令、向图像存储单元发送测试结果,通过第二光纤接口接收图像采集单元的数据、向图像采集单元发送配置参数及测试命令,通过第三光纤接口控制点屏信号生成,通过第四光纤接口控制IO光源;

[0008] 所述图像采集单元通过第三通信接口输出图像数据、接收配置参数及测试命令,通过相机接口接收相机数据、向相机发送配置参数和测试命令。

[0009] 进一步地,所述图像存储单元包括

[0010] 主控PC,用于通过人机交互进行参数配置、输出配置参数及测试命令,用于接收FPGA存储平台的测试结果并上报;

[0011] FPGA存储平台,用于接收图像采集单元数据、将接收的数据进行无损压缩后发送至磁盘阵列,用于接收图像计算单元的测试结果并输出,用于将接收的配置参数输出至图像采集单元,用于根据存储的数据进行图像数据检索;

[0012] 磁盘阵列,用于存储数据。

[0013] 进一步地,所述FPGA存储平台包括

[0014] 数据交互模块,用于接收主控PC发送的配置参数,用于将接收的图像计算单元的测试结果反馈至主控PC;

[0015] 图像数据接收/发送模块,用于接收图像采集单元数据并输出至数据无损压缩模块,用于接收配置参数并发送至图像采集模块,用于接收图像计算单元的测试结果;

[0016] 数据无损压缩模块,用于对接收的数据进行无损压缩后经磁盘存储管理单元存储至磁盘阵列;

[0017] 数据磁盘存储管理模块,用于管理磁盘阵列的存储、读取功能。

[0018] 进一步地,所述FPGA存储平台还包括

[0019] 图像检索管理模块,用于控制读磁盘阵列;

[0020] 图像数据交换控制模块,具有第四通信接口,用于与外部服务器通信,实现图像检索数据交换、数据通信控制。

[0021] 进一步地,所述图像计算单元包括FPGA计算平台和计算PC,所述第一光纤接口、第二光纤接口、第三光纤接口和第四光纤接口均设置于FPGA计算平台上,FPGA计算平台还具有与所述计算PC连接的第五光纤接口,以及实现FPGA计算平台级联扩展的扩展接口。

[0022] 进一步地,所述FPGA计算平台包括中央控制器、图像处理加速器、数据汇总发送模块和DDR内存,

[0023] 所述中央控制器用于根据设定的指令分别向计算PC和图像处理加速器发送控制命令;

[0024] 所述计算PC,用于根据控制命令从DDR内存中读取部分图像数据进行计算处理并将处理结果发送至数据汇总发送模块;

[0025] 所述图像处理加速器用于根据控制命令从DDR内存中读取部分图像进行计算处理,将计算结果发送至数据汇总发送模块;

[0026] 所述数据汇总发送模块用于将计算PC和图像处理加速器的处理结果进行汇总形成最终的测试结果发送至图像存储模块;

[0027] 所述DDR内存用于存储需要处理的图像数据及测试结果。

[0028] 进一步地,所述FPGA计算平台还包括接收配置参数模块、数据接收/参数配置模

块、信号扩展模块和IO控制模块，

[0029] 所述接收配置参数模块用于接收配置参数及测试命令并发送至中央控制器；

[0030] 所述中央控制器还用于将接收的配置参数发送至数据接收/参数配置模块，将接收的测试命令分别分配至数据接收/参数配置模块、IO控制模块和信号扩展模块；

[0031] 所述数据接收/参数配置模块用于接收图像采集单元图像数据并存储至DDR内存中，将接收的配置参数及测试命令发送至图像采集单元；

[0032] 所述信号扩展模块用于根据测试命令实现点屏信号生成与控制；

[0033] 所述IO控制模块用于根据测试命令实现IO光源控制。

[0034] 进一步地，所述图像采集单元包括

[0035] 协议解析模块，用于接收相机数据，并将相机数据按照协议解析出有效的图像数据发送至DDR物理内存中存储为原始图像数据；

[0036] DDR物理内存，用于存储原始图像数据和处理图像数据；

[0037] 图像质量评估与前处理模块，用于根据主控单元控制命令从DDR物理内存中读取原始图像数据，对原始图像数据进行图像前处理，将前处理后的数据发送至DDR物理内存中存储为处理图像数据；

[0038] 主控单元，根据设定的指令向图像质量评估与前处理和读DDR数据格式转换发送控制命令；

[0039] 读DDR数据格式转换模块，用于根据主控单元的配置命令从DDR物理内存中读取原始图像数据和/或处理图像数据发送至高速接口数据封包模块，

[0040] 高速接口数据封包模块，用于将接收的原始图像数据和/或处理图像数据发送至图像存储单元和图像计算单元。

[0041] 进一步地，所述图像采集单元还包括自动对位对焦曝光模块和相机配置模块，

[0042] 所述高速接口数据封包模块还用于接收配置参数及测试命令并发送至主控单元；

[0043] 所述协议解析模块还用于接收相机数据，并将相机数据按照协议解析出有效的图像数据发送至DDR物理内存；将相机配置参数发送至相机；

[0044] 所述图像质量评估与前处理模块还用于根据主控单元控制命令对相机数据进行图像采集质量评估，将质量评估结果发送至主控单元，

[0045] 所述主控单元还用于将接收的配置参数、测试命令及质量评估结果发送至自动对位对焦曝光模块；

[0046] 所述自动对位对焦曝光模块，用于根据配置参数及质量评估结果实现相机参数设置，并将配置参数及测试命令发送至相机配置模块；

[0047] 所述相机配置模块，用于将相机配置参数及测试命令发送至协议解析模块。

[0048] 更进一步地，所述协议解析模块包括Camera link协议解析模块、Gige Vision协议解析模块和CLHS协议解析模块，所述相机接口包括多个Camera Link接口、多个Gige接口和多个CLHS接口，所述多个Camera Link接口与Camera link协议解析模块连接，所述多个Gige接口与Gige Vision协议解析模块连接，所述多个CLHS接口与CLHS协议解析模块连接。

[0049] 本发明的有益效果是：图像存储单元、图像计算单元、图像采集单元之间相互配合，能够实现图像的存储与检索、兼具人机交互、主控与显示、处理结果分析与上报等功能；能够实现点屏信号生成与信号扩展、光源、图像采集、相机一体化控制功能，节拍时间短，各单

元之间通过光纤方式进行通信与数据交互,数据传输速度快;图像计算单元还可以通过级联方式扩展计算处理能力;且图像计算单元使用CPU+GPU+FPGA架构,充分扩展CPU+GPU单元,增强GPU的处理能力;以FPGA为中心控制器,将需要处理数据分发到不同的GPU处理单元中,分布式处理架构;同时FPGA本身实现图像加速处理器,充分利用FPGA的并行处理能力,将图像处理分割与FPGA+各GPU之间进行协调处理,有效提高了图像处理计算能力;能支持多种相机接口,支持自动对位、对焦、自动进行曝光参数设置,具有图像质量评估、图像前处理等功能。整个系统架构具有结构简单、成本低、稳定性好,协调能力好,计算处理能力强等优点。

附图说明

[0050] 图1为本发明的原理框图。

[0051] 图2为本发明调机的流程图。

[0052] 图3为本发明测试的流程图。

[0053] 图4为本发明图像存储单元的原理框图。

[0054] 图5为本发明图像存储单元工作的流程图。

[0055] 图6为本发明图像计算单元的原理框图。

[0056] 图7为本发明图像计算单元工作的流程图。

[0057] 图8为本发明图像采集单元的原理框图。

[0058] 图9为本发明图像采集单元工作的流程图。

[0059] 图中:1-图像存储单元;1.1-主控PC、1.2-FPGA存储平台;1.3-磁盘阵列;1.4-数据交互模块;1.5-图像数据接收/发送模块;1.6-数据无损压缩模块;1.7-数据磁盘存储管理模块;1.8-图像检索管理模块;1.9-图像数据交换控制模块;

[0060] 2-图像计算单元;2.1-FPGA计算平台;2.2-计算PC;2.3-数据接收/参数配置模块;2.4-写DDR数据格式转换模块;2.5-信号扩展模块;2.6-I/O控制模块;2.7-中央控制器;2.8-图像处理加速器;2.9-接收配置参数模块;2.10-配置寄存器;2.11-数据汇总发送模块;2.12-读DDR数据格式转换模块;2.13-数据发送模块;2.14-AXI总线互联模块2.14;2.15-DDR控制器2.15;2.16-DDR内存2.16;

[0061] 3-图像采集单元;3.1-协议解析模块;3.2-有效数据提取模块;3.3-写DDR数据格式转换模块;3.4-AXI总线互联;3.5-DDR控制模块;3.6-DDR物理内存;3.7-图像质量评估与前处理模块;3.8-主控单元;3.9-寄存器配置模块;3.10-读DDR数据格式转换模块;3.11-高速接口数据封包模块;3.12-自动对位对焦曝光模块;3.13-相机配置模块;

[0062] 4-客户MCMQ;5-PLC;6-CIM;7-信号扩展单元;8-16口KVM;9-光源。

具体实施方式

[0063] 下面结合附图和具体实施例对本发明作进一步的详细说明,便于清楚地了解本发明,但它们不对本发明构成限定。

[0064] 如图1所示,本发明包括包括图像存储单元1、图像计算单元2和图像采集单元3,所述图像存储单元1具有第一通信接口和第二通信接口,所述图像计算单元2具有第一光纤接口、第二光纤接口、第三光纤接口和第四光纤接口,所述图像采集单元3具有第三通信接口

和相机接口；

[0065] 所述图像存储单元1通过人机交互进行参数配置,通过第一通信接口向图像计算单元下发配置参数和测试命令、接收图像计算单元发送的测试结果并上报,图像存储单元发送的配置参数包括Pattern列表、点屏参数、相机参数、检测参数等;通过第二通信接口接收采集单元的数据并存储;

[0066] 所述图像计算单元2通过第一光纤接口接收图像存储单元发送的配置参数及测试命令、向图像存储单元发送测试结果,通过第二光纤接口接收图像采集单元的数据、向图像采集单元发送配置参数及测试命令,通过第三光纤接口控制点屏信号生成(控制信号扩展单元7点亮模组),通过第四光纤接口控制I/O光源(相关光源9【背光及侧光】);

[0067] 所述图像采集单元通过第三通信接口输出图像数据、接收配置参数及测试命令,通过相机接口接收相机数据、向相机发送配置参数和测试命令。

[0068] 本发明的系统工作时,先进行调机,调机是指相机工作距离、对焦参数、曝光参数、增益参数、白平衡参数、背光源亮度等调节,调机流程如图2所示:

[0069] 1) 设备初始化,包括相机及镜头参数、Panel参数、Panel透光率参数、背光源参数等。

[0070] 2) 人机界面发送调机开始命令。

[0071] 3) 将点屏Pattern设置为白画面。

[0072] 4) 点屏信号生成及点亮模组。

[0073] 5) 触发相机取图。

[0074] 6) 对所取图进行质量评估,评估维度包括:亮度、清晰度及锐利度、有效区域大小、摩尔纹等。

[0075] 7) 若所取图像符合检测标准,测结束调机。

[0076] 8) 若所取图像不符合检测标准,则根据评估的结果调整相机的工作距离、对焦参数及背光源亮度。

[0077] 9) 重复步骤5到8的过程,直到图像满足要求为止。

[0078] 此自动调机设备与方案,通常只需要数分钟时间,即可完成相机调节工作;而传统调节方式通常需要数小时甚至数天的时间;并且通过此自动调节设备方案,图像的一致性更高。

[0079] 调机完成后,再进行测试,测试流程如图3所示:

[0080] 1) 设备初始化。

[0081] 2) 主控单元设置一键测试开始命令。

[0082] 3) 根据设置的Pattern顺序,生成点屏信号及完成切图命令。

[0083] 4) 根据设置的光源顺序,通过I/O控制端,点亮不同的光源信号。

[0084] 5) 设置相机的曝光、增益及白平衡参数。

[0085] 6) 触发相机。

[0086] 7) 接收相机数据。

[0087] 8) 图像前处理,包括亮度矫正、暗角矫正、ROI区域提取与切割、背景抑制、摩尔纹去除、灰度拉伸等。

[0088] 9) 进行图像后处理,缺陷检测、识别、判断。

[0089] 10) 检测结果上报, 上报包括资料存储部分发送到客户MCMQ系统以及及时显示部分通过PLC 5发送到客户CIM 6系统。

[0090] 11) 原始图像压缩与存储。

[0091] 上述方案中, 如图4所示, 图像存储单元1元包括主控PC 1.1、FPGA存储平台(基于FPGA的存储处理板卡) 1.2和磁盘阵列1.3, FPGA存储平台1.3、包括数据交互模块1.4、图像数据接收/发送模块1.6、数据无损压缩模块1.6、数据磁盘存储管理模块1.7、图像检索管理模块1.8和图像数据交换控制模块1.9, 图像存储单元一方面负责图像的存储与检索, 另外还兼具人机交互、主控与显示、处理结果分析与上报等功能。主控PC与FPGA存储平台之间通过PCIE x8方式进行数据通信与交互, 第一通信接口和第二通信接口均设在于FPGA存储平台上, 即FPGA存储平台与图像计算单元、图像采集单元之间均通过光纤进行数据通信与交互, 使用光纤连接布网方式, 方便图像存储与检索。

[0092] 存储单元主要用于存储图像采集单元发送的原始图像数据和/或处理图像数据, 图像计算单元的处理结果数据不保存到本地服务器, 会直接上传到客户MCMQ 4的系统。保存到本地的图片用于后续的数据分析与检索, 对存储空间、存储及检索效率有较高要求。

[0093] 图像存储单元的各模块的功能如下:

[0094] 主控PC 1.1, 用于通过人机交互进行参数配置、输出配置参数及测试命令, 用于接收FPGA存储平台1.2的测试结果并上报, 用于与客户MCMQ连接, 缺陷资料上报、缺陷图片上报、检测结果XML资料上报。

[0095] 磁盘阵列1.3, 用于存储数据。

[0096] 数据交互模块1.4, 用于接收主控PC发送的配置参数, 用于将接收的图像计算单元的测试结果反馈至主控PC。

[0097] 图像数据接收/发送模块1.5, 用于接收图像采集单元数据并输出至数据无损压缩模块, 用于接收配置参数并发送至图像采集模块, 用于接收图像计算单元的测试结果。

[0098] 数据无损压缩模块1.6, 用于对接收的数据进行无损压缩后经磁盘存储管理单元存储至磁盘阵列; 对数据进行无损压缩后可以极大地提升存储空间利用率以及对检索带宽需求压力。

[0099] 数据磁盘存储管理模块1.7, 用于管理磁盘阵列的存储、读取功能。

[0100] 图像检索管理模块1.8, 用于控制读磁盘阵列。

[0101] 图像数据交换控制模块1.9, 具有第四通信接口, 用于与外部服务器通信, 在外部服务器命令下实现图像检索数据交换、数据通信控制。检索时先从本地读出需要的图像数据, 通过光纤交换网络传输到检索服务器端, 检索服务器端对图像进行无损解压后方可使用。

[0102] 如图5所示, 图像存储单元的数据处理流程如下:

[0103] 1)、初始化;

[0104] 2)、参数配置;

[0105] 3)、发送一键测试命令;

[0106] 4)、等待接收原始图像数据;

[0107] 5)、对原始图像数据进行压缩;

[0108] 6)、压缩后的图像数据进行存储;

[0109] 7)、等待接收检测结果;

[0110] 8)、检测结果分析并上报;

[0111] 9)、结束。

[0112] 上述方案中,如图6所示,图像计算单元2包括FPGA计算平台2.1(基于FPGA的计算处理板卡)和计算PC 2.2,第一光纤接口、第二光纤接口、第三光纤接口和第四光纤接口均设置于FPGA计算平台上,FPGA计算平台还具有与所述计算PC连接的第五光纤接口,以及实现FPGA计算平台级联扩展的扩展接口。所述FPGA计算平台2.1包括数据接收/参数配置模块2.3、写DDR数据格式转换模块2.4、信号扩展模块2.5、IO控制模块2.6、中央控制器2.7、图像处理加速器2.8、接收配置参数模块2.9、配置寄存器2.10、数据汇总发送模块2.11、数据发送模块2.13、AXI总线互联模块2.14、DDR控制器2.15和DDR内存2.16,计算PC 2.2由CPU和GPU组成。图像计算单元除了图像计算加速之外,其中的FPGA计算平台还具备点屏信号生成与信号扩展、光源一体化控制功能。一个FPGA计算平台包括12个QSFP+光纤接口,可以连接多达6台计算PC,多台计算PC之间可以通过16口KVM 8设备进行切换控制,FPGA计算平台与计算PC、图像存储单元、图像采集单元、信号扩展单元7、IO光源控制单元之间均通过光纤方式进行通信与数据交互;FPGA计算平台支持通过光纤接口级联扩展,扩展计算处理能力。FPGA计算平台与构成计算PC的CPU和GPU一起形成CPU+GPU+FPGA计算架构,根据图像数据流方式,Pipeline结构处理,FPGA图像前处理,CPU+GPU图像后处理,充分提升计算速度。

[0113] 图像计算单元的各模块的功能如下:

[0114] 计算PC 2.2,用于根据控制命令从DDR内存中读取部分图像数据进行计算处理并将处理结果发送至数据汇总发送模块。

[0115] 数据接收/参数配置模块2.3,用于接收图像采集单元图像数据,经写DDR数据格式转换模块转换后存储至DDR内存中,用于将接收的配置参数及测试命令发送至图像采集单元。

[0116] 写DDR数据格式转换模块2.4,对接收的数据进行格式转换。

[0117] 信号扩展模块2.5,用于根据测试命令实现点屏信号生成与控制。

[0118] IO控制模块2.6,用于根据测试命令实现IO光源控制。

[0119] 中央控制器2.7,用于根据设定的指令分别向计算PC和图像处理加速器发送控制命令;用于将接收的配置参数发送至数据接收/参数配置模块,将接收的测试命令分别分配至数据接收/参数配置模块、IO控制模块和信号扩展模块。

[0120] 图像处理加速器2.8,用于根据控制命令从DDR内存中读取部分图像进行计算处理,将计算结果发送至数据汇总发送模块。

[0121] 接收配置参数模块2.9,用于接收图像存储单元的配置参数及测试命令并发送至中央控制器。

[0122] 配置寄存器2.10,完成相关寄存器配置。

[0123] 数据汇总发送模块2.11,用于将计算PC和图像处理加速器的处理结果进行汇总形成最终的测试结果发送至图像存储模块。

[0124] 读DDR数据格式转换模块2.12,对接收的数据进行格式转换。

[0125] 数据发送模块2.13,用于将部分需要计算处理的数据发送至计算PC;

[0126] AXI总线互联模块2.14,用于在中央控制器的控制下向DDR内存读写图像数据。

- [0127] DDR控制器2.15,用于控制读写图像数据及测试结果。
- [0128] DDR内存2.16,用于存储需要处理的图像数据及测试结果。
- [0129] 如图7所示,图像计算单元的数据处理流程如下:
- [0130] 1)、初始化;
- [0131] 2)、接收一键测试命令;
- [0132] 3)、判断当前处理pattern数是否与设置pattern总数相等,若相等,则认为处理一键测试完成,结束流程;
- [0133] 4)、若一键测试未完成,根据pattern列表,点亮被测模组;
- [0134] 5)、根据pattern配置列表,点亮光源;
- [0135] 6)、触发相机进行图像采集;
- [0136] 7)、接收采集单元图像数据,同时返回进行触发次数判断;
- [0137] 8)、对收到数据进行处理,判断被测模组是否有缺陷,及判断缺陷等级;
- [0138] 9)、检测结果上报;
- [0139] 上述方案中,如图8所示,图像采集单元3包括协议解析模块3.1、有效数据提取模块3.2、写DDR数据格式转换模块3.3、AXI总线互联3.4、DDR控制模块3.5、DDR物理内存3.6、图像质量评估与前处理模块3.7、主控单元3.8、寄存器配置模块3.9、读DDR数据格式转换模块3.10、高速接口数据封包模块3.11、自动对位对焦曝光模块3.12和相机配置模块3.13,图像采集单元使用Xilinx的SOC芯片作为主控单元,支持8个Camera link接口、8个Gige接口、4个CLHS接口;与FPGA计算平台之间通过光纤接口方式连接,通过自定义协议进行数据通信和交互。图像采集单元支持多种相机接口,支持多只相机,支持自动对位、对焦、自动进行曝光参数设置,能进行图像质量评估,图像一致性更佳【根据背光亮度、面板透光率、镜头畸变】自动调整曝光时间,增益,通过亮度矫正及暗角矫正,提升图像质量及一致性;能进行图像前处理,包括:亮度矫正、暗角矫正、ROI区域提取与切割、背景抑制、摩尔纹去除、灰度拉伸等。
- [0140] 图像采集单元3的各模块的功能如下:
- [0141] 协议解析模块3.1,用于接收相机数据,并将相机数据按照协议解析出有效的图像数据,经有效数据提取模块、写DDR数据格式转换模块后发送至DDR物理内存中存储为原始图像数据;用于接收相机数据,并将相机数据按照协议解析出有效的图像数据经有效数据提取模块、写DDR数据格式转换模块后发送至DDR物理内存,解析之后的图像数据包括24bit的图像数据以及帧控制信号VS/HS/DE;用于将相机配置参数发送至相机。
- [0142] 协议解析模块包括Camera link协议解析模块、Gige Vision协议解析模块和CLHS协议解析模块,上述相机接口包括多个Camera Link接口、多个Gige接口和多个CLHS接口,所述多个Camera Link接口与Camera link协议解析模块连接,所述多个Gige接口与Gige Vision协议解析模块连接,所述多个CLHS接口与CLHS协议解析模块连接。
- [0143] 有效数据提取模块3.2,根据主控单元配置参数,提取有效的图像数据部分;从协议解析模块出来是24bit数据,根据主控单元配置,提取有效的数据位。
- [0144] 写DDR数据格式转换模块3.3,将接收数据保存到物理内存中;将相机有效的图像数据进行格式转换,转换为AXI4写Memory的数据格式。
- [0145] AXI总线互联3.4,用于在主控单元的控制下向DDR物理内存读写图像数据。

- [0146] DDR控制模块3.5,用于控制读写图像数据。
- [0147] DDR物理内存3.6,用于存储原始图像数据和处理图像数据。
- [0148] 图像质量评估与前处理模块3.7,用于根据CPU控制命令从DDR物理内存中读取原始图像数据,对原始图像数据进行图像前处理,将前处理后的数据发送至DDR物理内存中存储为处理图像数据,前处理包括暗角矫正、亮度矫正、AOI区域自动提取与切割、透视变换、morie纹去除等图像处理功能;用于根据主控单元控制命令对相机数据进行质量评估,将质量评估结果发送至主控单元。
- [0149] 主控单元3.8,根据设定的指令向图像质量评估与前处理和读DDR数据格式转换发送控制命令;用于将接收的配置参数、测试命令及质量评估结果发送至自动对位对焦曝光模块。
- [0150] 寄存器配置模块3.9,完成相关寄存器配置。
- [0151] 读DDR数据格式转换模块3.10,用于根据主控单元的配置命令从DDR物理内存中读取原始图像数据和/或处理图像数据发送至高速接口数据封包模块。
- [0152] 高速接口数据封包模块3.11,用于将接收的原始图像数据和/或处理图像数据发送至图像存储单元和图像计算单元。用于接收配置参数及测试命令并发送至主控单元。
- [0153] 自动对位对焦曝光模块3.12,用于根据配置参数及质量评估结果实现相机参数设置,并将配置参数及测试命令发送至相机配置模块。
- [0154] 相机配置模块3.13,用于将相机配置参数及测试命令发送至协议解析模块。
- [0155] 如图9所示,图像计算单元的数据处理流程如下:
- [0156] 1)、上电初始化:设备初始化、相机初始化设置、对位对焦电机等的初始化。
- [0157] 2)、接收主控单元配置参数:包括相机参数、Panel尺寸及分辨率及透光率信息、背光亮亮度、工作模式等参数。
- [0158] 3)、接收主控单元触发命令:命令包括调机命令及取像命令;接收调机命令则会进入到调机模式,接收到取像命令,则会进入到正常的取像模式。
- [0159] 4)、调机模式,此处调机是指相机工作距离、对焦参数、曝光参数、增益参数、白平衡参数、背光源亮度等调节:
- [0160] a) 首先触发相机拍图;
- [0161] b) 对所得图像进行评估,判断是否符合检测标准;
- [0162] c) 若符合检测标准,则记录当前调节参数并退出流程;
- [0163] d) 若不符合检测标准,则根据配置参数,先调节相机的工作距离即对位,然后调节相机的焦距、曝光时间、增益及白平衡等参数;然后重复上述动作,直到判断所拍图像满足检测标准。
- [0164] 5)、取像模式:
- [0165] a) 配置相机参数,包括曝光时间、增益及白平衡;
- [0166] b) 触发相机;
- [0167] c) 接收相机数据;
- [0168] d) 图像前处理,包括亮度矫正、暗角矫正、AOI区域提取及切割、背景抑制、摩尔纹去除等图像前处理;
- [0169] e) 从DDR内存中读出数据并通过光纤发送到前端,进行下一步处理。

[0170] 本发明具备管理多达20只相机同时进行数据采集、处理的能力,极大优化了高分辨率及大尺寸面板自动检测系统的系统复杂度、压缩图像采集的Tact Time、提升系统稳定性;同时,集相机自动对位、对焦、图像质量检测于一体,自动实现相机图像质量管理,极大的方便现场调机;通过自主开发的图像质量评估系统,可以快速实现线体调机,图像一致性好;基于FPGA图像存储管理系统,提升图像存储效率,方便图像检索;为机器学习与智能检测提供必要的源图片。

[0171] 使用CPU+GPU+FPGA的星形网络并行加速计算系统,充分发挥GPU与FPGA的并行处理特征,提升系统的整体计算能力;根据数据流的方向,利用pipeline结构,在FPGA端加速图像前处理,然后在CPU及GPU端实现图像后处理;使用此加速系统,图像计算处理能力提升达到50%以上。

[0172] 本说明书中未作详细描述的内容属于本领域专业技术人员公知的现有技术。

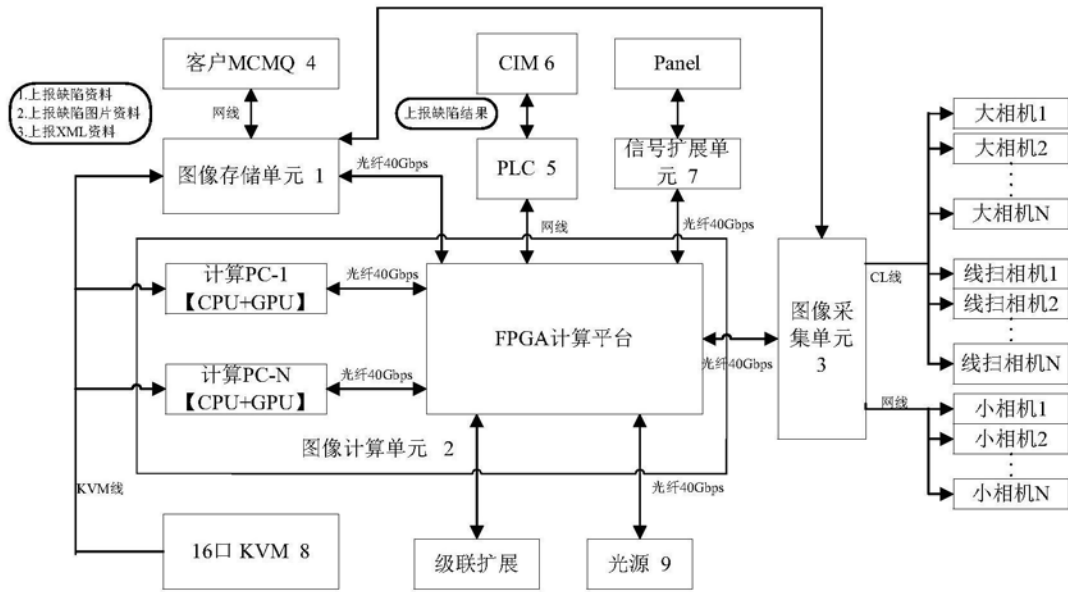


图1

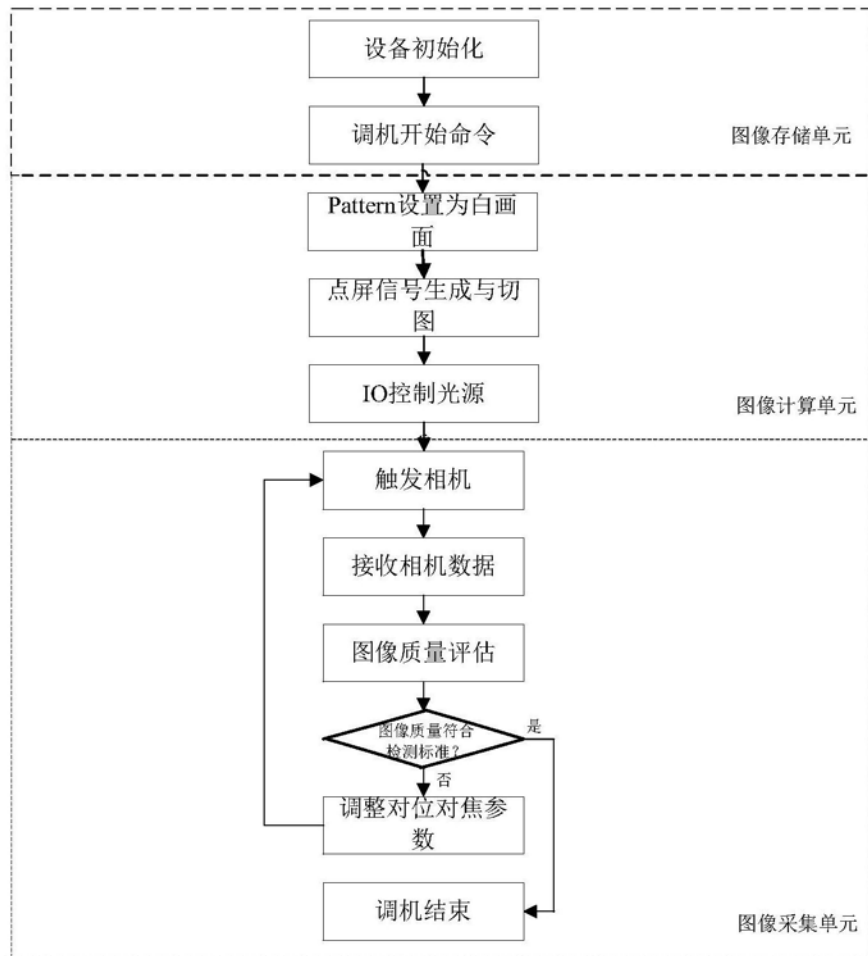


图2

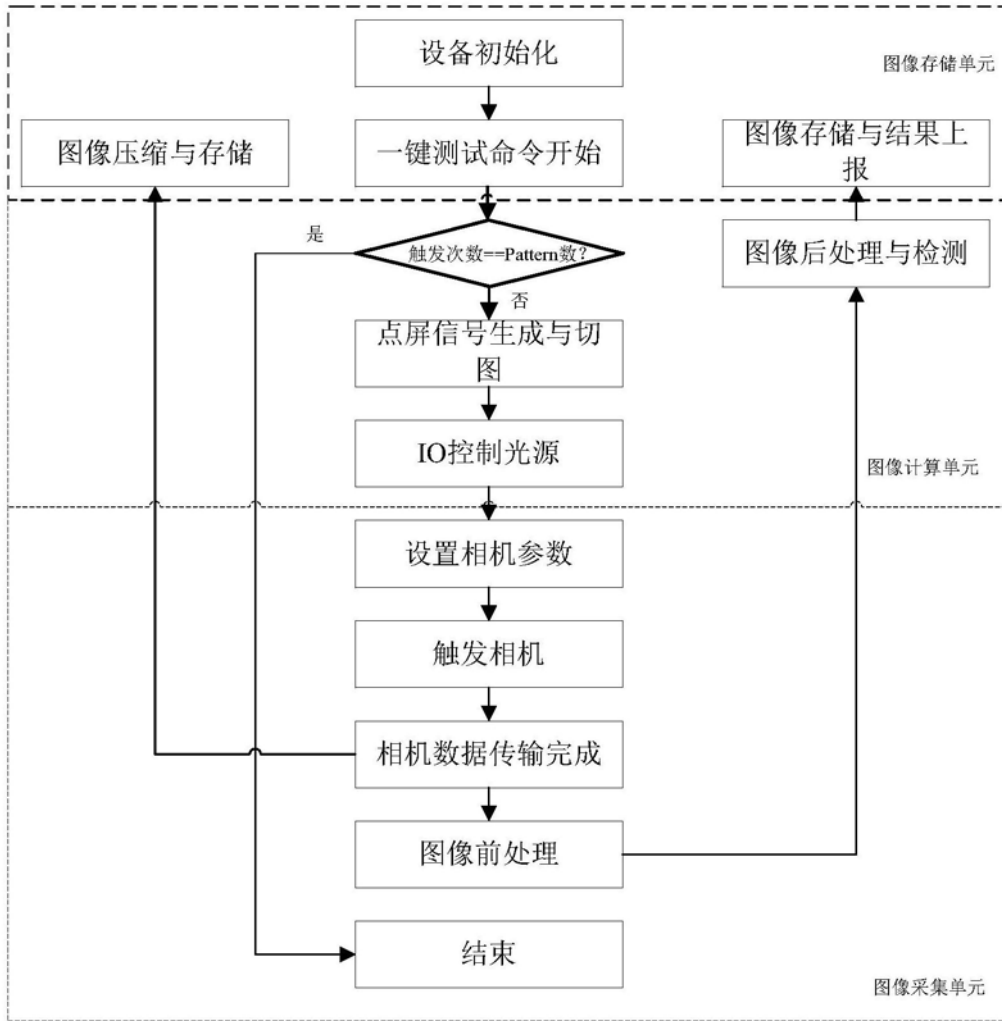


图3

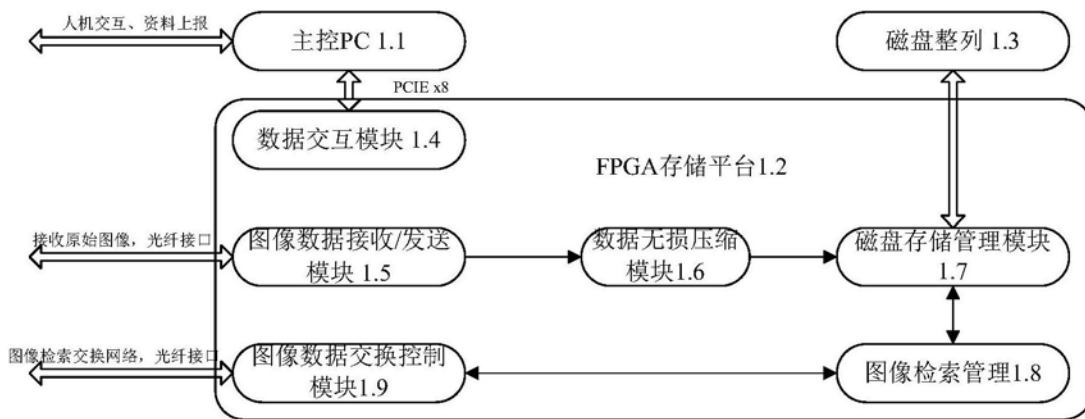


图4

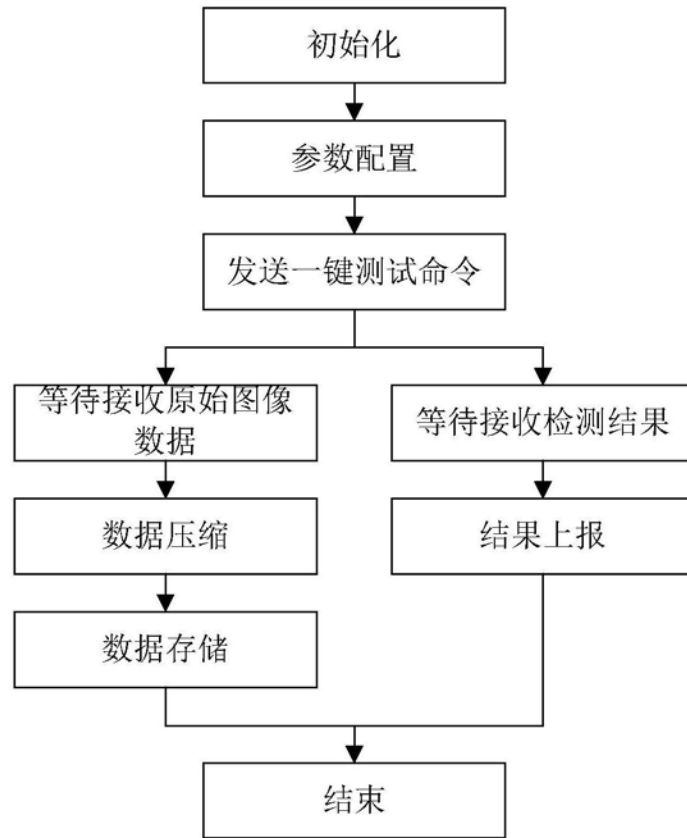


图5

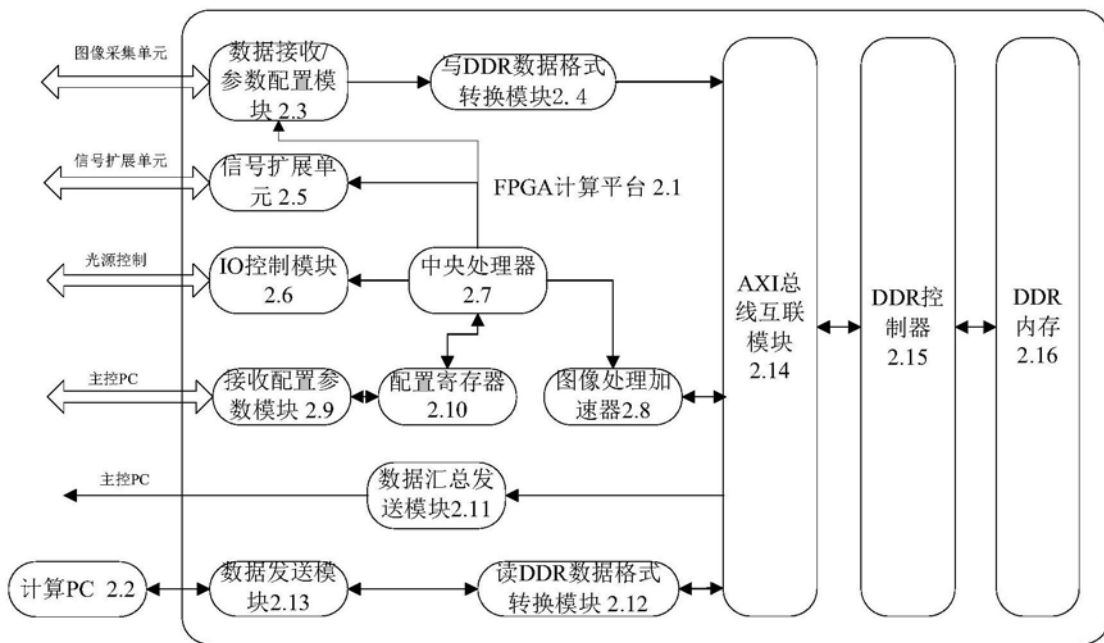


图6

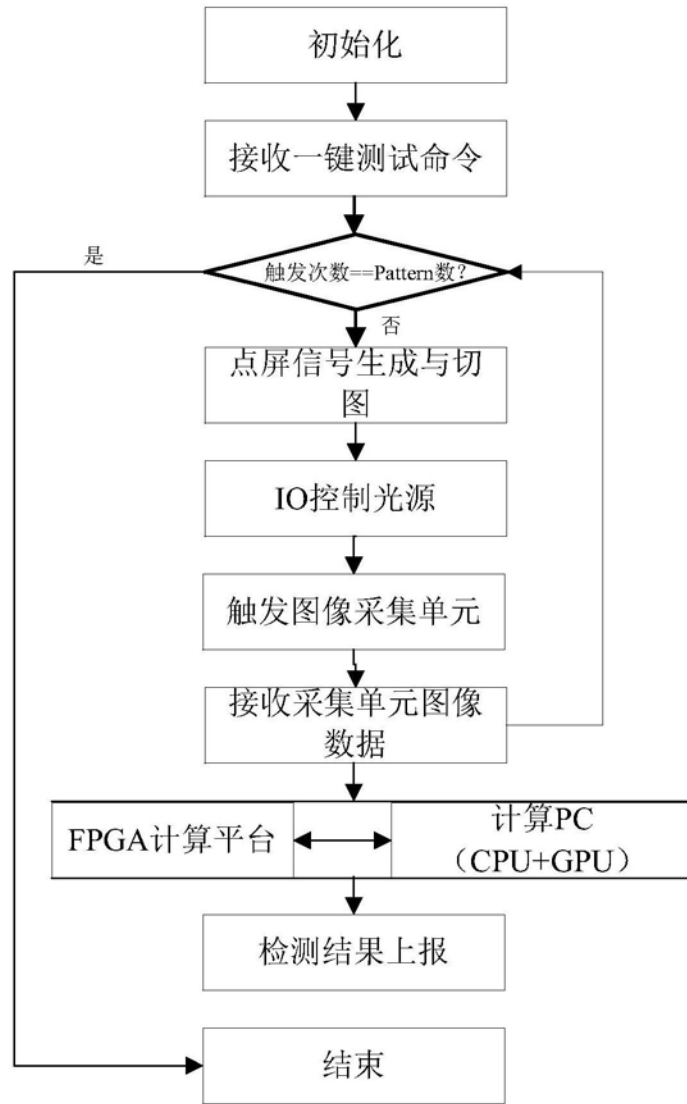


图7

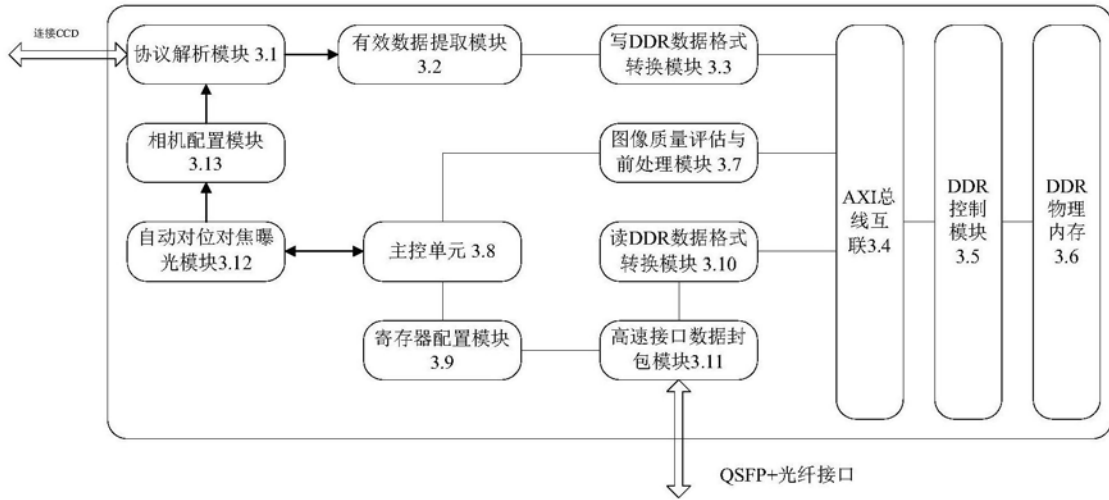


图8

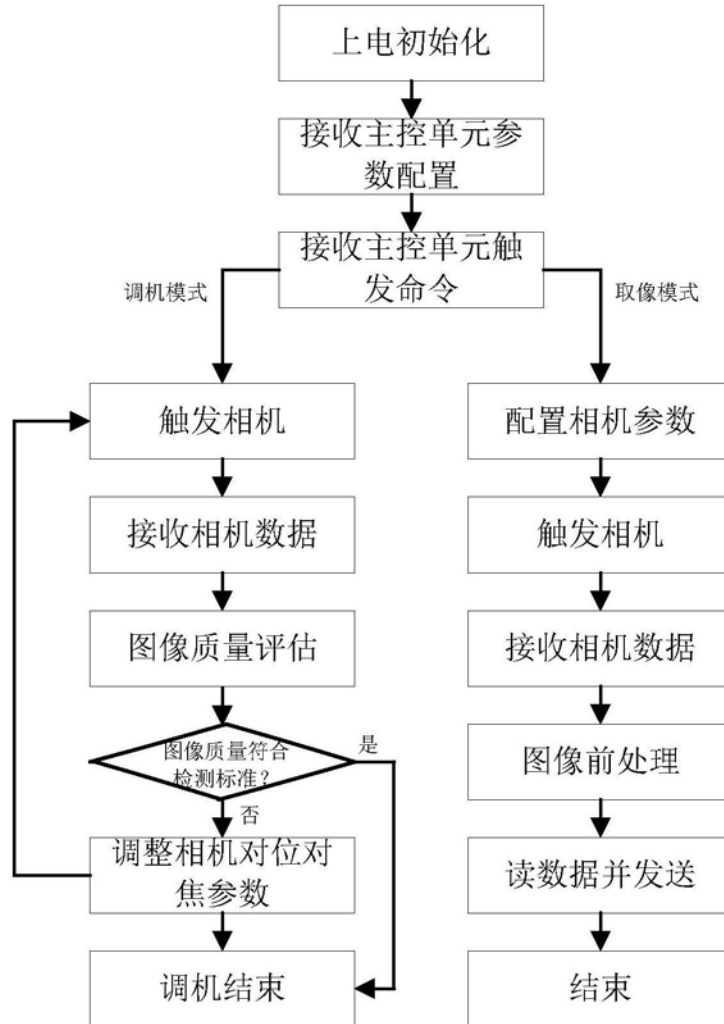


图9