(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월01일
(11) 등록번호 10-1681695
(24) 등록일자 2016년11월25일

(51) 국제특허분류(Int. Cl.)
H01L 31/0224 (2006.01) *H01L 31/02* (2006.01)
H01L 31/028 (2006.01) *H01L 31/0296* (2006.01)
H01L 31/0392 (2006.01) *H01L 31/068* (2006.01)
H01L 31/075 (2006.01)
(21) 출원번호 10-2010-0039502
(22) 출원일자 2010년04월28일
심사청구일자 2015년04월03일
(65) 공개번호 10-2010-0119841
(43) 공개일자 2010년11월11일
(30) 우선권주장
JP-P-2009-112367 2009년05월02일 일본(JP)
(56) 선행기술조사문헌
JP2003017723 A
JP2004134771 A
JP2008085323 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
후지이 테루유키
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
오시마 코헤이
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
황의만

전체 청구항 수 : 총 8 항 심사관 : 전병식

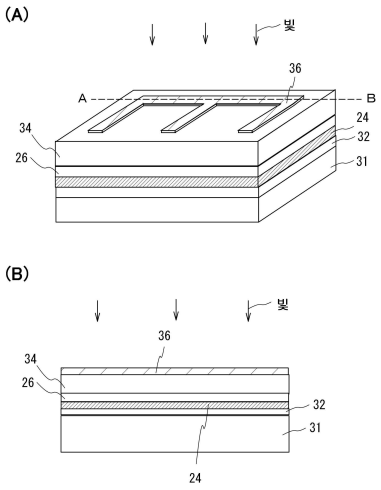
(54) 발명의 명칭 **반도체 장치 및 그 제작 방법**

(57) 요 약

본 발명은 반도체 장치의 전극에 관한 반도체 장치의 제작 방법 또는 접합 단계를 갖는 반도체 장치의 제작 방법에 관한 것이고, (1) Al 전극을 사용함으로써 고저항이 되는 것, (2) Al이 Si과 함께 합금을 형성하는 것, (3) 스퍼터법에 의하여 형성하는 막이 고저항이 되는 것, (4) 접합 단계에서는, 각각 면의 표면 요철이 크면 접합 불량이 일어나는 것이 과제이다.

금속 기판 또는 금속막이 형성된 기판을 갖고, 금속 기판 위 또는 금속막 위의 구리(Cu) 도금막을 갖고, Cu 도금막 위의 배리어막과, 배리어막 위의 단결정 실리콘막과, 단결정 실리콘막 위의 전극층을 갖는 반도체 장치를 사용한다. Cu 도금막과 금속 기판 또는 금속막을 접합할 때에 열 압착법을 사용한다.

대 표 도 - 도1



(72) 발명자

마루야마 준야

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

시모무라 아키히사

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

반도체 장치에 있어서,

절연 기판;

상기 절연 기판 위에 있고, 상기 절연 기판과 직접 접촉하는 금속막;

상기 금속막 위에 있고, 상기 금속막과 직접 접촉하는 Cu 도금막;

상기 Cu 도금막 위에 있고, 상기 Cu 도금막과 직접 접촉하는 배리어막;

상기 배리어막 상의 광전 변환층;

상기 광전 변환층 위의 전극층;

상기 금속막 위에 있고 상기 금속막과 직접 접촉하고, 상기 Cu 도금막과 중첩되지 않는 제 1 배선; 및

상기 전극층 위에 있고, 상기 전극층과 직접 접촉하는 제 2 배선을 포함하고,

상기 배리어막은 티타늄(Ti)막, 질화탄탈막, 탄탈(Ta)막, 및 텅스텐(W)막 중 하나인, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 따른 반도체 장치를 포함하는 광전 변환 장치.

청구항 6

태양 전지에 있어서,

절연 기판;

상기 절연 기판 위에 있고, 상기 절연 기판과 직접 접촉하는 금속막;

상기 금속막 위에 있고, 상기 금속막과 직접 접촉하는 Cu 도금막;

상기 Cu 도금막 위에 있고, 상기 Cu 도금막과 직접 접촉하는 시드막;

상기 시드막 위에 있고, 상기 시드막과 직접 접촉하는 배리어막;

상기 배리어막 위에 있고, 상기 배리어막과 직접 접촉하는 광전 변환층;

상기 광전 변환층 위의 전극층;

상기 금속막 위에 있고 상기 금속막과 직접 접촉하고, 상기 Cu 도금막과 중첩되지 않는 제 1 배선; 및

상기 전극층 위에 있고, 상기 전극층과 직접 접촉하는 제 2 배선을 포함하고,

상기 Cu 도금막은 상기 시드막으로부터 성장함으로써 형성되고,

상기 배리어막은 티타늄(Ti)막, 질화탄탈막, 탄탈(Ta)막, 및 텅스텐(W)막 중 하나이고,

상기 광전 변환층은 실리콘막으로 형성되고,

상기 전극층은 투명 도전 재료로 형성되는, 태양 전지.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 6 항에 있어서,

상기 투명 도전 재료는, 산화인듐·주석 합금, 산화아연, 산화주석, 또는 산화인듐·아연 합금 중 어느 하나로 형성되는, 태양 전지.

청구항 10

반도체 장치의 제작 방법에 있어서,

단결정 실리콘 기판의 표면에 수소 가스로 생성되는 이온을 도프(dope)함으로써 상기 단결정 실리콘 기판에 취화층을 형성하는 단계;

상기 단결정 실리콘 기판 상에 배리어막을 형성하는 단계;

상기 배리어막 위에 있고, 상기 배리어막과 직접 접촉하는 Cu 도금막을 형성하는 단계;

절연 기판과, 상기 절연 기판 위에 있고 상기 절연 기판과 직접 접촉하는 금속막을 준비하는 단계;

상기 Cu 도금막 및 상기 금속막을 열 압착함으로써, 상기 Cu 도금막을 사이에 두고 상기 단결정 실리콘 기판과 상기 금속막을 서로 접합하는 단계;

열 처리에 의하여 상기 취화층을 따라 상기 단결정 실리콘 기판의 일부를 박리함으로써, 상기 절연 기판 위에 단결정 실리콘막을 형성하는 단계;

상기 단결정 실리콘막 위에 전극층을 형성하는 단계;

상기 금속막 위에 있고 상기 금속막과 직접 접촉하고, 상기 Cu 도금막과 중첩되지 않는 제 1 배선을 형성하는 단계; 및

상기 전극층 위에 있고, 상기 전극층과 직접 접촉하는 제 2 배선을 형성하는 단계를 포함하고,

상기 배리어막은 티타늄(Ti)막, 질화탄탈막, 탄탈(Ta)막, 및 텅스텐(W)막 중 하나인, 반도체 장치의 제작 방법.

청구항 11

삭제

청구항 12

반도체 장치의 제작 방법에 있어서,

단결정 실리콘 기판의 표면에 수소 가스로 생성되는 이온을 도프함으로써 상기 단결정 실리콘 기판에 취화층을 형성하는 단계;

상기 단결정 실리콘 기판 상에 배리어막을 형성하는 단계;

상기 배리어막 위에 있고, 상기 배리어막과 직접 접촉하는 시드막을 형성하는 단계;

상기 시드막 위에 있고, 상기 시드막과 직접 접촉하는 Cu 도금막을 형성하는 단계;

절연 기판과, 상기 절연 기판 위에 있고 상기 절연 기판과 직접 접촉하는 금속막을 준비하는 단계;

상기 Cu 도금막 및 상기 금속막을 열 압착함으로써, 상기 Cu 도금막을 사이에 두고 상기 단결정 실리콘 기판과 상기 금속막을 서로 접합하는 단계;

열 처리에 의하여 상기 취화층을 따라 상기 단결정 실리콘 기판의 일부를 박리함으로써, 상기 Cu 도금막 및 상기 금속막을 사이에 두고 상기 절연 기판 위에 단결정 실리콘막을 형성하는 단계;

상기 단결정 실리콘막 위에 전극층을 형성하는 단계;

상기 금속막 위에 있고 상기 금속막과 직접 접촉하고, 상기 Cu 도금막과 중첩되지 않는 제 1 배선을 형성하는 단계; 및

상기 전극층 위에 있고, 상기 전극층과 직접 접촉하는 제 2 배선을 형성하는 단계를 포함하고,

상기 배리어막은 티타늄(Ti)막, 질화탄탈막, 탄탈(Ta)막, 및 텅스텐(W)막 중 하나이고,

상기 Cu 도금막은 상기 시드막으로부터 성장함으로서 형성되는, 반도체 장치의 제작 방법.

청구항 13

제 10 항 또는 제 12 항에 있어서,

상기 열 압착은 150℃ 이상 300℃ 이하, 및 0.5MPa 이상 20MPa 이하로 행해지는, 반도체 장치의 제작 방법.

청구항 14

제 10 항 또는 제 12 항에 따른 반도체 장치의 제작 방법을 사용하는 광전 변환 장치의 제작 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기 술 분 야

본 발명은 태양 전지를 포함하는 광전 변환 장치 등의 반도체 장치 및 그 제작 방법에 관한 것이다.

배 경 기 술

특허 문헌 1은 실리콘 웨이퍼를 기판에 접합하고 실리콘 웨이퍼로부터 실리콘(Si)막을 박리함으로써 기판 위에 실리콘막을 형성하는 태양 전지의 제작 방법을 개시한다.

특허 문헌 1의 도 10(A) 내지 도 10(D)가 개시하는 태양 전지의 제작 방법은 이하와 같다. 수소가 주입된 실리콘 웨이퍼에 알루미늄(Al) 증착층 등의 접합 금속층을 형성한다. 접합 금속층과 Al계 금속 기판을 밀착시킨다. 400℃ 내지 600℃의 열 처리에 의하여 실리콘 웨이퍼의 일부를 분리하여 Al계 금속 기판 위에 접합 금속층을 사이에 두고 실리콘막을 형성하는 것과 함께, 접합 금속층과 Al계 금속 기판을 접합시킨다. Al계 금속 기판은 캐소드(cathode) 전극으로서 기능한다. 실리콘막 위에 애노드(anode) 전극을 형성하여 태양 전지를 제작한다.

선행기술문헌

특허문헌

(특허문헌 0001) 일본국 특개2003-17723호 공보

발명의 내용

해결하려는 과제

본 발명의 일 형태가 해결하고자 하는 과제는, 반도체 장치의 전극에 관한 또는 접합 단계를 갖는 반도체 장치의 제작 방법에 관한 것이다. 구체적으로는, (1) Al 전극을 사용함으로써 반도체 장치가 고저항이 되는 것, (2) Al은 Si과 함께 합금을 형성하는 것, (3) 스퍼터법에 의하여 형성하는 막이 고저항이 되는 것, (4) 접합 단계로는, 접합면의 요철(凹凸)이 크면 접합 불량이 생기는 것이다. 이하, (1) 내지 (4)에 대해서 설명한다.

(1) 특허 문헌은 실리콘 웨이퍼에 Al 증착막 등의 접합 금속층을 형성하고, 상기 접합 금속층 및 Al계 금속 기판을 이면 전극으로서 사용한다. 그러나, Al의 저항률은 약 2.66×10^{-8}Ωm이고, 비교적으로 높다. 따라서, 태양 전지에서 발생한 기전력(起電力)을 추출할 때에, 그 높은 저항에 기인하는 손실(損失)이 일어난다.

(2) Al은 Si과 함께 합금을 형성하는 것이 알려져 있다. 합금을 형성하면, Al이 Si막 중에 확산하여 Si막이 광전 변환층으로서 기능할 수 없다.

(3) 일반적으로 전극을 형성할 때는, 특허 문헌 1과 같이, 증착법이나 스퍼터법을 사용하는 것이 많다. 특히, 스퍼터법을 사용하여 형성한 금속막은 전기 전도도가 낮게 되는 경향이 있다. 이것은 원소에도 따르지만, 성막에 사용되는 가스가 막 중에 포함되어 막 중의 불순물 농도가 높게 되는 것에 기인한다.

(4) 특허 문헌 1은 접합 금속층과 Al계 금속 기판을 접합시킨다. 접합 단계로는, 접합면의 평탄성이 중요하다. 예를 들어, 산화실리콘막끼리를 접합시키는 경우, 평균면 거칠기(Ra)가 0.4nm 정도이면, 간단히 접합시킬 수 있다. 그러나, 접합면의 요철이 크면, 접합 불량이 되는 일이 있다.

상기 과제를 감안하여 본 발명의 일 형태는 저항률이 낮은 전극을 갖고, Si과 합금을 형성하기 어려운 반도체 장치를 제공한다. 또한, 접합 불량이 생기지 않는 반도체 장치의 제작 방법을 개시한다.

과제의 해결 수단

본 발명의 제 1 형태에 따른 반도체 장치는, 금속 기판 또는 금속막이 형성된 기판을 갖고, 금속 기판 위 또는 금속막 위의 구리(Cu) 도금막을 갖고, Cu 도금막 위의 배리어막과, 배리어막 위의 단결정 실리콘막과 단결정 실리콘막 위의 전극층을 갖는다.

Cu막은 저항률이 약 1.67×10^{-8}Ωm이고, Al보다 낮다. 또한, 도금법에 의하여 형성한 막은 스퍼터법에 의하여 형성한 막보다 높은 전기 전도도를 갖는다.

배리어막을 갖기 때문에, Cu가 Si과 함께 합금을 형성하는 일은 없으므로, Si막은 광전 변환층으로서 기능하여

고신뢰성의 반도체 장치를 얻을 수 있다.

금속 기판 위 또는 금속막 위에 시드막 및 상기 시드막으로부터 성장하여 형성된 Cu 도금막을 가져도 좋다.

금속 기판은 Cu 기판이고, 금속막이 형성된 기판은 Cu막이 형성된 유리 기판이라도 좋다.

본 발명의 제 2 형태에 따른 반도체 장치의 제작 방법은, 단결정 실리콘 기판인 제 1 기판에 수소 가스로 생성되는 이온을 도프(dope)하여 단결정 실리콘 기판 내에 취화층을 형성하는 단계와, 단결정 실리콘 기판 위에 배리어막을 형성하는 단계와, 배리어막 위에 Cu 도금막을 형성하는 단계와, 금속 기판 또는 금속막이 형성된 기판인 제 2 기판을 준비하는 단계와, Cu 도금막과, 금속기판 또는 금속막을 열 압착(壓着)하여 Cu 도금막을 사이에 두고 또는 Cu 도금막과 금속막을 사이에 두고 단결정 실리콘 기판과 제 2 기판을 접합시키는 단계와, 열 처리에 의하여 취화층으로부터 단결정 실리콘 기판의 일부를 박리하고 제 2 기판에 Cu 도금막을 사이에 두고 또는 Cu 도금막과 금속막을 사이에 두고 단결정 실리콘막을 형성하는 단계와, 단결정 실리콘막 위에 전극층을 형성하는 단계를 갖는다.

일반적으로 스퍼터에 의하여 형성한 금속막의 표면의 평균면 거칠기(Ra)가 0.8nm 내지 1.5nm 정도인 것에 대해서, 금속 도금막의 표면의 Ra는 약 4nm이다. 금속 도금막의 표면은 스퍼터에 의하여 형성한 금속막의 표면보다 큰 요철을 갖는다. 이로써, 금속 도금막을 형성한 기판과 대향 기판을 접합시키는 것은 어렵다. 그러나, 상술한 제작 방법은 표면에 큰 요철을 가져도 접합할 수 있다.

열 압착은 150℃ 이상, 제 1 기판 및 제 2 기판의 내열 온도 미만, 및 0.5MPa 이상, 20MPa 이하로 행하여도 좋다. 또는, 열 압착은 150℃ 이상, 제 1 기판 및 제 2 기판의 내열 온도 미만, 2.0MPa 이상, 20MPa 이하로 행하여도 좋다.

제 1 기판 위에 시드막을 형성하고, 상기 시드막으로부터 성장시켜 Cu 도금막을 형성하여도 좋다.

금속 기판은 Cu 기판이며, 금속막이 형성된 기판은, Cu막이 형성된 유리 기판이라도 좋다.

또한, 반도체 장치는 태양 전지를 포함하는 광전 변환 장치를 포함한다.

발명의 효과

Cu 도금막의 저항은 Al막이나 스퍼터막보다 낮다. Cu 도금막을 태양 전지 등의 광전 변환 장치의 전극에 사용하면, 광에 의하여 발생한 전하를 효율 좋게 추출할 수 있다. 또한, 배리어막을 갖기 때문에, Cu가 Si과 함께 합금을 형성하는 일은 없고, 고신뢰성의 반도체 장치를 얻을 수 있다. 또한, 표면에 큰 요철을 갖는 Cu 도금막을 형성한 기판을 사용하지만, 열 압착에 의하여 상기 기판과 대향 기판을 용이하게 접합시킬 수 있다.

도면의 간단한 설명

도 1(A) 및 도 1(B)는 실시형태 1을 설명하는 사시도 및 단면도.

도 2(A) 및 도 2(B)는 실시형태 2를 설명하는 단면도.

도 3(A) 내지 도 3(C)는 실시형태 2를 설명하는 단면도.

도 4(A) 내지 도 4(C)는 실시형태 2를 설명하는 단면도.

도 5는 실시형태 2를 설명하는 단면도.

도 6(A) 및 도 6(B)는 실시예 1을 설명하는 단면도.

도 7(A) 및 도 7(B)는 실시예 1을 설명하는 단면도.

도 8은 실시예 1을 설명하는 도면.

도 9(A) 내지 도 9(C)는 실시예 3을 설명하는 단면도.

도 10(A) 및 도 10(B)는 실시예 3을 설명하는 단면도.

도 11(A) 및 도 11(B)는 실시예 3을 설명하는 도면.

도 12(A) 및 도 12(B)는 실시예 3을 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

이하에 본 발명의 실시형태 1 및 실시형태 2를 설명한다. 다만, 본 발명은 많은 상이한 형태로 실시할 수 있고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 내용을 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

실시형태 1은 반도체 장치를 개시하고, 실시형태 2는 반도체 장치의 제작 방법을 개시한다.

(실시형태 1)

실시형태 1은 금속 기판 또는 금속막이 형성된 기판을 갖고, 금속 기판 위 또는 금속막 위의 구리(Cu) 도금막을 갖고, Cu 도금막 위의 배리어막과, 배리어막 위의 단결정 실리콘막과, 단결정 실리콘막 위의 전극층을 갖는 반도체 장치를 도 1(A) 및 도 1(B)를 사용하여 개시한다.

도 1(A)는 반도체 장치의 사시도, 도 1(B)는 도 1(A)의 파선 A-B의 단면도이다.

반도체 장치는, 금속 기판(31) 위에 금속막(32)을 갖고, 금속막(32) 위에 Cu 도금막(24)을 갖고, Cu 도금막(24) 위의 배리어막(26)과, 배리어막(26) 위의 단결정 실리콘막(34)과, 단결정 실리콘막(34) 위의 전극층(36)을 갖는다.

기판(31)은, 예를 들어, 유리 기판, 석영 기판, 세라믹스 기판, 플라스틱 기판 등의 절연성 기판, 실리콘 기판, 실리콘 게르마늄 기판 등의 반도체 기판, Al 기판, Cu 기판, Ni 기판 등의 금속 기판을 사용할 수 있다. 금속 기판을 사용하는 경우에는, Cu 기판인 것이 바람직하다.

기판(31) 위에는 두께 50nm 내지 300nm의 금속막(32)을 형성한다. 금속막(32)은 증착, 스퍼터, CVD 등의 공지의 방법에 의하여 형성한다. 금속막(32)은 Al막, Al-Nd합금막, Ag막, Au막, Pt막, Ag-Pd-Cu합금막, Cu막을 사용할 수 있지만, Cu막이 바람직하다. 또한, 기판(31)을 사용하는 경우에는, 금속막(32)을 형성하지 않아도 좋다.

Cu 도금막(24)은 공지의 전기 도금, 무전계 도금을 사용하여 500nm 내지 1.5㎛의 두께로 형성한다. Cu 도금막(24)의 전기 전도율은 Al막의 전기 전도율보다 높다. 또한, Cu 도금막(24)은 스퍼터법으로 사용되는 가스가 막중에 도입되는 것이 없다. 따라서, Cu 도금막(24)의 전기 전도율은 스퍼터막의 전기 전도율보다 높다. 또한, 도금을 사용하기 때문에, Cu 도금막(24)의 막 두께는 용이하게 크게 할 수 있다.

전기 도금을 사용하여 Cu 도금막(24)을 형성하는 경우에는, 금속이나 합금으로 이루어지는 시드막을 형성한 후, 시드막으로부터 성장시켜 Cu 도금막(24)을 형성한다. 시드막에는 Cu, Pd, 티타늄(Ti), Ni, Cr, Ag, Au 또는 티타늄-텅스텐(Ti-W), 니켈-철(Ni-Fe) 또는 이들의 합금을 사용한다. 시드막은 증착, 스퍼터 등의 공지의 방법에 의하여 50nm 내지 300nm의 두께로 형성한다. 무전계 도금을 사용하는 경우, 시드막은 불필요하다.

배리어막(26)은 질화티타늄, 티타늄(Ti), 질화탄탈, 탄탈(Ta), 질화텅스텐, 텅스텐(W) 등이 사용된다. 배리어막(26)은 단층막이라도 좋고, 적층막이라도 좋다. 배리어막(26)은 증착, 스퍼터 등의 공지의 방법에 의하여 10nm 내지 100nm의 두께로 형성할 수 있다. 배리어막(26)은 Cu 도금막(24)의 Cu가 단결정 실리콘막(34)에 확산하는 것을 방지한다. 이로써, Cu가 Si과 함께 합금을 형성하지 않고, 고신뢰성의 반도체 장치를 얻을 수 있다.

단결정 실리콘막(34)은 i형 단결정 실리콘막의 단층막, 기판(31) 측으로부터 p형 단결정 실리콘막 및 n형 단결정 실리콘막을 적층한 적층막, 기판(31) 측으로부터 n형 단결정 실리콘막 및 p형 단결정 실리콘막을 적층한 적층막, 기판(31) 측으로부터 p형 단결정 실리콘막, i형 단결정 실리콘막 및 n형 단결정 실리콘막을 적층한 적층막, 또는 기판(31) 측으로부터 n형 단결정 실리콘막, i형 단결정 실리콘막, 및 p형 단결정 실리콘막을 적층한 적층막을 사용할 수 있다. 단결정 실리콘막(34)은 실시형태 2에 기재하는 방법에 의하여 형성할 수 있다. 단결정 실리콘막(34)은 150nm 내지 600nm의 두께로 형성할 수 있다.

전극층(36) 측으로부터 광이 단결정 실리콘막(34)에 입사한다. 전극층(36)은 투명 도전 재료를 사용하여 스퍼터법 또는 증착법에 의하여 형성한다. 투명 도전 재료로서, 예를 들어, 산화인듐·주석 합금(ITO), 산화아연, 산화주석, 산화인듐·아연 합금 등의 금속 산화물을 사용할 수 있다. 전극층(36)은 빗살 형상(도 1(A) 참조)이나 격자 형상으로 형성할 수 있다.

전극층(36) 및 단결정 실리콘막(34)을 덮어 CVD법 등에 의하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막 또는 이들의 적층막으로 이루어지는 패시베이션막을 형성하여도 좋다(도시하지 않는다). 패시베이션막은 보호

막 및 반사 방지막으로서 기능시킬 수 있다.

Cu 도금막(24)의 전기 전도율은 Al막의 전기 전도율보다 높다. Cu 도금막(24)의 전기 전도율은 스퍼터막의 전기 전도율보다 높다. 또한, 배리어막(26)을 갖기 때문에 Cu가 Si과 함께 합금을 형성하는 것이 없고, 고신뢰성의 반도체 장치를 얻을 수 있다.

(실시형태 2)

실시형태 2는, 단결정 실리콘 기판인 제 1 기판에 수소 가스로 생성되는 이온을 도프하여 단결정 실리콘 기판 내에 취화층을 형성하는 단계와, 단결정 실리콘 기판 위에 배리어막을 형성하는 단계와, 배리어막 위에 Cu 도금막을 형성하는 단계와, 금속 기판 또는 금속막이 형성된 기판인 제 2 기판을 준비하는 단계와, Cu 도금막과, 금속 기판 또는 금속막을 열 압착하여 Cu 도금막을 사이에 두고 또는 Cu 도금막과 금속막을 사이에 두고 단결정 실리콘 기판과 제 2 기판을 접합시키는 단계와, 열 처리에 의하여 취화층으로부터 단결정 실리콘 기판의 일부를 박리하여 제 2 기판에 Cu 도금막을 사이에 두고 또는 Cu 도금막과 금속막을 사이에 두고 단결정 실리콘막을 형성하는 단계와, 단결정 실리콘막 위에 전극층을 형성하는 단계를 갖는 반도체 장치의 제작 방법을 도 2(A) 내지 도 5를 사용하여 개시한다.

제 1 기판인 단결정 실리콘 기판(21)을 준비한다. 단결정 실리콘 기판(21)은 n형 단결정 실리콘 기판, i형 단결정 실리콘 기판 또는 p형 단결정 실리콘 기판을 사용한다. 실시형태 2에서는, 단결정 실리콘 기판(21)에 p형 단결정 실리콘 기판을 사용하여 설명한다.

단결정 실리콘 기판(21)에 수소(H_2) 가스로 생성되는 이온(23)을 도프하여 취화층(22)을 형성한다(도 2(A) 참조). H_2 가스에 한정되지 않고, 포스핀(PH_3), 디보란(B_2H_6) 등을 사용하여도 좋다. 이온(23)의 도즈량은 특히 한정되지 않는다. 취화층(22)은 단결정 실리콘 기판(21)의 표면으로부터 50nm 이상 200nm 이하의 깊이에 형성되도록 이온(23)의 에너지 등을 조절한다. 또한, 단결정 실리콘 기판(21)의 전체 면에 이온(23)을 도프하는 것이 바람직하다. 후의 단계에 있어서 단결정 실리콘막(33)을 용이하게 형성할 수 있다.

상술한 이온의 조사 방법에 있어서, 생성되는 이온종(種)(H^+, H_2^+, H_3^+)의 총합량에 대해서 H_3^+의 비율을 50% 이상, 바람직하게는 H_3^+의 비율을 70% 이상으로 하면 좋다. H_3^+의 비율을 증가시킴으로써 이온의 조사 단계의 택트 타임(tact time)을 단축할 수 있고, 생산성이나 스루풋의 향상을 도모할 수 있다. 또한, 동일한 질량의 이온을 조사함으로써, 단결정 실리콘 기판(21)의 동일한 깊이에 집중적으로 이온을 첨가할 수 있다.

실시형태 1에서 개시한 방법에 의하여 단결정 실리콘 기판(21)에 두께 10nm 내지 100nm의 배리어막(26)을 형성한다(도 2(B) 참조).

전기 도금을 사용하는 경우는, 배리어막(26)에 시드막(25)을 형성한다(도 2(B) 참조). 시드막(25)은 실시형태 1에 개시한 방법에 의하여 50nm 내지 300nm의 두께로 형성한다. 무전계 도금을 사용하는 경우, 시드막(25)은 불필요하다.

전기 도금을 사용하는 경우는, 시드막으로부터 성장시켜 Cu 도금막(24)을 500nm 내지 1.5㎛의 두께로 형성한다(도 2(B) 참조). 무전계 도금을 사용하는 경우는, 배리어막(26)에 Cu 도금막(24)을 형성한다. 도금을 사용하기 때문에, Cu 도금막(24)의 막 두께는 용이하게 크게 할 수 있다. Cu 도금막(24)의 표면은 스퍼터법, 증착법 등에 의하여 형성된 금속막의 표면보다 큰 요철을 갖는다.

또한, 도 2(B)에서는 시드막(25)과 Cu 도금막(24)의 사이에 계면이 존재하도록 도시하지만, 시드막(25)으로부터 성장시켜 Cu 도금막(24)을 형성하기 때문에, 시드막(25)과 Cu 도금막(24)의 사이에는 명확한 계면이 존재하지 않는 경우도 있다.

기판(31)을 준비한다(도 3(A) 참조). 기판(31)은 제 2 기판이 된다. 기판(31)은 실시형태 1에서 개시한 기판을 사용할 수 있다. 다만, 후에 설명하는 열 처리의 온도 이상의 내열성을 갖는 기판인 것이 바람직하다.

기판(31)에 두께 10nm 내지 300nm의 금속막(32)을 증착, 스퍼터, CVD 등의 공지의 방법에 의하여 형성한다(도 3(A) 참조). 금속막(32)은 Cu막인 것이 바람직하다. 금속 기판을 사용하는 경우에는, 금속막(32)은 형성하지 않아도 좋다.

Cu 도금막(24)과 금속막(32)이 대향하도록 단결정 실리콘 기판(21)과 기판(31)을 배치하고(도 3(B) 참조), 핫 프레스(hot press) 장치를 사용하여 열 압착하여 접합한다(도 3(C) 참조). 열 압착은 150℃ 이상, 300℃ 이하,

및 0.5MPa 이상, 20MPa 이하로 행한다. 또는, 열 압착은 150℃ 이상, 제 1 기판 및 제 2 기판의 내열 온도 미만, 및 2.0MPa 이상, 20MPa 이하로 행한다. 300℃ 이하로 한 이유는, 후에 설명하는 바와 같이, 400℃ 이상의 열 처리에 의하여 단결정 실리콘 기판(21)의 일부를 박리하기 위해서이다. 또한, 열 압착은 5분 내지 4시간으로 행할 수 있다.

접합한 후, 접합된 단결정 실리콘 기판(21)과, 기판(31)을 핫 프레스 장치에서 꺼낸다. 다음에, 400℃ 이상으로 열 처리를 행한다. 열 처리는 취화층(22)에 형성된 미소한 공동의 체적 변화를 일으킨다. 이 체적 변화에 의하여 취화층(22) 근방을 경계로 하여 단결정 실리콘 기판(21)의 일부를 박리하여 기판(31)에 금속막(32) 및 Cu 도금막(24) 및 배리어막(26)을 사이에 두고 단결정 실리콘막(33)을 50nm 내지 200nm의 막 두께로 형성할 수 있다(도 4(A) 참조).

열 처리는, 확산로(擴散盧), 저항 가열로 등의 가열로, Rapid Thermal Anneal(RTA) 장치, 마이크로파 가열 장치 등을 사용할 수 있다. 열 처리의 온도는, 400℃ 이상, 단결정 실리콘 기판(21)의 내열 온도 미만 및 기판(31)의 내열 온도 미만으로 한다. 예를 들어, 단결정 실리콘 기판(21), 기판(31)에 유리 기판을 사용하는 경우는, 400℃ 이상, 650℃ 이하, 처리 시간 0.5시간 내지 5시간으로 행한다.

단결정 실리콘막(33)의 표면은 결함이나 큰 요철이 있기 때문에, 레이저 광 조사, CMP 등에 의하여 결함을 저감시켜 표면을 평탄화하여도 좋다(도 4(B) 참조).

상술한 바와 같이, 단결정 실리콘 기판(21)은 p형이기 때문에, 단결정 실리콘막(33)은 p형이다. p형 단결정 실리콘막(33) 위에 i형 단결정 실리콘막(34)을 형성하고, i형 단결정 실리콘막(34) 위에 n형 단결정 실리콘막(35)을 각각 50nm 내지 200nm의 막 두께로 형성한다(도 4(C) 참조).

실시형태 2에서는, 고상(固相) 성장(고상 에피택시얼 성장)이나 기상(氣相) 성장(기상 에피택시얼 성장) 등의 에피택시얼 성장 기술을 이용하여 i형 단결정 실리콘막(34), n형 단결정 실리콘막(35)을 형성한다.

우선, p형 단결정 실리콘막(33) 위에 CVD법 등에 의하여 i형 비정질 실리콘막 또는 i형 결정성 실리콘막을 형성한다. i형 비정질 실리콘막 또는 i형 결정성 실리콘막을 고상 성장시켜 i형 단결정 실리콘막(34)을 형성한다.

i형 단결정 실리콘막(34) 위에 CVD법 등에 의하여 n형 비정질 실리콘막 또는 n형 결정성 실리콘막을 형성한다. n형 비정질 실리콘막 또는 n형 결정성 실리콘막을 고상 성장시켜 n형 단결정 실리콘막(35)을 형성한다.

고상 성장을 행하는 열 처리는, 상술한 RTA, 노, 고주파 발생 장치 등의 열 처리 장치를 사용한다.

i형 단결정 실리콘막(34) 및 n형 단결정 실리콘막(35)의 형성 방법은, 상술한 방법에 한정되지 않는다. 예를 들어, CVD법 등에 의하여 비정질 실리콘막 또는 결정성 실리콘막을 형성하고, 레이저 광을 조사하여 단결정 실리콘막을 형성하여도 좋다.

n형의 단결정 실리콘막(35) 위에 전극층(36)을 형성한다(도 5 참조). 전극층(36) 측을 광 입사면으로 하기 위해서, 전극층(36)은 투명 도전 재료를 사용하여 스퍼터법 또는 진공 증착법에 의하여 형성한다. 산화인듐·주석 합금, 산화아연, 산화주석, 산화인듐·아연 합금 등의 산화물 금속을 사용한다. 전극층(36)의 상면 형상은 빗살 형상(도 1(A) 참조)이나 격자 형상으로 형성할 수 있다.

CVD법 등에 의하여 산화실리콘막 등으로 이루어지는 패시베이션막(37)을 형성한다(도 5 참조). 이 패시베이션막(37)은 보호막 및 반사 방지막으로서 기능한다.

패시베이션막(37)에 콘택트 홀을 형성하고, 금속막(32)과 전기적으로 접속하는 배선(38) 및 전극층(36)과 전기적으로 접속하는 배선(39)을 증착법, 포토리소그래피 등을 사용하여 형성한다(도 5 참조). 인쇄법, 액적 토출법 등을 사용하여 배선(38, 39)을 형성하면, 포토 마스크가 불필요하다. 배선(38, 39), 패시베이션막(37)은 필요에 따라 형성한다.

이와 같이, 금속 기판 또는 금속막이 형성된 기판 위에 고전기 전도율을 갖는 Cu 도금막, 상기 Cu 도금막 위에 단결정 실리콘막을 갖는 반도체 장치를 실현시킬 수 있다. Cu 도금막의 표면은 스퍼터법, 증착법 등에 의하여 형성된 금속막의 표면보다 큰 요철을 갖고, Cu 도금막과 대향 기판을 접합시키는 것은 어렵지만, 본 발명의 제작 방법은 접합시킬 수 있다.

또한, Cu 도금시에는, 단결정 실리콘 기판을 도금액에 침지(浸漬)되기 때문에, 제 2 기판은 도금액에 침지되는 것이 없다.

단결정 실리콘 기판(21)으로서 p형 단결정 실리콘 기판을 적용하였지만, n형 단결정 실리콘 기판을 사용하여도 좋다. 이 경우, 단결정 실리콘막(33)은 n형의 단결정 실리콘막이 되고, 단결정 실리콘막(35)은 p형 단결정 실리콘막이 된다. 또한, i형 단결정 실리콘 기판을 사용하여도 좋다.

또한, 실시형태 2는 실시형태 1과 적절히 조합할 수 있다.

[실시예 1]

실시예 1은 Cu 도금막을 갖는 제 1 기판과, 금속막이 형성된 제 2 기판을 열 압착하여 Cu 도금막과 금속막을 사이에 두고 제 1 기판과 제 2 기판을 접합시키는 반도체 장치의 제작 방법을 도 6(A) 내지 도 8을 사용하여 개시한다.

단결정 실리콘 기판인 제 1 기판(1) 위에 스퍼터법에 의하여 배리어막(4)으로서 두께 25nm 내지 100nm를 갖는 Ti막, 질화티타늄막 또는 질화탄탈막을 형성하였다.

배리어막(4) 위에 스퍼터법에 의하여 시드막(3)으로서 두께 100nm 내지 200nm를 갖는, Ni막, Ag-Pd-Cu 합금막 또는 Cu막을 형성하였다(도 6(A) 참조).

시드막(3) 위에 Cu 도금막을 형성하였다. Cu 도금막의 형성은 전(前) 처리, 도금 처리, 후(後) 처리로 이루어진다.

전 처리를 설명한다. 시드막(3), 배리어막(4)이 형성된 제 1 기판(1)을 인산-유기화합물-물의 혼합 용액으로 5분 내지 10분간 처리한 후, 순수로 세정하였다. 다음에, 10% 염산으로 5분 내지 10분간 처리한 후, 순수로 세정하였다.

도금 처리를 설명한다. 여기서는, 전기 도금을 사용하였다. 도금액은 MICROFAB(등록 상표) Cu300(Electroplating Engineers Japan Ltd. 제조)을 사용하였다. Cu300은 H_2SO_4, $CuSO_4$(Ⅱ) 및 첨가제를 포함한다. 도금액 중에 양극과 음극을 형성하고, 양극과 음극은 직류 전원에 접속하였다. 양극으로서 함인동(含燐銅; high phosphorous copper)을 설치하여 음극으로서 제 1 기판(1)을 설치하였다. 전류 밀도 1(A)/dm^2로 내지 5A/dm^2로 하고, 실온으로 도금 처리를 행하였다. Cu 도금막(2)은 100nm 내지 1μm 형성하였다. 도금 처리 후, 제 1 기판(1)을 도금액에서 꺼내었다.

후 처리를 설명한다. 제 1 기판(1)을 순수, 10% 황산, 및 1% 옥살산을 사용하여 초음파 세정하였다.

상술한 바와 같이, Cu 도금막(2)을 형성하였다(도 6(A) 참조). 또한, 도 6(A)에서는 시드막(3)과 Cu 도금막(2)의 사이에 계면이 존재하도록 도시하였지만, 시드막(3)으로부터 성장시켜 Cu 도금막(2)을 형성하기 때문에, 시드막(3)과 Cu 도금막(2)의 사이에는 명확한 계면이 존재하지 않는 경우도 있다.

한편, 제 2 기판(11)에는 유리 기판을 사용하였다. 실시예 1에는 두께 1mm 이하인 AN100(ASAHI GLASS CO., LTD. 제조, 변형점 약 670℃)을 사용하였다. 제 2 기판(11) 위에 스퍼터법에 의하여 금속막(12)으로서 두께 100nm 내지 200nm를 갖는 Cu막을 형성하였다(도 6(B) 참조).

제 1 기판(1)과 제 2 기판(11)을 핫 프레스 장치를 사용하여 열 압착한다.

핫 프레스 장치의 아래 측의 열반(熱盤)(50)에 제 1 기판(1)과 제 2 기판(11)을 배치하였다. Cu 도금막(2)과 Cu막이 대향하도록 배치하였다(도 7(A) 참조). 열반(50) 및 열반(51)은 가열 장치에 접속된다(도시하지 않는다).

열반(50)을 상승시켜 위쪽의 열반(51)과 아래쪽의 열반(50)에 의하여 제 1 기판(1)과, 제 2 기판(11)을 열 압착하였다(도 7(B) 참조). 압력은 2MPa 내지 20MPa, 온도는 실온 내지 300℃, 열 압착 시간은 0.25시간 내지 3.5시간으로 하였다.

열 압착의 결과를 도 8에 도시한다. 세로축은 열 압착시의 압력(Pa), 가로축은 온도(℃)이며, ○표(동그라미표)는, 제 1 기판(1)과 제 2 기판(11)을 접합시킬 수 있는 것을 가리키고, ×표(가위표)는 접합시킬 수 없다는 것을 가리킨다. 제 1 기판(1)과 제 2 기판(11)은, 150℃ 내지 300℃, 및 2MPa 이상, 20MPa 이하로 접합시킬 수 있었다. 열 압착은 0.25 시간 이상으로 충분하다. 또한, 온도 100℃ 이하에서는 접합시킬 수 없었다. 또한, 핫 프레스 장치의 사정(事情)으로 압력의 하한값을 2MPa로 하지만, 0.5MPa 이상이면 접합시킬 수 있다.

또한, 도 7(B)에서는, 금속막(12)과 Cu 도금막(2)의 사이에 계면이 존재하도록 도시하지만, 금속막(12)과 Cu 도금막(2)이 같은 금속(Cu)으로 이루어지는 경우, 금속막(12)과 Cu 도금막(2)의 사이에는 명확한 계면이 존재하지 않는 경우도 있다.

[실시예 2]

실시예 2에서는, 제 2 기판(11) 위에 스퍼터법에 의하여 금속막(12)으로서 Al-Nd막 또는 Ag-Pd-Cu 합금막을 형성하였다. 그 이외의 조건은 실시예 1과 같다.

제 1 기판(1)과 제 2 기판(11)은 150℃ 내지 300℃, 및 2MPa 이상, 20MPa 이하로 접합시킬 수 있었다. 또한, 핫 프레스 장치의 사정으로 압력의 하한값을 2MPa로 하지만, 0.5MPa 이상이면 접합시킬 수 있다.

[실시예 3]

실시예 3에서는, 단결정 실리콘 기판인 제 1 기판 전체 면에 수소 가스로 생성되는 이온을 도프하여 단결정 실리콘 기판 내에 취화층을 형성하는 단계와, 단결정 실리콘 기판 위에 배리어막을 형성하는 단계와, 배리어막 위에 Cu 도금막을 형성하는 단계와, 금속막이 형성된 기판인 제 2 기판을 준비하는 단계와, Cu 도금막과, 금속막을 열 압착하여 Cu 도금막과 금속막을 사이에 두고 단결정 실리콘 기판과 제 2 기판을 접합시키는 단계와, 열 처리에 의하여 취화층으로부터 단결정 실리콘 기판의 일부를 박리하여 제 2 기판에 Cu 도금막과 금속막을 사이에 두고 단결정 실리콘막을 형성하는 단계를 도 9(A) 내지 도 12(B)를 사용하여 개시한다.

단결정 실리콘 기판(21)에 H_2 가스로 생성되는 이온(23)을 도프하여 취화층(22)을 형성한다(도 9(A) 참조). H_2 가스의 유량을 50sccm, 가속 전압을 80kV, 전류 밀도를 5㎂/cm^2로 하고, 도즈량은 $2.0\times10^{16}cm^{-2}$로 하였다. 단결정 실리콘 기판(21) 중의 수소 이온 농도는 $2.0\times10^{21}cm^{-3}$ 정도가 된다.

단결정 실리콘 기판(21)에 배리어막(26)으로서 스퍼터법에 의하여 질화탄탈 또는 질화티타늄막을 두께 25nm로 형성하였다.

배리어막(26) 위에 시드막(25)으로서 스퍼터법에 의하여 Cu막 또는 Ni막을 형성하였다. Cu막은 두께 200nm, Ni막은 두께 100nm로 형성하였다.

실시예 1에 개시한 바와 같은 방법, 재료를 사용하여 시드막(25) 위에 Cu 도금막(24)을 두께 1㎛로 형성하였다. 전류 밀도 2(A)/dm^2로 하고, 실온으로 도금 처리를 행하였다(도 9(B) 참조). 또한, 시드막(25)으로부터 성장시켜 Cu 도금막(24)을 형성하기 때문에, 시드막(25)과 Cu 도금막(24)의 사이에는 명확한 계면이 존재하지 않는 경우도 있다.

기판(31)으로서, 유리 기판 AN100(ASAHI GLASS CO., LTD. 제조)을 사용하였다.

유리 기판에 실시예 1과 같은 스퍼터법에 의하여 금속막(32)으로서 Cu막을 두께 100nm 내지 200nm로 형성하였다.

핫 프레스 장치의 아래쪽의 열반(50)에 단결정 실리콘 기판(21)과 유리 기판을 Cu 도금막(24)과 Cu막이 대향하도록 배치하였다. 열반(50) 및 열반(51)은 가열 장치에 접속된다(도시하지 않는다). 열반(50)을 상승시켜 위쪽의 열반(51)과 아래쪽의 열반(50)에 의하여 단결정 실리콘 기판(21)과 유리 기판을 열 압착하였다(도 9(C) 참조). 열 압착은 150℃ 및 2MPa 이상, 20MPa 이하로 행하였다. 이로써, 단결정 실리콘 기판(21)과 유리 기판을 접합시킬 수 있었다(도 10(A) 참조). 핫 프레스 장치의 사정으로 압력의 하한값을 2MPa로 하였지만, 0.5MPa 이상이면 접합시킬 수 있다. 또한, 금속막(32)과 Cu 도금막(24)이 같은 Cu로 이루어지기 때문에, 금속막(32)과 Cu 도금막(24)의 사이에는 명확한 계면이 존재하지 않는 경우도 있다.

열 압착한 후, 접합시킨 단결정 실리콘 기판(21)과 유리 기판을 핫 프레스 장치에서 꺼내고, 가열로에서 400℃ 이상, 2시간 내지 4시간으로 열 처리를 행하였다. 취화층 근방을 경계로 하여 단결정 실리콘 기판(21)의 일부를 박리하고, 유리 기판에 Cu막 및 Cu 도금막(24)을 사이에 두고 단결정 실리콘막(33)을 50nm 내지 200nm의 두께로 형성할 수 있었다(도 10(B) 참조).

배리어막(26)을 두께 25nm의 질화탄탈막, 시드막(25)을 두께 200nm의 Cu막, 열 압착을 150℃ 및 10MPa로 행하고, 그 후, 600℃ 2시간의 열 처리를 행하여 단결정 실리콘 기판(21)의 일부를 박리하여 단결정 실리콘막(33)을 형성한 유리 기판을 나타낸다(도 11(A) 참조). 유리 기판 위에는 단결정 실리콘막(33)이 형성된다. 유

리 기판 주변부에는 Cu막이 관찰되었다.

이 단결정 실리콘막(33)을 형성한 유리 기판의 단면을 투과형 전자 현미경(Transmission Electron Microscope; TEM)을 사용하여 관찰한 결과, Cu막 위에 단결정 실리콘막(33)이 형성되는 것을 알 수 있었다(도 11(B) 참조). 또한, 시드막(25), Cu 도금막(24), 금속막(32)의 계면을 관찰할 수 없었다.

배리어막(26)을 두께 25nm의 질화티타늄막, 시드막(25)을 두께 100nm의 Ni막, 열 압착을 300℃, 및 2MPa로 행하고, 그 후, 400℃ 2시간의 열 처리, 600℃ 4시간의 열 처리를 더 행하고, 단결정 실리콘 기판(21)의 일부를 박리하여 단결정 실리콘막(33)을 형성한 유리 기판을 나타낸다(도 12(A) 참조). 유리 기판 위에는 단결정 실리콘막(33)이 형성된다. 유리 기판의 주변부에는 Cu막이 관찰되었다.

이 단결정 실리콘막(33)을 형성한 유리 기판의 단면을 TEM를 사용하여 관찰한 결과, Cu막 위에 단결정 실리콘막(33)이 형성되는 것을 알 수 있었다(도 12(B) 참조). 또한, 시드막(25), Cu 도금막(24), 금속막(32)의 계면은 관찰할 수 없었다.

부호의 설명

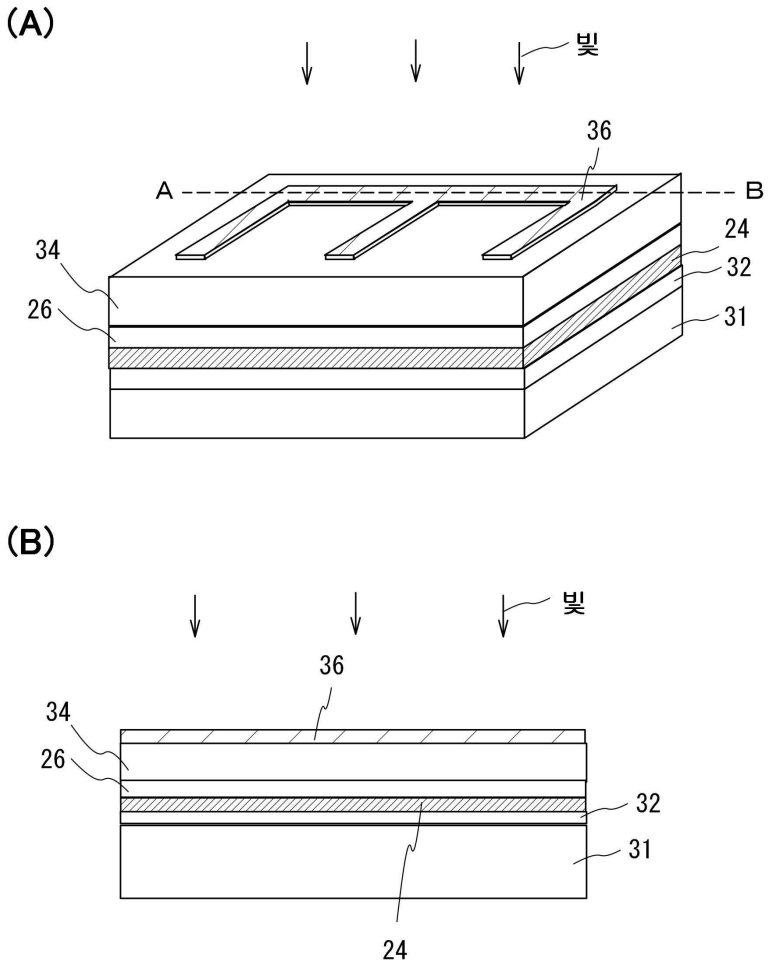
24: 금속 도금막　　26: 배리어막

31: 기판　　32: 금속막

34: 단결정 실리콘막　　36: 전극층

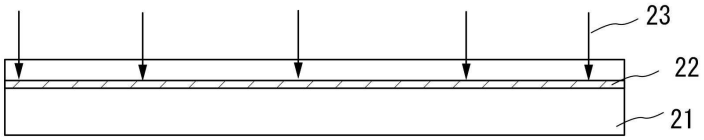
도면

도면1

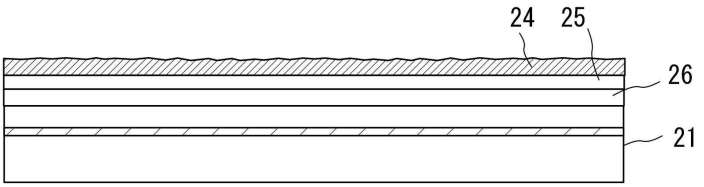


도면2

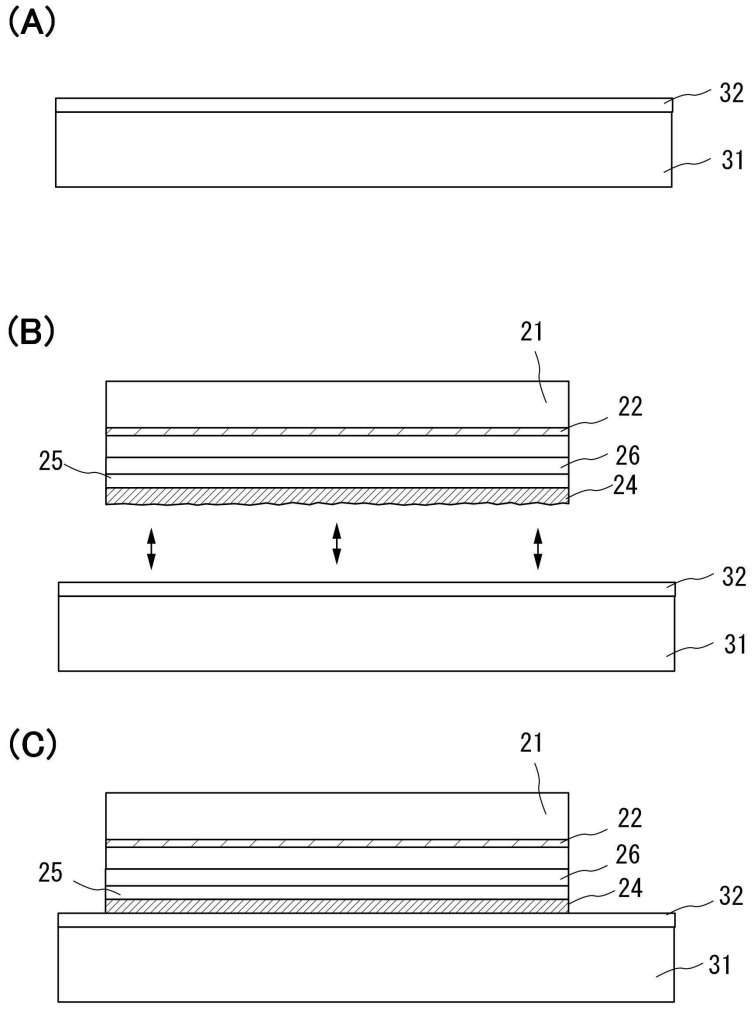
(A)



(B)

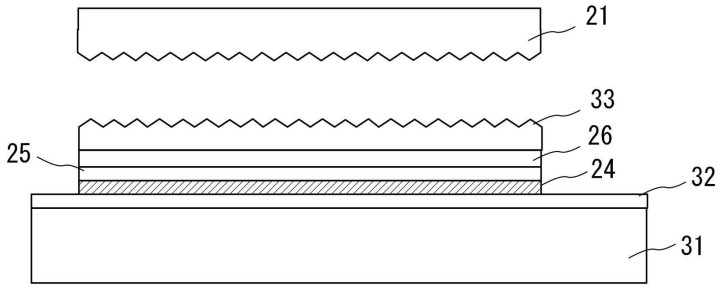


도면3

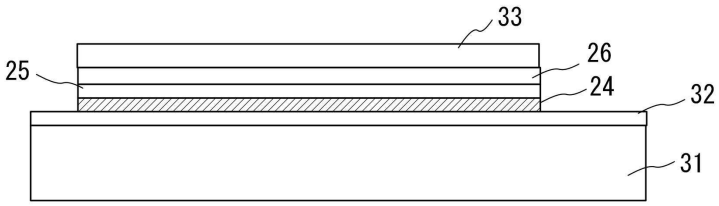


도면4

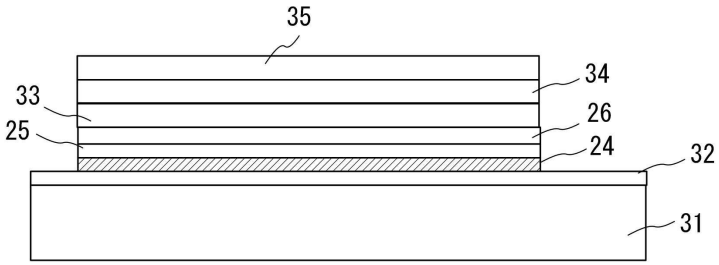
(A)



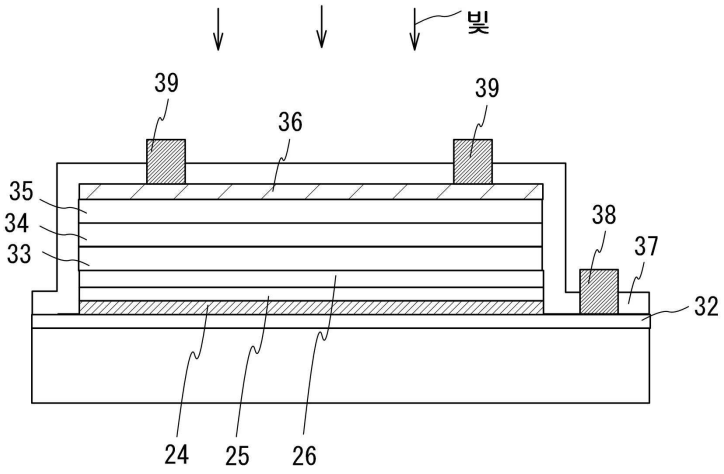
(B)



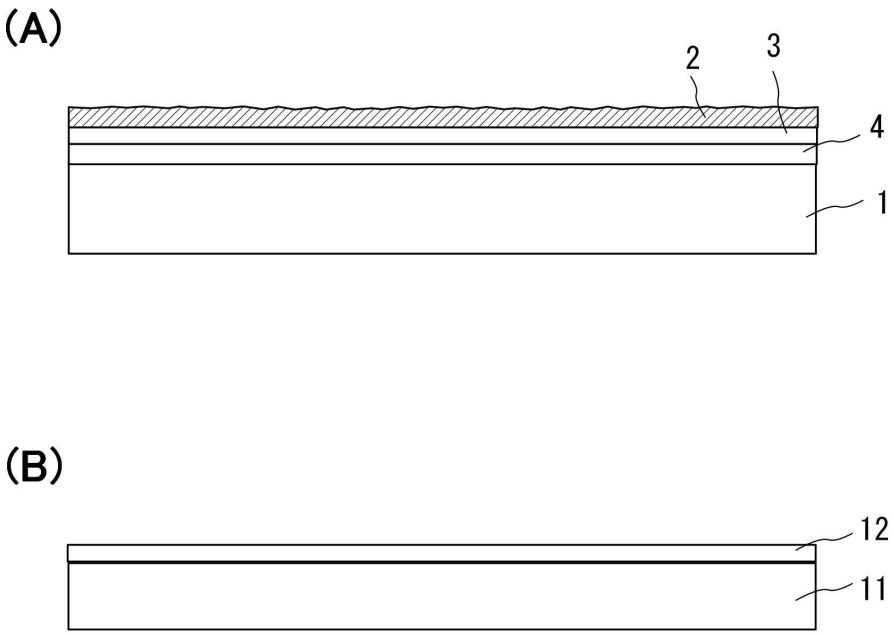
(C)



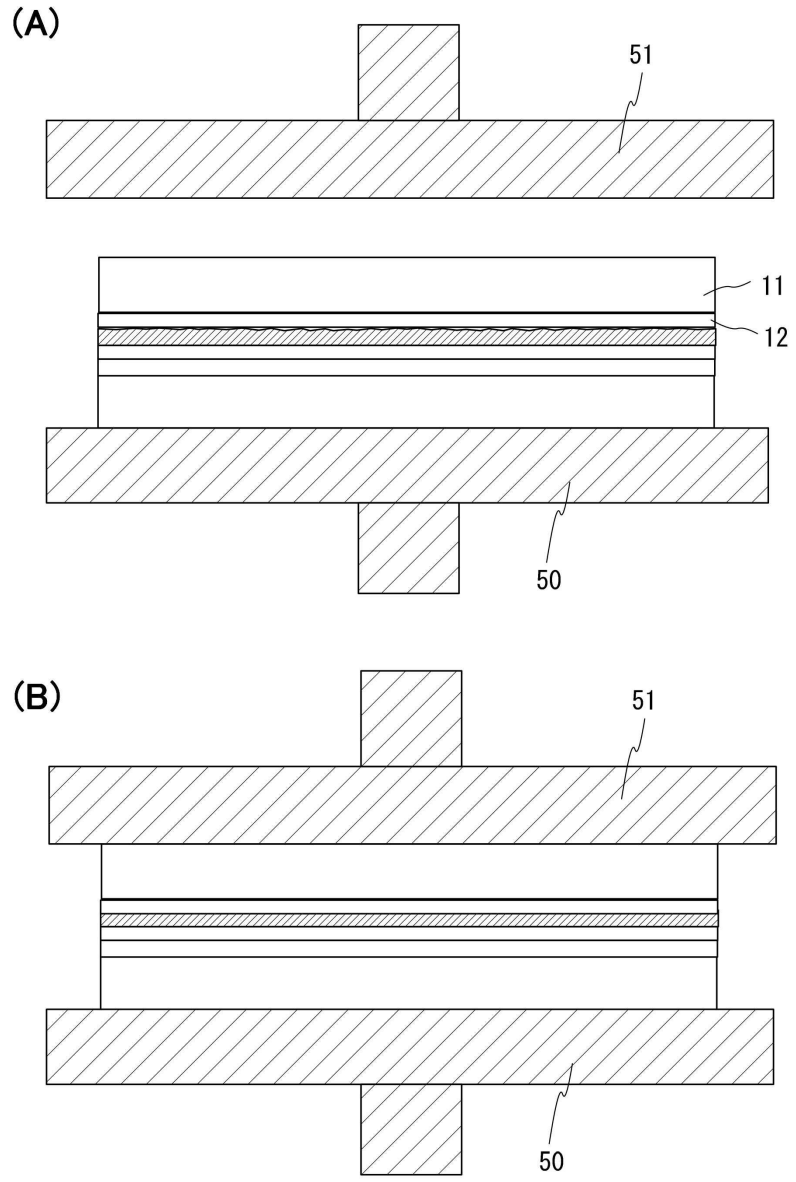
도면5



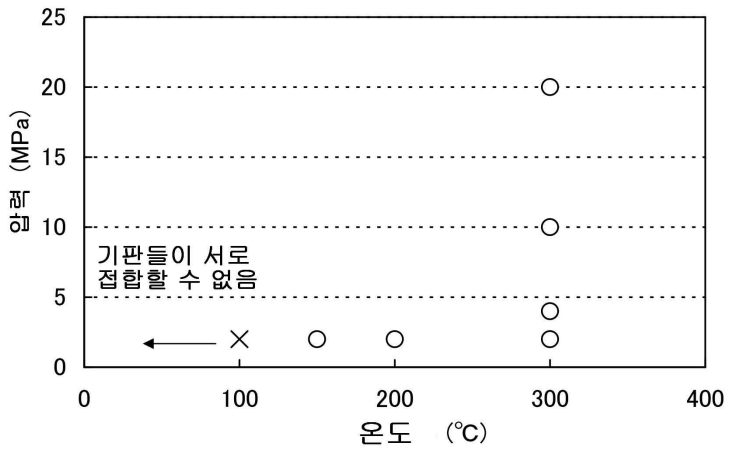
도면6



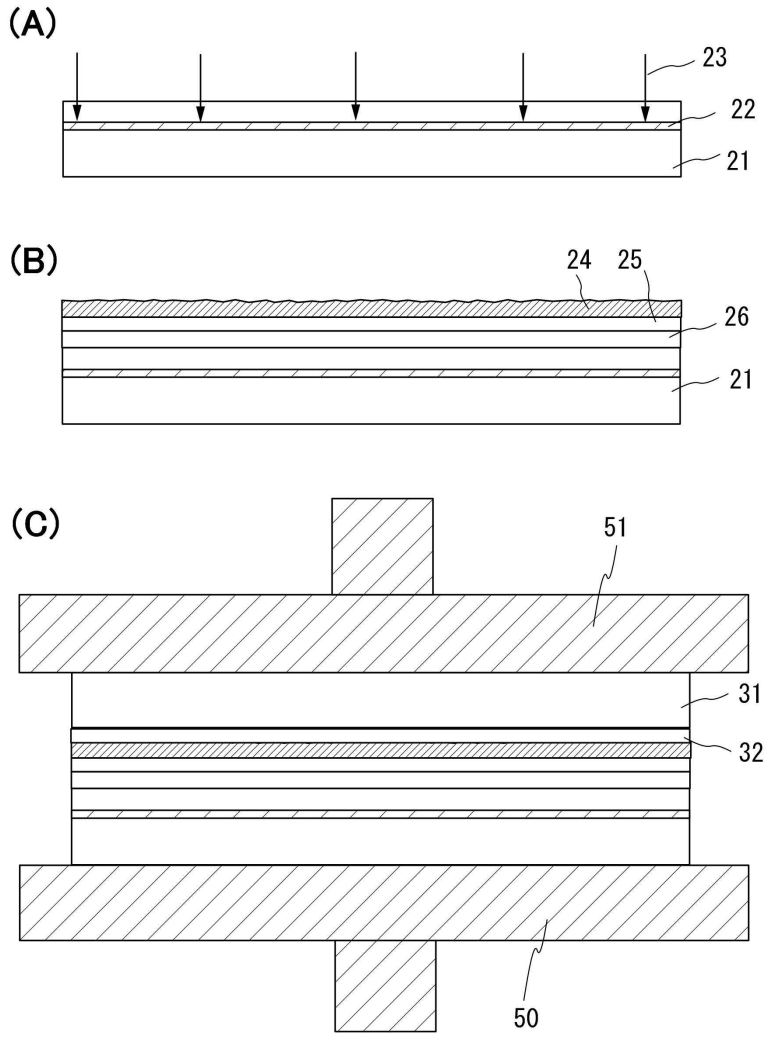
도면7



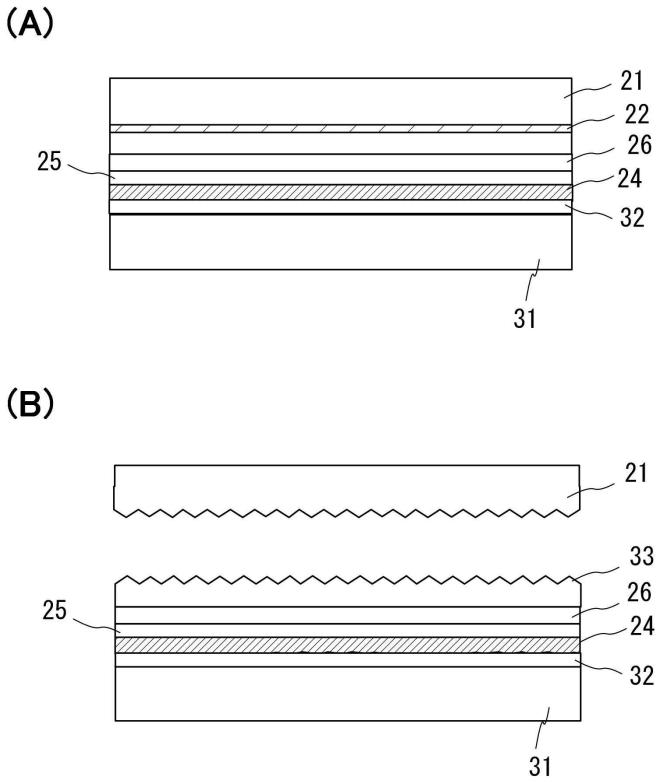
도면8


25
20
15
10
5
0
압력 (MPa)
기판들이 서로
접합할 수 없음
0
100
200
300
400
온도 (℃)

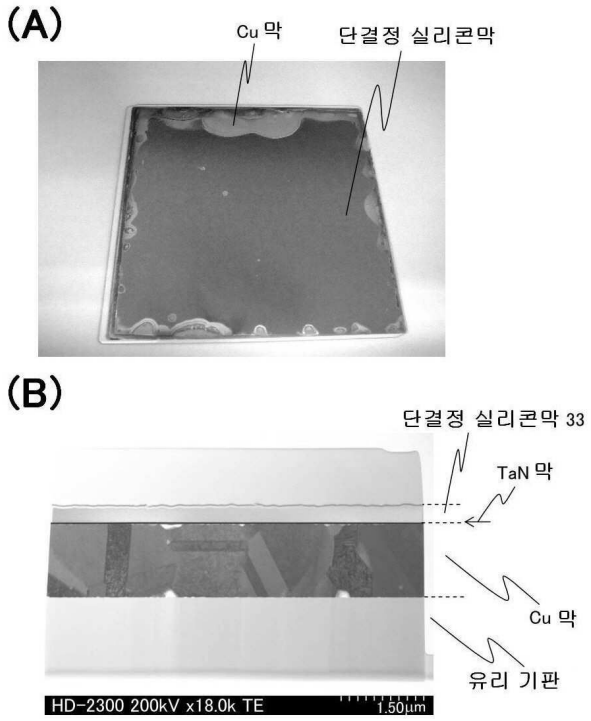
도면9


(A)
23
22
21
(B)
24
25
26
21
(C)
51
31
32
50

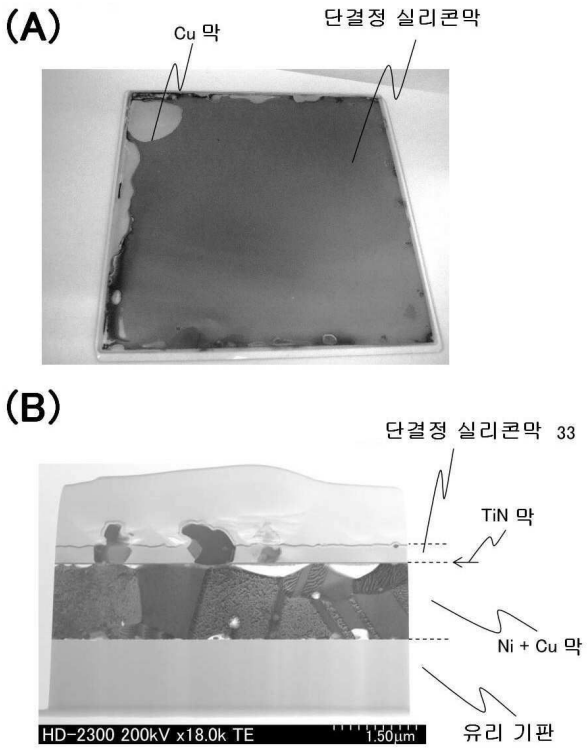
도면10


(A)
21
22
26
25
24
32
31
(B)
21
33
26
25
24
32
31

도면11


(A)
Cu 막
단결정 실리콘막
(B)
단결정 실리콘막 33
TaN 막
Cu 막
유리 기판
HD-2300 200kV x18.0k TE
1.50μm

도면12


(A)
Cu 막
단결정 실리콘막
(B)
단결정 실리콘막 33
TiN 막
Ni + Cu 막
유리 기판
HD-2300 200kV x18.0k TE
1.50μm