



〔12〕发明专利申请审定说明书

〔21〕申请号 85108134

〔51〕Int.Cl⁴

H01L 29 / 70

〔44〕审定公告日 1989 年 7 月 19 日

〔22〕申请日 85.11.2

〔30〕优先权

〔32〕84.11.5〔33〕JP〔31〕232870 / 84

〔71〕申请人 索尼公司

地 址 日本东京都品川区北品川 6 丁

〔72〕发明人 植木善夫

目 7 番 35 号

〔74〕专利代理机构 中国专利代理有限公司

代理人 肖春京

H01L 27 / 06

说明书页数: 5 附图页数: 1

〔54〕发明名称 半导体器件

〔57〕摘要

具有 npn 和 pnp 晶体管的一半导体器件,其特征
征在于一半导体衬底上所形成的一 n 型外延层上形
成 npn 晶体管,以及在一 n 型外延层上所形成的-n 型
半导体区域内形成 pnp 晶体管,n 型半导体区域具有
一高于 n 型外延层的杂质浓度。即使 n 型外延层的
厚度被减小,仍可以防止 pnp 晶体管的穿通现象,
因此得到一高速半导体器件。

权利要求书

1. 具有 npn 和 pnp 晶体管的一半导体器件,其特征在于一半导体衬底上所形成的一 n 型外延层上形成 npn 晶体管,以及在 n 型外延层上所形成的一 n 型半导体区域里形成 pnp 晶体管,上述 n 型半导体区域具有一高于上述 n 型外延层的杂质浓度,和一低于上述 npn 晶体管基区的杂质浓度,以形成横向和纵向的 pnp 晶体管;其中所述的 n 型半导体区域的杂质浓度适合于 $1 \times 10^{16} \text{cm}^{-3}$ 和 $1 \times 10^{17} \text{cm}^{-3}$ 区域之间。

2. 根据权利要求 1 的一半导体器件,其特征在于形成横向和纵向 pnp 晶体管。

3. 根据权利要求 1 和 2 中任何一项的一半导体器件,其特征在于上述 n 型半导体区域的杂质浓度适合于在 $1 \times 10^{16} \text{cm}^{-3}$ 和 $1 \times 10^{17} \text{cm}^{-3}$ 范围。

4. 根据权利要求 1 到 3 中的任何一项的一半导体器件,其特征在于上述 n 型外延层有一不大于 5 μm 的厚度。

5. 根据权利要求 1 到 3 中任何一项的一半导体器件,其特征在于上述 n 型外延层有一 1~2 μm 的厚度。

6. 根据权利要求 1 到 5 中任何一项的一半导体器件,其特征在于上述 n 型外延层包括一 n 型硅外延层。

7. 根据权利要求 1 的一半导体器件,其特征在于上述的半导体器件包括一双极型集成电路。

本发明涉及具有 npn 和 pnp 晶体管的一半导体器件。

一般来说,双极型 IC (集成电路) 这类半导体器件已为众所周知。通常,主要使用由 npn 晶体管构成的双极型 IC 元件。然而,当考虑构成电路使用两种类型晶体管便利时,pnp 晶体管也同 npn 晶体管一并使用。一般 pnp 晶体管被分成对衬底的表面具有平行导电方向的一横向 pnp 晶体管和对衬底表面具有垂直导电方向的一纵向 pnp 晶体管。

具有 npn 的一惯用双极型 IC 和横向与纵向 pnp 晶体管采用图 1A~1C 所示的方法制造。如图 1A 所示,在 p 型硅衬底 1 内形成 n⁺型埋层 2 和

3. 其后,在 p 型硅衬底 1 上形成一 n 型硅外延层 4。在硅外延层 4 内形成一 p⁺型隔离扩散区 5 并延伸到 p 型硅衬底 1。如图 1B 所示,在硅外延层 4 上形成 npn 晶体管的 p 型基区 7,一纵向 pnp 晶体管的 p 型发射区 8 和 p 型集电极区 9,以及一横向 pnp 晶体管的 p 型发射区 10 和 p 型集电极区 11。如图 1C 所示,用于 npn 晶体管的 n⁺型发射区 12 和 n⁺型集电极区 13,用于纵向 pnp 晶体管的 n⁺型基区 14 以及用于横向 pnp 晶体管的 n⁺型基区 15 都是在硅外延层 4 上形成的。其后,被形成的电极(图中未显示)连接到区域 7~15,然而完成一双极型 IC。在图 1C 所示的惯用双极型 IC 中,在基区 7 和埋层 3 之间的硅外延层 4 上构成发射区 12,基区 7 和一集电极 16,组成 npn 晶体管 17。在发射区 8 下面,由硅外延层 4 构成发射区 8,基区 18,由 p 型硅衬底 1 构成集电极 19,从而形成一纵向 pnp 晶体管 20。在发射区 10 和集电极 11 之间的硅外延层 4 上构成发射区 10,集电极 11 和基区 21,而形成一横向的 pnp 晶体管 22。需要注意在纵向 pnp 晶体管 20 的下面没有形成埋层,从而得到一 DC 电流增益 h_{FE} 。

如图 1C 所示的惯用双极型 IC 有下述缺点。为了得到一低电压,高速度的双极型 IC,硅外延层 4 的厚度必须小到 1~2 μm ,当这种薄硅外延层形成时,横向 pnp 晶体管 22 的增益 h_{FE} 减小。为了防止这种情况,基区宽度 W 必须设计很小。当基区宽度 W 小到大约 2 μm 时,然而在集电极和发射区之间就发生穿通现象。同样,当硅外延层 4 薄时,在垂直方向发生穿通,其导致极大不便。

本发明的目的提供没有上述现有技术中所存在之缺点的一半导体器件。

为了完成本发明上述目的,提供具有 npn 和 pnp 晶体管的半导体器件,其中 npn 晶体管是在一半导体衬底上所形成的一 n 型外延层内构成,以及 pnp 晶体管是在 n 型外延层上所形成的一 n 型半导体区域内形成。该 n 型半导体区域具有比 n 型外延层较高的杂质浓度。根据本发明即使减小了 n 型外延层的厚度,也可以避免 pnp 晶体管的穿通,从而得到一高速度的半导体器件。

图 1A~1C 顺序地示出惯用双极型 IC 制造方法的剖面图;

图 2A~2D 顺序地示出根据本发明实施例一

双极型 IC 的制造方法的剖面图;

图 3 是一曲线图, 示出工作频率 f_T 和横向 pnp 晶体管的集电极电流 I_C 之间的关系(用一基区宽度 W 作为参数);

图 4 是一曲线图, 示出 DC 电流增益 h_{FE} , 集电极-发射极击穿电压 V_{CBO} 和一横向 pnp 晶体管的基区宽度 W 之间的关系;

图 5 是一曲线图, 示出工作频率 f_T 和一纵向 pnp 晶体管的集电极电流 I_C 之间的关系。

根据本发明实施例, 将参照附图来说明一双极型 IC。在图 2A~2D 中, 使用与图 1A~1C 中指示相同部分的参考序号, 如果需要, 将省略其中的详细叙述。

下面将叙述制造双极型 IC 的方法。

如图 2A 所示, 在一 p 型硅衬底 1 上, 高浓度扩进 n 型杂质, 诸如砷 (As) 或锑 (sb), 形成 n^+ 型埋层 2 和 3。在 p 型硅衬底上形成具有 $2\mu\text{m}$ 厚度的 n 型硅外延层 4 和 $1\Omega\text{cm}$ 的电阻率 ρ (相当于 $5 \times 10^{15}\text{cm}^{-3}$ 的杂质浓度)。其后, 在硅外延层 4 的表面上形成 SiO_2 膜。随后, 在预定条件下, 在硅外延层 4 内, 通过 SiO_2 膜 24 选择性地离子掺入 n 型杂质, 如 As。在硅外延层 4 上所掺入的杂质由圆圈表示。

如图 2b 所示, SiO_2 膜 24 的一预定部分被刻蚀形成 24a~24d 开口, 随后在硅外延层 4 内, 通过开口 24a~24d 扩散进 p 型杂质, 如硼 (B), 形成 p^+ 型隔离扩散区 5, 延伸到 p 型硅衬底 1。在热处理中, 形成隔离扩散区 5, 在硅外延层 4 到一预定的厚度内, 扩散所掺入的杂质及被电化的杂质。结果在硅外延层 4 内形成 n 型区域 26 到 28。在这种情况下, 区域 26 到 28 有一高于硅外延层 4 的杂质浓度 $5 \times 10^{16}\text{cm}^{-3}$, 但低于 npn 晶体管 17 (后面给予说明) 的 p 型基区 7 的杂质浓度。

如图 2C 所示, 在 n 型区域 26 内形成 p 型集电区 11 和一发射区 10, 在 n 型区域 27 内形成 p 型发射区 8, 以及在硅外延层 4 内形成 p 型基区 7。同时, 在外延层 4 上形成用于一纵向 pnp 晶体管的 p 型集电区 9。然而, 在基区 7 内形成 p^+ 型融合基区 29。以及在发射区 8 和 10 内, 分别形成 p^+ 型区域 30 和 31。

如图 2D 所示, 在 n 型区域 26~28 内, 分别形成 n^+ 型基极区 15 和 14 以及 n^+ 型集电极区

13。同时, 在基区 7 内形成一 n^+ 型发射区 12 之后, 形成的电极(未示出)连接区域 9, 11~15 和 29~31, 从而完成一双极型 IC。

在图 3 中用基区宽度 W 作为一参数, 示出在图 2D 的双极型 IC 中, 一横向 pnp 晶体管 22 的集电极电流 I_C 和工作频率 f_T 之间的关系。在图 4 中示出 DC 电流增益 h_{FE} 、集电极-发射极击穿电压 V_{CBO} 与横向 pnp 晶体管 22 的基区宽度 W 之间的关系。

正如图 4 所示, 假如给定 $W = 2\mu\text{m}$, 则惯用晶体管的击穿电压 V_{CBO} 是小于 5V, 并会发生穿通现象。然而, 根据本实施例的横向 pnp 晶体管 22, 电压 V_{CBO} 可保持在高到大约 10V, 并且不减小增益 h_{FE} 。为此, 从图 3 中可以看出, 我们可以得到大约 50~60MHz 的工作频率 f_T 。

图 5 中示出在本实施例的双极型 IC 中, 纵向 pnp 晶体管的工作频率 f_T 和集电极电流 I_C 之间的关系。从图 5 中明显看出, 在一般的双极型 IC 中的纵向 pnp 晶体管, 不发生穿通现象的条件下, 通过用具有厚度 ($5\mu\text{m}$ 或大于 $5\mu\text{m}$) 的硅外延层 4, 只能得到大约 20MHz 的工作频率。然而, 在本实施例的双极型 IC 中的纵向 pnp 晶体管的工作频率 f_T 通过用具有 $2\mu\text{m}$ 厚度的硅外延层 4, 可以高到 100MHz。此外, 击穿电压 V_{CBO} 可以增加至 15V 或更多。

根据本发明的实施例, 即使硅外延层的厚度小到 $2\mu\text{m}$, 横向和纵向 pnp 晶体管 22 和 20 的电压仍可保持在高电位, 因此比较惯用的双极型 IC, 在没有穿通现象的情况下, 可得到一高工作频率 f_T 。由于下述原因, 可以避免穿通现象。在硅外延层 4 内, 形成具有高于那里杂质浓度的 n 型区域 26 和 27, 以及在 n 型区域 26 和 27 内分别形成横向和纵向 pnp 晶体管 22 和 20。因此, 通过区域 26 或 27 的杂质浓度和硅外延层 4 的杂质浓度之间的差异, 可以减小在基区内集-基结上耗尽层宽度。

本发明不限定上述特殊实施例, 在本发明的实质范围之内, 可做各种变化和修改。在上述实施例中, n 型区域 26~28 的杂质浓度为 $5 \times 10^{16}\text{cm}^{-3}$ 。然而, 如果需要可增加或减少杂质浓度。因此为了有效防止穿通现象, 杂质浓度范围最好是 1×10^{16} 到 $1 \times 10^{17}\text{cm}^{-3}$ 。

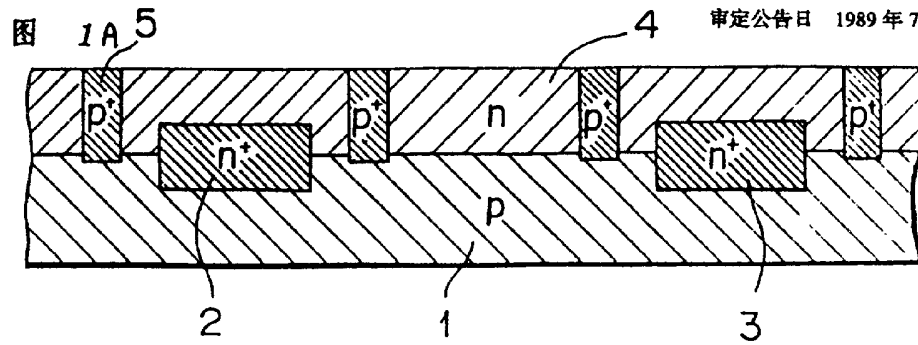


图 1B

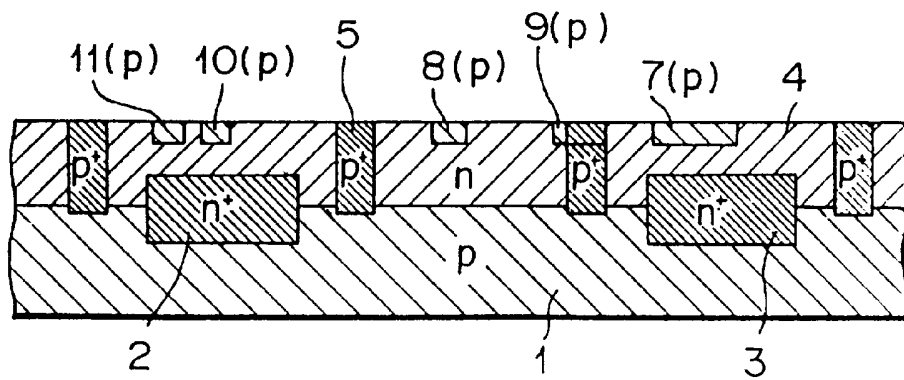


图 1C

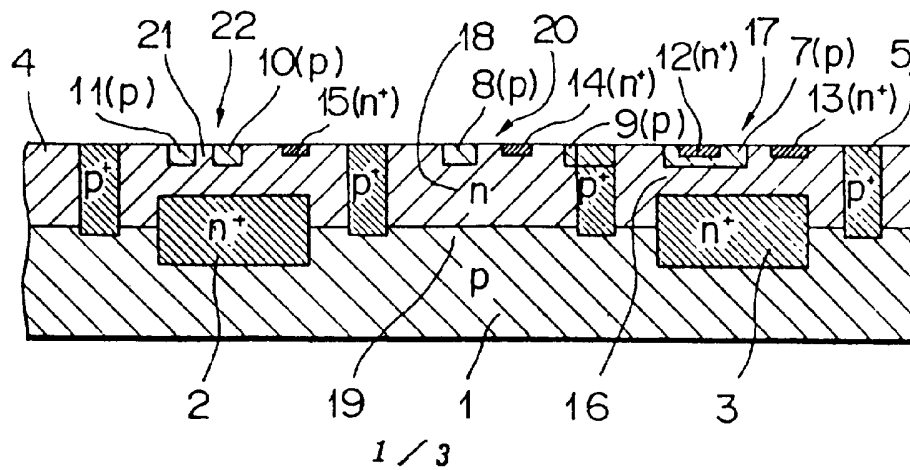


图 2 A

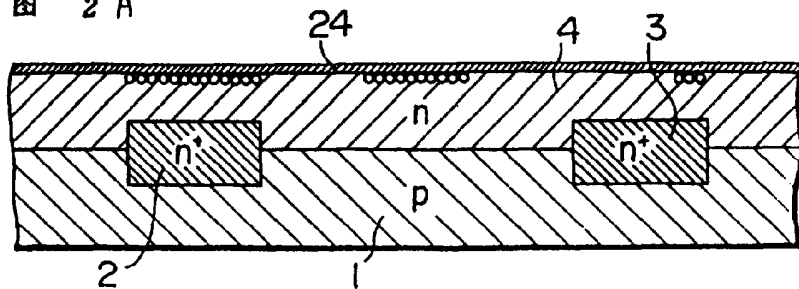


图 2 B

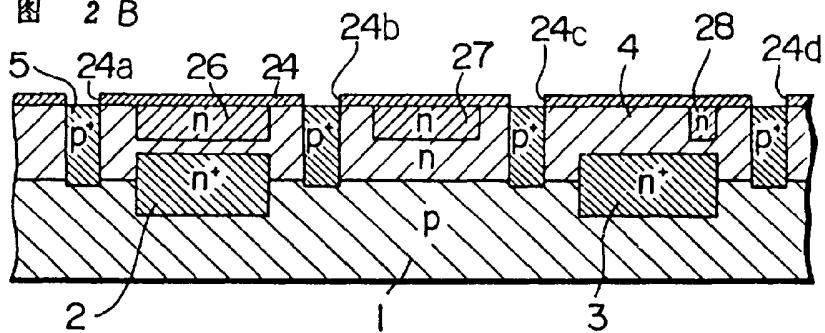


图 2 C

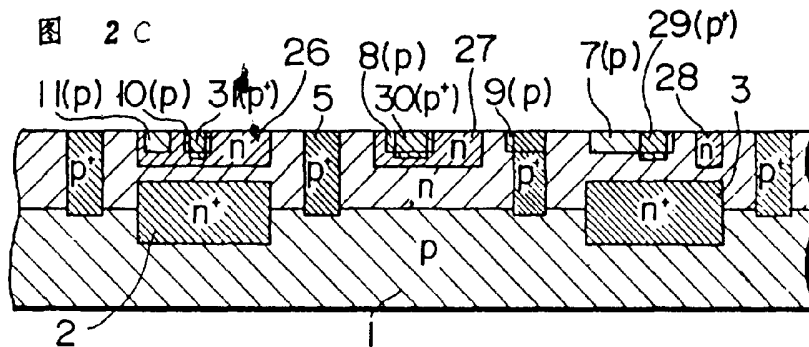
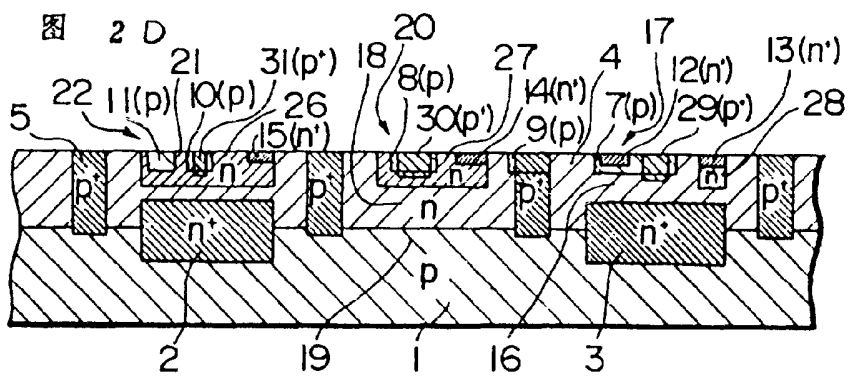
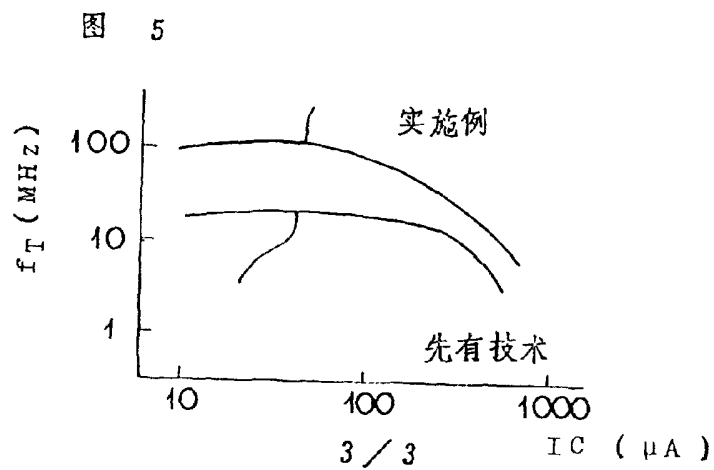
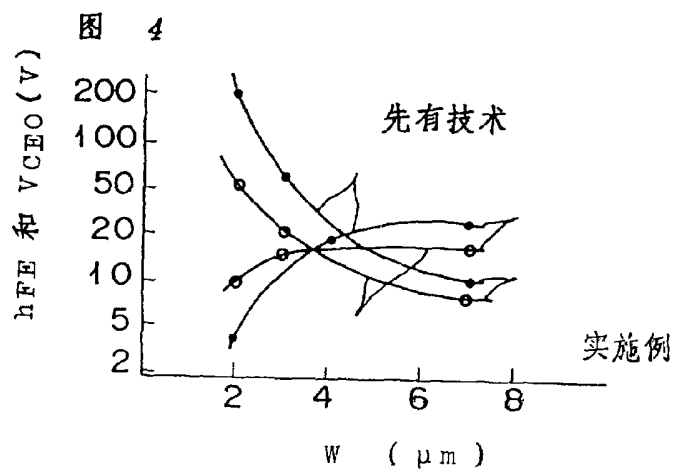
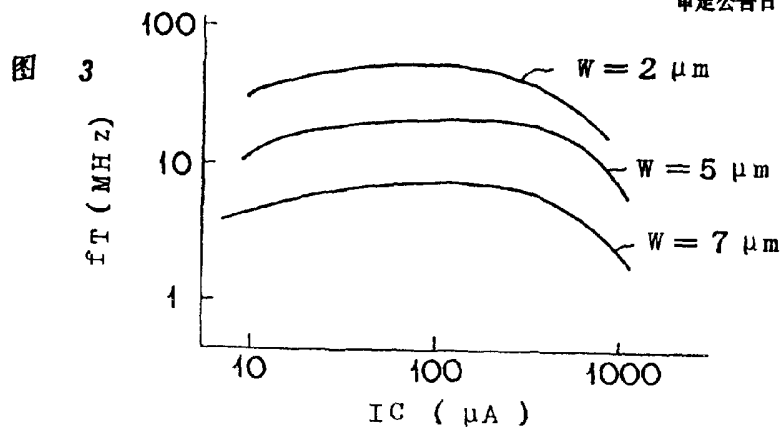


图 2 D





3 / 3