

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-197326

(P2010-197326A)

(43) 公開日 平成22年9月9日(2010.9.9)

(51) Int.Cl.		F I	テーマコード (参考)			
<b>GO1R</b>	<b>31/28</b>	(2006.01)	GO1R	31/28	V	2G132
<b>HO1L</b>	<b>21/822</b>	(2006.01)	HO1L	27/04	T	5F038
<b>HO1L</b>	<b>27/04</b>	(2006.01)	HO1L	27/04	V	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2009-45331 (P2009-45331)  
 (22) 出願日 平成21年2月27日 (2009.2.27)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100103894  
 弁理士 冢入 健  
 (72) 発明者 沼口 喜伴  
 神奈川県横浜市神奈川区金港町3-1 N  
 ECマイクロシステム株式会社内  
 (72) 発明者 沖田 宗久  
 神奈川県横浜市神奈川区金港町3-1 N  
 ECマイクロシステム株式会社内  
 Fターム(参考) 2G132 AA01 AB06 AK07 AK09 AL09  
 AL11  
 5F038 AV13 AV17 AV18 BE01 DF17  
 DT07 DT10 DT15 DT18 EZ20

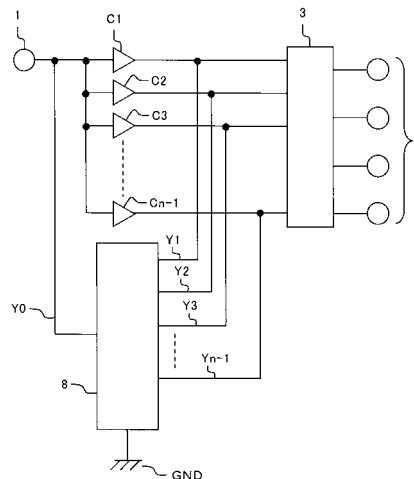
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】新たにテスト信号用の出力端子を設けることなく、かつ出力信号に伝達遅延の増加が生じない、多値論理回路のテスト回路を有する半導体装置を提供すること。

【解決手段】本発明にかかる半導体装置は、n値入力端子1と、n値入力端子1に輸入された入力信号に応じてそれぞれ異なるスレッシュ電圧で動作するコンパレータC1~Cn-1を備える。また、n値入力端子1及びコンパレータC1~Cn-1の出力のそれぞれと接続され、コンパレータC1~Cn-1の出力信号に応じて合成抵抗値を変化させることにより、n値入力端子1を流れる電流を変化させるインピーダンス制御回路8とを備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

入力信号が入力される入力端子と、  
当該入力端子に入力された入力信号に応じてそれぞれ異なるスレッシュ電圧で動作する複数のコンパレータと、

前記入力端子及び前記複数のコンパレータの出力のそれぞれと接続され、前記複数のコンパレータの出力信号に応じて合成抵抗値を変化させることにより、前記入力端子を流れる電流を変化させるインピーダンス制御回路とを備えた半導体装置。

## 【請求項 2】

前記インピーダンス制御回路は、前記入力端子と基準電位との間に並列に接続されたインピーダンス切替回路を備えることを特徴とする、

請求項 1 に記載の半導体装置。

10

## 【請求項 3】

前記インピーダンス切替回路の制御端子は、それぞれ異なるコンパレータの出力端子に接続され、

前記インピーダンス切替回路は、前記出力信号に応じてスイッチング動作をすることを特徴とする、

請求項 2 に記載の半導体装置。

## 【請求項 4】

前記インピーダンス切替回路はスイッチ素子と抵抗器を含むことを特徴とする、請求項 2 または 3 に記載の半導体装置。

20

## 【請求項 5】

前記スイッチ素子は N チャネルトランジスタであり、

前記基準電位は接地電位であることを特徴とする、

請求項 4 に記載の半導体装置。

## 【請求項 6】

前記スイッチ素子は P チャネルトランジスタであり、

前記基準電位は電源電位であることを特徴とする、

請求項 4 に記載の半導体装置。

## 【発明の詳細な説明】

30

## 【技術分野】

## 【0001】

本発明は、半導体装置に関し、特に、多値論理回路のテスト回路を有する半導体装置に関する。

## 【背景技術】

## 【0002】

半導体装置分野では、システムの大規模化や搭載される論理ゲート数の増加に伴い、入出力端子数も大幅に増加している。しかし、半導体装置に搭載可能な入出力端子数は、パッケージにより制限される。そのため、入出力端子数が搭載可能制限を超過すると、より大きなパッケージを使用しなければならない場合がある。そこで、多値論理回路を用いて入出力端子数を削減することが行われている。しかし、半導体装置にはテスト用の出力端子も設ける必要があり、端子数削減における課題となっている。更に、個々の多値論理回路において扱うことのできる多値論理数が増大しており、多値論理回路を効率よくテストできる技術の必要性が高まってきている。

40

## 【0003】

多値論理回路を含む半導体装置のテストとして、多値入力端子のスレッシュ電圧テストがある。特許文献 1 には、スレッシュ電圧テストに使用する端子数を削減する方法が提案されている。

## 【0004】

まず、図 9 を用いて、特許文献 1 に記載の半導体装置の構成について説明する。図 9 に

50

示すように、 $n$  値入力端子 1 に、 $(n - 1)$  個のコンパレータ  $C_1 \sim C_{n-1}$  が接続されている。コンパレータ  $C_1 \sim C_{n-1}$  は内部ロジック 3 及びスレッシュ電圧テスト回路 6 に接続されている。出力端子 5 は内部ロジック 3 に接続され、出力端子 7 は出力モード切替スイッチ 4 を介して、内部ロジック 3 またはスレッシュ電圧テスト回路 6 に接続する構成となっている。なお、コンパレータ  $C_1 \sim C_{n-1}$  のそれぞれには、 $V_1 < V_2 < \dots < V_{n-1}$  と段階的に異なるスレッシュ電圧が設定されている。

【0005】

図 9 に示す半導体装置のテスト動作を説明する。まず、出力端子 7 を用いて、スレッシュ電圧テスト回路 6 の出力信号を観測するため、出力モード切替スイッチ 4 を切り替えて、スレッシュ電圧テスト回路 6 と出力端子 7 を接続する。

10

【0006】

この状態で、 $n$  値入力端子 1 の入力電圧を 0 ボルトから順次上げていくと、まずスレッシュ電圧が  $V_1$  であるコンパレータ  $C_1$  の出力信号が "L" レベルから "H" レベルとなる。そのまま入力電圧を上げていくと、次に、スレッシュ電圧が  $V_2$  であるコンパレータ  $C_2$  の出力信号が "L" レベルから "H" レベルとなる。これを順次繰り返すことにより、最後に、スレッシュ電圧が  $V_{n-1}$  であるコンパレータ  $C_{n-1}$  の出力信号が "L" レベルから "H" レベルとなる。

【0007】

このとき、図 10 に示すように、コンパレータ  $C_1 \sim C_{n-1}$  の出力信号が反転するたびに、スレッシュ電圧テスト回路 6 のテスト出力信号も反転する。すなわち、出力端子 7 で観測される出力信号は、 $n$  値入力端子 1 の入力電圧がまず  $V_1$  ボルトになると反転し、次に  $V_2$  ボルトになると再び反転する。これが繰り返され、 $n$  値入力端子 1 の入力電圧が  $V_{n-1}$  ボルトになると、 $(n - 1)$  回目の反転をする。

20

【0008】

従って、テスト出力信号が反転するときの  $n$  値入力端子 1 の電圧を測定し、コンパレータ  $C_1 \sim C_{n-1}$  のスレッシュ電圧と照合すれば、コンパレータ  $C_1 \sim C_{n-1}$  が正常に動作しているかを判定することができる。

【0009】

なお、上記は一般的な  $n$  値入力の場合であるが、4 値入力の場合における具体例を示す。図 11 は、4 値入力の場合のスレッシュ電圧テスト回路 6 の構成を示す回路図構成図である。図 11 に示すように、スレッシュ電圧テスト回路 6 は、2 個の反転論理ブロックと 3 個の NAND 論理ブロックを備え、コンパレータ  $C_1 \sim C_3$  を介して  $n$  値入力端子 1 と、また出力端子 7 と接続されている。これにより、コンパレータ  $C_1 \sim C_3$  の出力信号に応じて、図 12 に示す特性図のように、順次反転論理を生成する。

30

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開平 03 - 209181 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0011】

上述の半導体装置では、出力端子 7 を用いてスレッシュ電圧テスト回路 6 からのテスト出力信号を観測する。よって、通常動作には本来必要のない出力モード切替スイッチ 4 を設けなければならない。すなわち、通常動作時においても、内部ロジック 3 からの出力信号は、出力モード切替スイッチ 4 を経由して、出力端子 7 に伝達される。この出力信号は、出力端子 5 に伝達する他の出力信号と比べて、出力モード切替スイッチ 4 を経由するために、伝達遅延が発生する問題が生じる。これにより、本来は同期すべき出力端子 5 と出力端子 7 からの出力信号が同期しなくなる。

【課題を解決するための手段】

【0012】

50

本発明の一態様の半導体装置は、入力信号が入力される入力端子と、当該入力端子に入力された入力信号に応じてそれぞれ異なるスレッシュ電圧で動作する複数のコンパレータと、前記入力端子及び前記複数のコンパレータの出力のそれぞれと接続され、前記複数のコンパレータの出力信号に応じて合成抵抗値を変化させることにより、前記入力端子を流れる電流を変化させるインピーダンス制御回路とを備えるものである。

【0013】

本発明により、入力信号が入力される入力端子に流れる電流値を測定するだけでコンパレータの動作をテストできるので、テスト出力信号を観測するための出力端子を新たに設けなくともよい。また、多値論理回路の出力端子を用いてテスト出力信号を出力するための出力モード切替スイッチも設ける必要がなくなるので、多値論理回路の出力信号の伝達遅延の増加を防止することができる。

10

【発明の効果】

【0014】

本発明により、新たにテスト信号用の出力端子を設けることなく、かつ出力信号に伝達遅延の増加が生じない、多値論理回路のテスト回路を有する半導体装置を提供することができる。

【図面の簡単な説明】

【0015】

【図1】 発明の実施の形態1にかかる半導体装置の回路構成図である。

【図2】 発明の実施の形態1にかかるインピーダンス制御回路の回路構成図である。

20

【図3】 実施例1にかかる半導体装置の回路構成図である。

【図4】 実施例1にかかるインピーダンス制御回路の回路構成図である。

【図5】 実施例1にかかるコンパレータ出力の真理値表である。

【図6】 実施例1にかかる半導体装置の特性図である。

【図7】 発明の実施の形態2にかかる半導体装置の回路構成図である。

【図8】 発明の実施の形態2にかかるインピーダンス制御回路の回路構成図である。

【図9】 半導体装置の回路構成図である。

【図10】 スレッシュ電圧テスト回路の特性図である。

【図11】 4値入力の場合における半導体装置の回路構成図である。

【図12】 4値入力の場合におけるスレッシュ電圧テスト回路の回路構成図である。

30

【発明を実施するための形態】

【0016】

発明の実施の形態1

まず、図1を用いて、本発明の実施の形態1にかかる半導体装置の回路構成について説明する。この半導体装置は、図1に示すように、 $n$ 値入力端子1 ( $n$ は3以上の自然数)、 $(n-1)$ 個のコンパレータ $C_1 \sim C_{n-1}$ 、内部ロジック3、出力端子5、インピーダンス制御回路8、入力ノード $Y_0$ 、 $(n-1)$ 本のコンパレータ出力ノード $Y_1 \sim Y_{n-1}$ が接続されている。

【0017】

$n$ 値入力端子1には、半導体装置の外部から $n$ 値信号が入力される。

40

【0018】

コンパレータ $C_1 \sim C_{n-1}$ には、 $V_1 < V_2 < \dots < V_{n-1}$ なる関係をみたす、それぞれ異なるスレッシュ電圧 $V_1 \sim V_{n-1}$ が設定されている。コンパレータ $C_1 \sim C_{n-1}$ は、 $n$ 値信号の入力電圧がスレッシュ電圧未満であれば、“0”信号を出力する。他方、 $n$ 値信号の入力電圧がスレッシュ電圧以上であれば、“1”信号を出力する。

【0019】

内部ロジック3は、コンパレータ $C_1 \sim C_{n-1}$ の出力信号を受けて動作し、出力端子5に信号を出力する。

【0020】

図2を用いて、インピーダンス制御回路8の構成を説明する。図2に示すように、入力

50

ノード  $Y_0$  と基準電位である接地電位との間に、 $(n - 1)$  個のインピーダンス切替回路  $S_1 \sim S_{n-1}$  が並列に接続されている。インピーダンス切替回路  $S_1 \sim S_{n-1}$  は、それぞれ  $N$  チャンネルトランジスタ  $M_1 \sim M_{n-1}$  と抵抗器  $R_1 \sim R_{n-1}$  により構成される。 $N$  チャンネルトランジスタ  $M_1 \sim M_{n-1}$  のゲートには、それぞれコンパレータ出力ノード  $Y_1 \sim Y_{n-1}$  が接続されている。ソースは基準電位である接地電位に接続されている。ドレインはそれぞれプルダウンの抵抗器  $R_1 \sim R_{n-1}$  を介して、入力ノード  $Y_0$  に接続されている。

#### 【0021】

次に、図1に示す半導体装置の動作を説明する。 $n$  値入力端子1に与える入力電圧を0ボルトから順次増加させてゆくと、最初にコンパレータ  $C_1$  の出力信号が"1"となる。入力電圧を順次増加させると、次にコンパレータ  $C_2$  の出力信号が"1"となる。同様に、入力電圧を順次増加させると、最後にコンパレータ  $C_{n-1}$  の出力信号が"1"となる。

10

#### 【0022】

図2に示すインピーダンス制御回路8の動作を説明する。 $n$  値入力端子1に与える入力電圧を0ボルトから順次増加させてゆくと、コンパレータ出力ノード  $Y_1$  を介して、コンパレータ  $C_1$  の出力信号"1"が  $N$  チャンネルトランジスタ  $M_1$  に供給される。よって、 $N$  チャンネルトランジスタ  $M_1$  がオン状態となる。 $N$  チャンネルトランジスタ  $M_1$  のソースには接地電位が接続され、ドレインには抵抗器  $R_1$  が接続されているので、 $n$  値入力端子1の入力電圧と接地電位との電位差による電流  $I_1$  がインピーダンス切替回路  $S_1$  に流れる。

20

#### 【0023】

入力電圧を順次増加させると、コンパレータ出力ノード  $Y_2$  を介して、コンパレータ  $C_2$  の出力信号"1"が  $N$  チャンネルトランジスタ  $M_2$  に供給される。よって、 $N$  チャンネルトランジスタ  $M_2$  がオン状態となり、電流  $I_2$  がインピーダンス切替回路  $S_2$  に流れる。同様に、入力電圧を順次増加させると、最後にコンパレータ出力ノード  $Y_{n-1}$  を介して、コンパレータ  $C_{n-1}$  の出力信号"1"が  $N$  チャンネルトランジスタ  $M_{n-1}$  に供給される。よって、 $N$  チャンネルトランジスタ  $M_{n-1}$  がオン状態となり、電流  $I_{n-1}$  がインピーダンス切替回路  $S_{n-1}$  に流れる。つまり、入力電圧の増加に伴い、インピーダンス切替回路  $S_1 \sim S_{n-1}$  は順次導通状態となり、インピーダンス制御回路8全体の合成抵抗値は減少し、 $n$  値入力端子1に流れる電流  $I$  ( $I = I_1 + I_2 + \dots + I_{n-1}$ ) は増加してゆく。

30

#### 【0024】

このとき、抵抗器  $R_1 \sim R_{n-1}$  の抵抗値をあらかじめ設定しておけば、 $n$  値入力端子1に与える入力電圧と、電流  $I$  の関係を知ることができる。従って、電流  $I$  を観測することで、コンパレータ  $C_1 \sim C_{n-1}$  が、設定されているスレッシュ電圧で正常に動作しているかを判定することができる。

#### 【0025】

すなわち、もともと存在する  $n$  値入力端子1を用いて、コンパレータ  $C_1 \sim C_{n-1}$  の動作をテストすることができる。よって、図9に示す出力モード切替スイッチ4を設ける必要がない。

#### 【0026】

よって、内部ロジック3からの出力信号の遅延が増加することを防止できる。

40

#### 【0027】

さらに、出力信号の遅延の増加を考慮しなくてよいので、内部ロジック3に出力信号の遅延補償手段を設ける必要がなく、内部ロジックのタイミング設計が容易になる。

#### 【0028】

なお、上述のスイッチ回路を制御するための制御端子や配線も不要である。よって、半導体装置の端子数を削減するとともに、半導体装置の内部領域を実質的に拡大することができる。

#### 【0029】

また、図9の構成によれば、出力信号のトグル回数を数えることでスレッシュ電圧を判

50

定しなければならない。テストを行う際には、スレッシュ電圧テスト回路 6 の遅延時間、出力モード切替スイッチ 4 での遅延時間、出力回路の遅延時間を考慮したテスト時間が必要である。つまり、 $n$  値入力端子 1 に加える電圧を 0 V から電源電圧まで、時間を掛けて順次変化させなければならなかった。しかし、上述の構成によれば、入力電圧と  $n$  値入力端子 1 に流れる電流  $I$  の関係が既知であるので、電流  $I$  を測定するだけであり、テスト時間を短縮することができる。

#### 【0030】

また、通常の半導体装置であれば、測定対象の多値入力回路の入力端子とテスト結果が出力される出力端子の組み合わせを設定し、テストモードと通常動作モードの切り替えを行うテストプログラムを作成する必要がある。しかし、本構成によれば、 $n$  値入力回路の入力端子のみを用いるので、テストモードと通常動作モードの切り替えも不要であり、より簡易なテストプログラムによりテストを行うことができる。従って、テストプログラム作成の時間を短縮ができる。

10

#### 【0031】

##### 実施例 1

図 3 を用いて、本実施例 1 にかかる半導体装置の構成を説明する。図 3 は、図 1 に示す半導体装置において、4 値入力信号を入力する場合の回路構成を示す。従って、図 3 では、3 つのコンパレータ  $C 1 \sim C 3$ 、3 本のコンパレータ出力ノード  $Y 1 \sim Y 3$ 、4 値入力に対応したインピーダンス制御回路 8 a が設けられている。その他の構成については、図 1 と同様であるので、重複する説明を省略する。それぞれのスレッシュ電圧は、コンパレータ  $C 1$  が 0.8 V、コンパレータ  $C 2$  が 1.6 V、コンパレータ  $C 3$  が 2.5 V である。

20

#### 【0032】

図 4 を用いて、インピーダンス制御回路 8 a の構成を説明する。インピーダンス制御回路 8 a は 4 値入力信号に対応するため、3 つのインピーダンス切替回路  $S 1 \sim S 3$  を有する。その他の構成は図 2 と同様であるので、説明を省略する。尚、インピーダンス切替回路  $S 1 \sim S 3$  の抵抗値は、それぞれ 30 K である。

#### 【0033】

図 3 および 5 を用いて、実施例 1 にかかる半導体装置の動作について説明する。 $n$  値入力端子 1 に入力電圧として、例えば 0 V を加えた場合は、コンパレータ  $C 1$ 、 $C 2$ 、 $C 3$  の出力信号は、それぞれ "0"、"0"、"0" となる。

30

#### 【0034】

$n$  値入力端子 1 に入力電圧として、例えば 1.2 V を加えた場合は、コンパレータ  $C 1$ 、 $C 2$ 、 $C 3$  の出力信号は、それぞれ "1"、"0"、"0" となる。

#### 【0035】

$n$  値入力端子 1 に入力電圧として、例えば 2.2 V を加えた場合は、コンパレータ  $C 1$ 、 $C 2$ 、 $C 3$  の出力信号は、それぞれ "1"、"1"、"0" となる。

#### 【0036】

$n$  値入力端子 1 に入力電圧として、例えば 3.3 V を加えた場合は、コンパレータ  $C 1$ 、 $C 2$ 、 $C 3$  の出力信号は、それぞれ "1"、"1"、"1" となる。

40

#### 【0037】

図 6 は、 $n$  値入力端子 1 に加えた入力電圧と、 $n$  値入力端子 1 に流れる電流  $I$  の関係を示したものである。入力電圧が 0 V から 0.8 V の範囲では、図 4 に示す  $N$  チャネルトランジスタ  $M 1 \sim M 3$  が全てオフ状態となるため、インピーダンス制御回路 8 a の合成抵抗値は無限大となり、電流  $I$  は流れない。

#### 【0038】

入力電圧が 0.8 V から 1.6 V の範囲では、 $N$  チャネルトランジスタ  $M 1$  のみがオン状態、 $N$  チャネルトランジスタ  $M 2$  及び  $M 3$  はオフ状態となるため、インピーダンス制御回路 8 a の合成抵抗値は 30 K となる。従って、 $n$  値入力端子 1 には、インピーダンス制御回路 8 a の合成抵抗値 30 K に応じた電流  $I$  が流れる。

50

## 【0039】

入力電圧が1.6Vから2.5Vの範囲では、NチャネルトランジスタM1及びM2がオン状態、NチャネルトランジスタM3がオフ状態となるため、インピーダンス制御回路8aの合成抵抗値は15Kとなる。従って、n値入力端子1にはインピーダンス制御回路8aの合成抵抗値15Kに応じた電流Iが流れる。

## 【0040】

入力電圧が2.5V以上の範囲では、NチャネルトランジスタM1～M3の全てがオン状態となるため、インピーダンス制御回路8aの合成抵抗値は10Kとなる。従って、n値入力端子1にはインピーダンス制御回路8aの合成抵抗値10Kに応じた電流Iが流れる。

10

## 【0041】

よって、図6に示すように、n値入力端子1に加えた入力電圧と、電流Iの変化を測定することにより、コンパレータC1～C3が、それぞれが設定されているスレッシュ電圧で正常に動作しているかを判定することができる。

## 【0042】

発明の実施の形態2

本発明の実施の形態2は、発明の実施の形態1におけるインピーダンス制御回路の構成が変更されている。

まず、図7を用いて、本発明の実施の形態2にかかる半導体装置の構成について説明する。図7では、図1のインピーダンス制御回路8が、インピーダンス制御回路9に置き換わっている。また、コンパレータC1～Cn-1には、 $V_1 > V_2 > \dots > V_{n-1}$ なる関係をみたす、それぞれ異なるスレッシュ電圧 $V_1 \sim V_{n-1}$ が設定されている。その他は、図1の構成と同様であるので、重複する説明を省略する。

20

## 【0043】

図8を用いて、インピーダンス制御回路9の回路構成を説明する。図8に示すように、入力ノードY0と基準電位である電源電位との間に、(n-1)個のインピーダンス切替回路SU1～SU(n-1)が配置されている。インピーダンス切替回路SU1～SU(n-1)は、それぞれPチャネルトランジスタMU1～MU(n-1)と抵抗器RU1～RU(n-1)により構成される。PチャネルトランジスタMU1～MU(n-1)のゲートには、それぞれコンパレータ出力ノードY1～Y(n-1)が接続されている。ソースは基準電位である電源電位に接続されている。ドレインはそれぞれプルアップの抵抗器RU1～RU(n-1)を介して、入力ノードY0に接続されている。

30

## 【0044】

図7に示す半導体装置の動作を説明する。n値入力端子1に与える入力電圧を電源電圧から順次減少させてゆくと、最初にコンパレータC1の出力信号が"0"となる。入力電圧を順次減少させると、次にコンパレータC2の出力信号が"0"となる。同様に、入力電圧を順次減少させると、最後にコンパレータC(n-1)の出力信号が"0"となる。

## 【0045】

図8に示すインピーダンス制御回路9の動作を説明する。n値入力端子1に与える入力電圧を電源電圧から順次減少させてゆくと、コンパレータ出力ノードY1を介して、コンパレータC1の出力信号"0"がPチャネルトランジスタMU1に供給される。よって、PチャネルトランジスタMU1がオン状態となる。PチャネルトランジスタMU1のソースには電源電位が接続され、ドレインには抵抗器RU1が接続されているので、n値入力端子1の入力電圧と電源電位との電位差による電流IU1がインピーダンス切替回路SU1に流れる。

40

## 【0046】

入力電圧を順次減少させると、コンパレータ出力ノードY2を介して、コンパレータC2の出力信号"0"がPチャネルトランジスタMU2に供給される。よって、PチャネルトランジスタMU2がオン状態となり、電流IU2がインピーダンス切替回路SU2に流れる。同様に、入力電圧を順次減少させると、最後に、コンパレータ出力ノードY(n-1)を

50

介して、コンパレータ  $C_{n-1}$  の出力信号 "0" が P チャネルトランジスタ  $M_{U_{n-1}}$  に供給される。よって、P チャネルトランジスタ  $M_{U_{n-1}}$  がオン状態となり、電流  $I_{U_{n-1}}$  がインピーダンス切替回路  $S_{U_{n-1}}$  に流れる。つまり、入力電圧の減少に伴い、インピーダンス切替回路  $S_{U_1} \sim S_{U_{n-1}}$  は順次導通状態となり、インピーダンス制御回路 9 全体の合成抵抗値は減少し、 $n$  値入力端子 1 に流れる電流  $I_U$  ( $I_U = I_{U_1} + I_{U_2} + \dots + I_{U_{n-1}}$ ) は増加してゆく。

【0047】

このとき、抵抗器  $R_{U_1} \sim R_{U_{n-1}}$  の抵抗値をあらかじめ設定しておけば、 $n$  値入力端子 1 に与える入力電圧と、電流  $I_U$  の関係を知ることができる。すなわち、本構成によれば、電流  $I_U$  を観測することで、コンパレータ  $C_1 \sim C_{n-1}$  が設定されているスレッシュ電圧で正常に動作しているかを判定することができる。よって、図 1 の半導体装置と同様の機能を実現することができる。

10

【0048】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、インピーダンス制御回路またはインピーダンス切替回路は、同じ機能を実現できるのであれば、他の構成であっても構わない。

【0049】

上記実施の形態では、内部ロジックとインピーダンス制御回路を分けて記載しているが、インピーダンス制御回路は内部ロジックに組み込まれていてもよい。さらに、インピーダンス切替回路は、内部ロジックを構成する論理回路内に分散配置されていてもよい。

20

【符号の説明】

【0050】

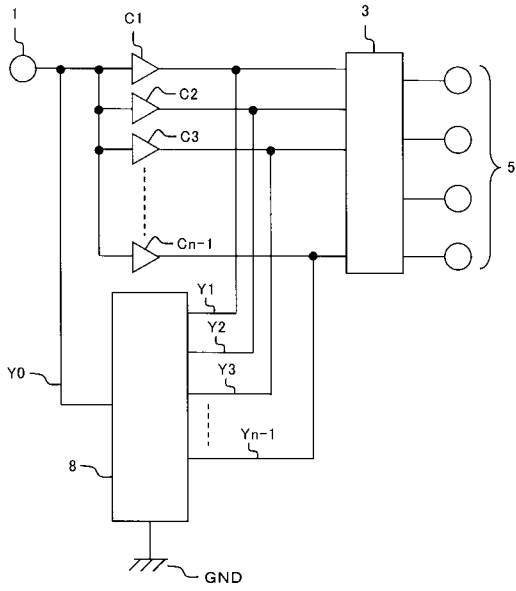
- 1  $n$  値入力端子
- 3 内部ロジック
- 4 出力モード切替スイッチ
- 5 出力端子
- 6 スレッシュ電圧テスト回路
- 7 出力端子
- 8、8a、9 インピーダンス制御回路
- $C_1 \sim C_{n-1}$  コンパレータ
- $Y_0$  入力ノード
- $Y_1 \sim Y_{n-1}$  コンパレータ出力ノード
- $M_1 \sim M_{n-1}$  Nチャネルトランジスタ
- $R_1 \sim R_{n-1}$  抵抗器
- $S_1 \sim S_{n-1}$  インピーダンス切替回路
- $M_{U_1} \sim M_{U_{n-1}}$  Pチャネルトランジスタ
- $R_{U_1} \sim R_{U_{n-1}}$  抵抗器
- $S_{U_1} \sim S_{U_{n-1}}$  インピーダンス切替回路
- GND 接地
- VCC 電源

30

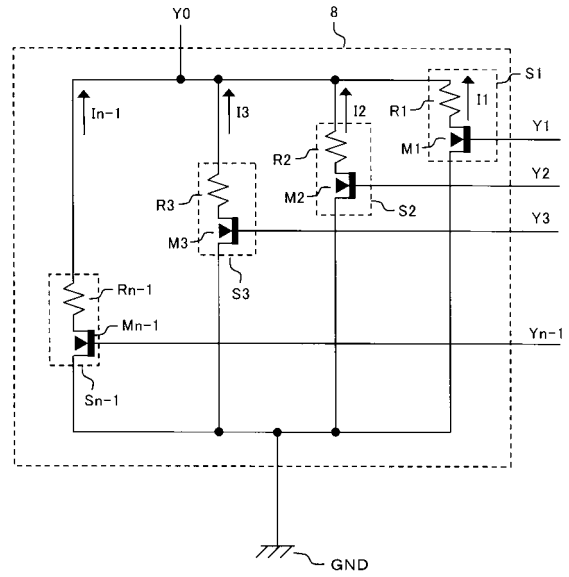
40



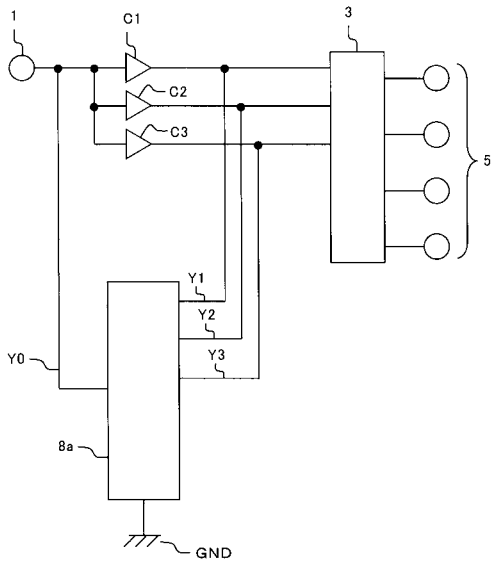
【 図 1 】



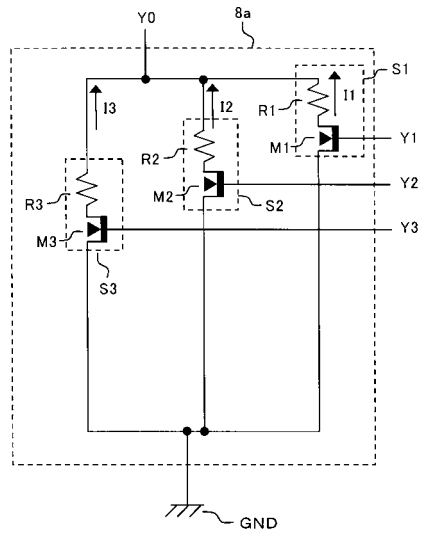
【 図 2 】



【 図 3 】



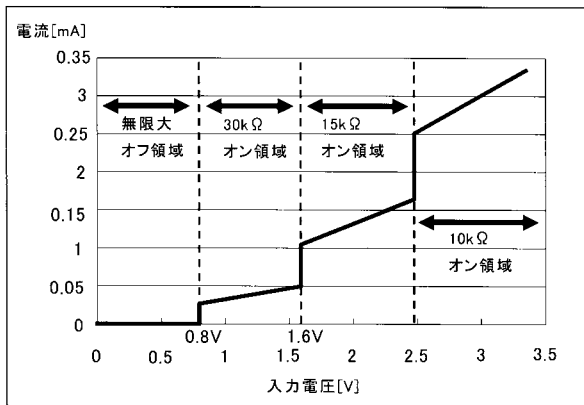
【 図 4 】



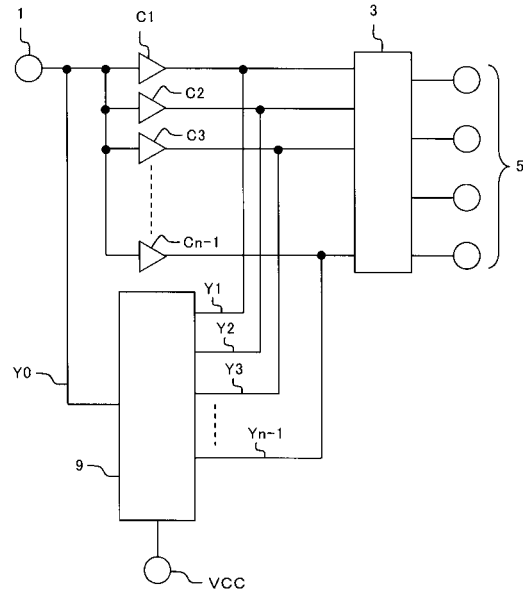
【 図 5 】

外部入力端子 多値入力	コンパレータ出力 2値出力 (0=0V、1=1.2V 内部電圧)		
Y0	C1	C2	C3
0V	0	0	0
1. 2V	1	0	0
2. 2V	1	1	0
3. 3V	1	1	1

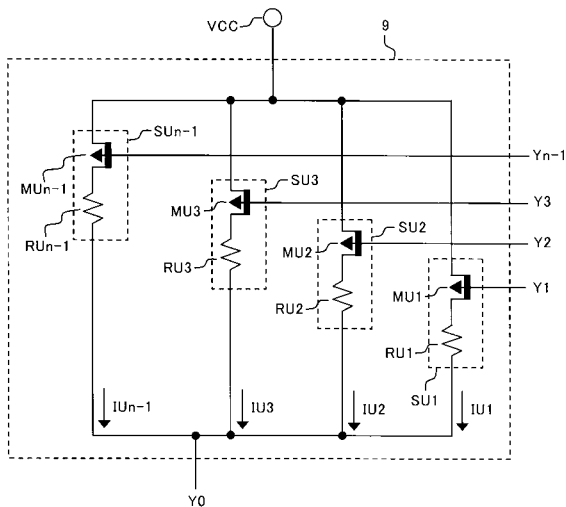
【 図 6 】



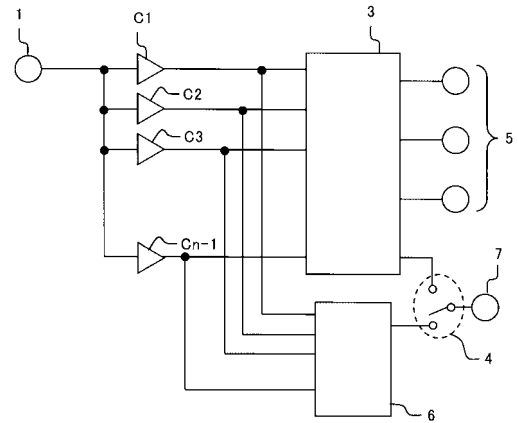
【 図 7 】



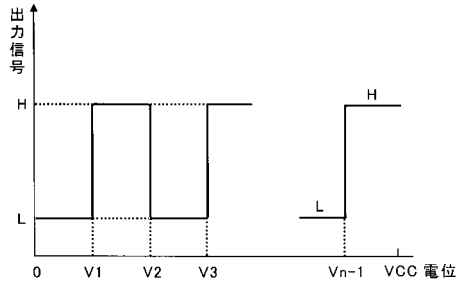
【 図 8 】



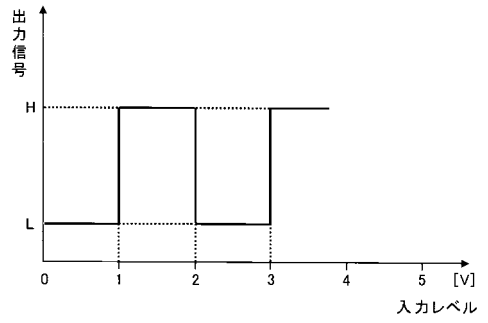
【 図 9 】



【図10】



【図12】



【図11】

