



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0077681
(43) 공개일자 2017년07월06일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01)

(52) CPC특허분류

G09G 3/20 (2013.01)

G09G 2300/043 (2013.01)

(21) 출원번호 10-2015-0187841

(22) 출원일자 2015년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이임근

대구광역시 북구 칠곡중앙대로95길 12, 107동
1202호 (관음동, 칠곡동화타운)

(74) 대리인

특허법인 대아

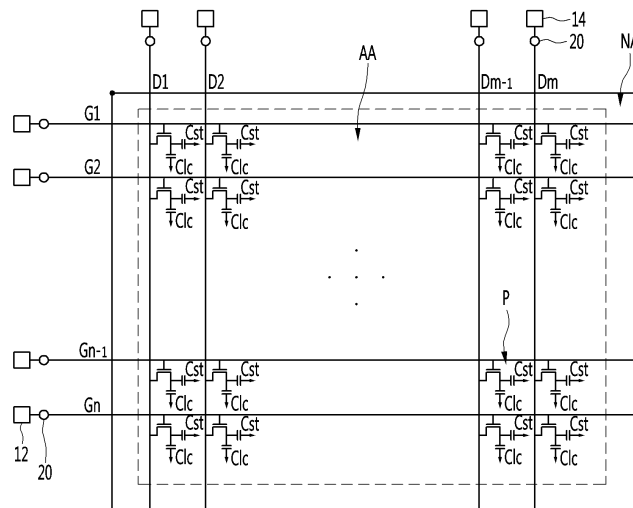
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 정전기 방전회로 및 이를 포함하는 표시장치

(57) 요약

본 발명은 정전기(ESD)를 그라운드 패스하는 트랜지스터들의 게이트 단자에 문턱전압 이상의 보상전압을 제공하여 트랜지스터들의 턴-온 지연시간을 줄여 정전기 방전회로의 신뢰성을 향상시킬 수 있다.

대표도 - 도2



(52) CPC특허분류
G09G 2330/06 (2013.01)

명세서

청구범위

청구항 1

입력패드;

상기 입력패드와 연결된 출력라인;

상기 입력패드와 인접한 제1 노드와 연결된 제1 트랜지스터;

상기 출력라인과 인접한 제2 노드와 연결된 제2 트랜지스터; 및

상기 제1 및 제2 노드 사이의 제3 노드와 연결된 배압부를 포함하고, 상기 배압부는 상기 제1 및 제2 트랜지스터의 게이트 단자에 일정한 보상전압을 제공하는 정전기 방전회로.

청구항 2

제1 항에 있어서,

상기 보상전압은 상기 제1 및 제2 트랜지스터의 문턱전압의 50% 이상의 전압레벨을 갖는 정전기 방전회로.

청구항 3

제1 항에 있어서,

상기 보상전압은 상기 제1 및 제2 트랜지스터의 문턱전압의 80%의 전압레벨을 갖는 정전기 방전회로.

청구항 4

제1 항에 있어서,

상기 제1 노드와 상기 제1 트랜지스터의 게이트 단자와 연결된 제1 다이오드; 및

상기 제2 트랜지스터의 게이트 단자와 그라운드 사이에 연결된 제4 다이오드를 포함하는 정전기 방전회로.

청구항 5

제1 항에 있어서,

상기 제1 트랜지스터의 게이트 단자와 상기 배압부 사이에 연결된 제2 다이오드; 및

상기 제2 트랜지스터의 게이트 단자와 상기 배압부 상에 연결된 제3 다이오드를 포함하는 정전기 방전회로.

청구항 6

제1 항에 있어서,

상기 배압부는,

상기 제3 노드와 연결되는 보상전압 제어부;

상기 제3 노드와 연결된 인터터;

상기 보상저압 제어부의 제어신호에 의해 턴-온되는 제3 트랜지스터;
 상기 제3 트랜지스터와 병렬 접속된 제5 다이오드; 및
 상기 제5 다이오드와 병렬 접속되는 캐패시터를 포함하는 정전기 방전회로.

청구항 7

상기 제1 내지 제6 항 중 어느 하나의 정전기 방전회로; 및
 상기 출력라인으로부터 입력된 구동신호에 의해 영상이 디스플레이되는 표시패널을 포함하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 정전기 방전회로 및 이를 포함하는 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들(FPD: Flat Panel Display)이 개발되고 있다. 이러한 평판 표시장치는 액정표시장치(LCD: Liquid Crystal Display), 전계 방출 표시장치(FED: Field Emission Display), 플라즈마 디스플레이 패널(PDP: Plasma Display Panel), 유기발광 다이오드 표시장치(OLED: Organic Light Emitting Display), 및 전계발광소자(ED: Electroluminescence Device) 등이 있다.

[0003] 일반적인 액정표시장치(LCD는 매트릭스(Matrix) 형태로 배열된 액정 셀들의 광투과율을 화상신호 정보에 따라 조절하여 원하는 화상을 표시하는 장치로서, 백라이트유닛에 조사되는 빛을 이용하여 표시패널에 화상을 형성한다.

[0004] 이러한 원리를 이용한 표시장치는 경량, 박형, 저 소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다.

[0005] 이러한 추세에 따라, 표시장치는 사무자동화기기, 오디오/비디오 기기 등에 이용되고 있다.

[0006] 최근 들어 표시장치는 컴퓨터용 모니터, 텔레비전뿐만 아니라 차량용 네비게이터 시스템의 표시장치와, 노트북, 핸드폰 등의 휴대용 표시장치 등에 광범위하게 적용되고 있다.

[0007] 일반적인 표시장치는 외부의 시스템으로부터 데이터, 타이밍 제어신호가 타이밍 제어부에 제공되고, 상기 타이밍 제어부는 표시패널을 구동시키는 구동부들에 기준전압들, 데이터 및 제어신호를 제공한다.

[0008] 일반적인 표시장치는 구동부 또는 표시패널의 배선들 사이에 정전기(ESD: electrostatic discharge)를 방전시키는 정전기 방전회로를 포함한다. 일반적인 정전기 방전회로는 트랜지스터를 포함하여 특정 전압레벨 또는 전류레벨 이상의 정전기(ESD)가 유입되는 경우, 트랜지스터가 턴-온되어 그라운드와 패스된다. 그러나, 일반적인 표시장치는 트랜지스터의 문턱전압에 의한 턴-온 지연으로 정전기 방전회로의 신뢰성에 문제가 있었다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 정전기(ESD)에 의한 구동부 손상을 개선하는 정전기 방전회로 및 이를 포함하는 표시장치를 제공하는 데 그 목적이 있다.

[0010] 본 발명은 정전기 방전회로의 신뢰성을 향상시킬 수 있는 정전기 방전회로 및 이를 포함하는 표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0011] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 정전기 방전회로는 입력패드와 출력라인 사이에 정전

기(ESD)를 방전시키는 트랜지스터들과, 상기 트랜지스터들의 문턱전압보다 낮은 보상전압을 상기 트랜지스터의 게이트 단자에 제공하는 배압부를 포함함으로써, 트랜지스터들의 턴-온 지연시간을 줄여 정전기(ESD)에 의한 구동부 손상을 개선할 수 있다.

[0012] 즉, 실시 예의는 정전기(ESD)를 그라운드 패스하는 트랜지스터들의 게이트 단자에 문턱전압 이상의 보상전압을 제공하여 트랜지스터들의 턴-온 지연시간을 줄여 정전기 방전회로의 신뢰성을 향상시킬 수 있다.

발명의 효과

[0013] 본 발명에 따른 표시장치는 실시 예는 양(+)의 정전기(ESD)를 그라운드(GND) 패스하는 제1 트랜지스터와 음(-)의 정전기(ESD)를 그라운드(GND) 패스하는 제2 트랜지스터의 게이트 단자에 보상전압을 제공하여 제1 및 제2 트랜지스터의 턴-온 지연시간을 줄여 정전기(ESD)로부터 표시패널을 안전하게 보호할 수 있다.

[0014] 실시 예는 정전기(ESD) 유입 시에 제1 및 제2 트랜지스터의 빠른 턴-온 지연시간에 의해 정전기 방전회로의 신뢰성을 향상시킬 수 있다.

[0015] 실시 예는 양 정전기(ESD) 유입 시에 제1 및 제2 트랜지스터의 빠른 턴-온 지연시간에 의해 정전기(ESD)로부터 구동회로를 안전하게 보호함으로써, 수율 향상 및 생산성을 향상시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시 예에 따른 표시장치의 구성을 개략적으로 도시한 블록도이다.

도 2는 실시 예에 정전기 방전회로를 포함하는 표시패널의 도면이다.

도 3은 실시 예에 따른 정전기 방전회로의 구성을 도시한 도면이다.

도 4는 실시 예에 따른 정전기 방전회로의 일 예를 도시한 도면이다.

도 5는 실시 예와 종래기술의 트랜지스터 턴-온 지연시간을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0018] 본 발명의 실시 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0019] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0020] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0021] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0022] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0023] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0024] 본 발명의 여러 실시 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0025] 이하, 본 발명의 실시 예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0026] 도 1은 본 발명의 실시 예에 따른 표시장치의 구성을 개략적으로 도시한 블록도이고, 도 2는 실시 예에 정전기 방전회로를 포함하는 표시패널의 도면이다.
- [0027] 도 1 및 도 2에 도시된 바와 같이, 본 발명의 실시 예에 따른 표시장치는 표시패널(2), 타이밍 제어부(8), 데이터 드라이버(6) 및 게이트 드라이버(4)를 포함할 수 있다.
- [0028] 실시 예의 표시장치는 액정표시장치(LCD: Liquid Crystal Display, LCD)를 한정하여 설명하고 있지만, 이에 한정되는 것은 아니다. 예컨대 다른 예의 표시장치는 전계방출 표시장치(FED), 플라즈마 디스플레이 패널(PDP), 유기발광 다이오드 표시장치(OLED), 전기영동 표시장치(EPD)일 수 있다.
- [0029] 상기 표시패널(2)은 서로 마주보는 제1 및 제2 유리기판과, 상기 제1 및 제2 유리기판 사이에 배치된 액정분자들을 포함한다. 상기 표시패널(2)은 데이터라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)의 교차되어 매트릭스 구조를 갖고, $m \times n$ (m, n 은 양의 정수)개의 액정셀들(Clc)을 포함할 수 있다.
- [0030] 상기 표시패널(2)의 제1 유리기판은 m 개의 데이터라인들(D1 내지 Dm), n 개의 게이트 라인들(G1 내지 Gn), 데이터라인들(D1 내지 Dm)과 n 개의 게이트 라인들(G1 내지 Gn)의 교차영역에 위치한 트랜지스터(TFT)들, 트랜지스터(TFT)들에 각각 접속된 액정셀, 화소전극, 및 스토리지 캐패시터(Cst)들을 포함할 수 있다.
- [0031] 상기 표시패널(2)의 제2 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(Vcom)이 형성될 수 있다. 여기서, 상기 공통전극(Vcom)은 액정 구동방식에 따라 위치가 변경될 수 있다. 예컨대 상기 공통전극(Vcom)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 제2 유리기판 상에 배치될 수 있고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극이 배치된 제1 유리기판 상에 배치될 수 있다.
- [0032] 상기 데이터 드라이버(6)는 타이밍 제어부(8)의 제어신호에 의해 디지털 비디오 데이터(RGB)를 래치할 수 있다. 상기 데이터 드라이버(6)는 상기 디지털 비디오 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm)에 공급한다.
- [0033] 상기 게이트 드라이버(4)는 타이밍 제어부(8)의 제어신호에 의해 1 수평기간의 펄스 폭을 가지는 게이트 신호들을 게이트 라인들(G1 내지 Gn)에 순차적으로 공급한다. 게이트 드라이버(4)는 화소 어레이와 동시에 제1 유리기판 상에 직접 형성될 수 있다.
- [0034] 타이밍 제어부(8)는 외부 시스템으로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(2)에 맞게 재정렬하여 데이터 드라이버(6)에 공급한다.
- [0035] 타이밍 제어부(8)는 외부 시스템으로부터 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블(Data Enable), 클럭신호(CLK, MCLK와 같은 메인 클럭신호를 포함한다) 등의 타이밍 신호를 입력받아 데이터 드라이버(6)와 게이트 드라이버(4)의 동작 타이밍을 제어하기 위한 제어신호들을 생성한다.
- [0036] 상기 데이터 드라이버(6)를 제어하기 위한 데이터 타이밍 제어신호는 데이터 스타트 펄스(SSP: Source Start Pulse), 데이터 샘플링 클럭(SSC: Source Sampling Clock), 극성제어신호(Pol: Polarity), 및 데이터 출력 인에이블신호(SOE: Source Output Enable) 등을 포함한다. 데이터 스타트 펄스(SSP)는 데이터 드라이버(6)의 데이터 샘플링 시작 타이밍을 제어한다.
- [0037] 데이터 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 드라이버(122) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 데이터 출력 인에이블신호(SOE)는 데이터 드라이버(6)의 출력 타이밍을 제어한다. 극성제어신호(POL)는 데이터 드라이버(6)로부터 출력되는 데이터전압의 수평 극성 반전 타이밍을 제어한다.
- [0038] 게이트 드라이버(4)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(GSP: Start Pulse), 게이트

시프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함한다.

- [0039] 실시 예의 표시패널(2)은 영상이 표시되는 표시영역(AA) 및 영상이 표시되지 않는 비표시영역(NA)을 포함할 수 있다. 상기 비표시영역(NA)은 상기 표시영역(AA)의 가장자리를 따라 배치될 수 있다.
- [0040] 상기 비표시영역(NA)은 게이트 라인(G1 내지 Gn)과 연결되는 게이트 패드(12)와 데이터 라인(D1 내지 Dm)으로부터 연결된 데이터 패드(14)를 포함할 수 있다. 상기 게이트 패드(12)는 게이트 드라이버(4)의 입력패드로 정의할 수 있고, 데이터 패드(14)는 데이터 드라이버(6)의 입력패드로 정의할 수 있다. 상기 게이트 라인(G1 내지 Gn) 및 데이터 라인(D1 내지 Dm)은 출력 라인으로 정의할 수 있다.
- [0041] 실시 예는 상기 게이트 패드(12)와 게이트 라인들(G1 내지 Gn) 사이에 배치된 정전기 방전회로(20)를 포함할 수 있다. 실시 예는 상기 데이터 패드(14)와 데이터라인들(D1 내지 Dm) 사이에 배치된 정전기 방전회로(20)를 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0042] 상기 정전기 방전회로(20)는 상기 게이트 패드(12) 및 데이터 패드(14)로부터 입력되는 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)를 그라운드(GND) 라인으로 패스시킬 수 있다. 여기서, 상기 정전기 방전회로(20)는 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)로부터 표시패널(2)을 보호하여 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)에 의한 표시패널(2)의 수율저하를 개선할 수 있다.
- [0043] 실시 예의 정전기 방전회로(20)는 양(+)의 정전기(ESD)를 그라운드(GND) 라인으로 패스시키는 제1 트랜지스터를 포함할 수 있다. 상기 정전기 방전회로(20)는 음(-)의 정전기(ESD)를 그라운드(GND) 라인으로 패스시키는 제2 트랜지스터를 포함할 수 있다. 상기 제1 및 제2 트랜지스터는 MOS 트랜지스터일 수 있으나, 이에 한정되는 것은 아니다.
- [0044] 실시 예는 상기 제1 및 제2 트랜지스터의 응답속도를 향상시켜 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)로부터 정전기 내성을 확보할 수 있다. 즉, 실시 예는 정전기 방전회로(20)의 신뢰성을 향상시킬 수 있다.
- [0045] 실시 예의 정전기 방전회로(20)는 도 2 내지 도 5를 참조하여 상세히 설명하도록 한다.
- [0046] 도 3은 실시 예에 따른 정전기 방전회로의 구성을 도시한 도면이고, 도 4는 실시 예에 따른 정전기 방전회로의 일 예를 도시한 도면이고, 도 5는 실시 예와 종래기술의 트랜지스터 턴-온 지연시간을 도시한 그래프이다.
- [0047] 도 3 내지 도 5에 도시된 바와 같이, 실시 예의 정전기 방전회로(20)는 양(+)의 정전기(ESD)를 그라운드(GND)로 패스하는 제1 트랜지스터(M1)를 포함할 수 있다. 실시 예의 정전기 방전회로(20)는 음(-)의 정전기(ESD)를 그라운드(GND)로 패스하는 제2 트랜지스터(M2)를 포함할 수 있다. 상기 제1 및 제2 트랜지스터(M1, M2)는 MOS 트랜지스터일 수 있다. 실시 예의 상기 제1 및 제2 트랜지스터(M1, M2)는 NMOS 트랜지스터일 수 있으나, 이에 한정되는 것은 아니다.
- [0048] 실시 예는 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트와 연결되는 배압부(21)를 포함할 수 있다. 상기 배압부(21)는 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자에 임의의 보상전압(Vout)을 제공하여 상기 제1 및 제2 트랜지스터(M1, M2)의 턴-온 타이밍을 줄이는 기능을 포함할 수 있다. 상기 배압부(21)는 입력전압을 이용하여 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자에 보상전압(Vout)을 제공할 수 있다. 상기 배압부(21)의 출력단은 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자와 연결될 수 있다. 여기서, 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자는 서로 연결될 수 있으나, 이에 한정되는 것은 아니다.
- [0049] 상기 정전기 방전회로(20)는 제1 트랜지스터(M1)의 게이트 단자와 상기 배압부(21)의 출력단 사이에 제2 다이오드(D2)를 포함할 수 있다. 상기 정전기 방전회로(20)는 제2 트랜지스터(M2)의 게이트 단자와 상기 배압부(21)의 출력단 사이에 제3 다이오드(D3)를 포함할 수 있다. 상기 제2 및 제3 다이오드(D2, D3)는 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)로부터 상기 배압부(21)를 보호하는 기능을 포함할 수 있다.
- [0050] 상기 정전기 방전회로(20)는 제1 트랜지스터(M1)의 게이트 단자와 제1 노드(N1) 사이에 제1 다이오드(D1)를 포함할 수 있다. 여기서, 상기 제1 노드(N1)는 상기 게이트 패드(12) 또는 데이터 패드(14)와 게이트 라인(G1 내지 Gn) 또는 데이터 라인(D1 내지 Dm)의 출력라인상에 배치될 수 있다. 상기 제1 다이오드(D1)는 역전류 방지 기능을 포함할 수 있다.
- [0051] 상기 정전기 방전회로(20)는 제2 트랜지스터(M2)의 게이트 단자와 그라운드(GND) 사이에 제4 다이오드(D4)를 포함할 수 있다. 여기서, 상기 제2 트랜지스터(M2)의 드레인 단자는 제2 노드(N2)와 연결될 수 있다. 상기 제2 노드(N2)는 상기 제1 노드(N1)와 게이트 라인(G1 내지 Gn) 또는 데이터 라인(D1 내지 Dm)의 출력라인상에 배치될

수 있다. 상기 제4 다이오드(D4)는 역전류 방지기능을 포함할 수 있다.

[0052] 상기 배압부(21)는 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자에 상기 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th})보다 낮은 전압레벨을 가질 수 있다. 예컨대 상기 배압부(21)의 보상전압(V_{out})은 상기 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th})의 50% 이상일 수 있다. 보다 구체적으로 상기 배압부(21)의 보상전압(V_{out})은 상기 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th})의 80% 일 수 있다. 상기 보상전압(V_{out})이 상기 문턱전압(MOS V_{th})의 50% 미만의 전압레벨을 갖는 경우, 상기 제1 및 제2 트랜지스터(M1, M2)의 턴-온 지연시간을 개선하기 어렵다. 상기 보상전압(V_{out})이 상기 문턱전압(MOS V_{th})의 80%를 초과하는 전압레벨을 갖는 경우, 정전기 방전회로(20)의 신뢰성이 저하될 수 있다.

[0053] 상기 배압부(21)는 보상전압 제어부(23), 제3 트랜지스터(M3), 인덕터(L), 제5 다이오드(D5) 및 캐패시터(C)를 포함할 수 있다. 상기 배압부(21)는 상기 제1 및 제2 노드(N1, N2) 사이의 제3 노드(N3)와 연결될 수 있다.

[0054] 상기 보상전압 제어부(23)는 입력전압을 이용하여 보상전압(V_{out})을 생성하는 기준전압을 생성한다. 여기서, 입력전압의 전압레벨은 보상전압(V_{out})의 전압레벨과 서로 대응되지 않는다.

[0055] 상기 인덕터(L)는 입력전압의 전류를 저장하고, 상기 제3 트랜지스터(M3)의 턴-온 시에 출력되는 보상전압(V_{out})으로 승압하는 기능을 포함할 수 있다. 상기 인덕터(L)는 상기 제3 트랜지스터(M3)의 드레인 단자와 연결될 수 있다.

[0056] 상기 제5 다이오드(D5)는 환류다이오드 기능을 포함할 수 있다. 즉, 상기 제5 다이오드(D5)는 제3 트랜지스터(M3)의 턴-오프 시에 상기 인덕터(L)의 역방향 기전력에 의한 임펄스 전압을 패스시킨다. 즉, 제5 다이오드(D5)는 제3 트랜지스터(M3)와 병렬 접속되어 상기 제3 트랜지스터(M3)를 보호하는 기능을 포함할 수 있다.

[0057] 상기 캐패시터(C)는 상기 보상전압(V_{out})을 평활하는 기능을 포함할 수 있다. 상기 캐패시터(C)는 상기 제5 다이오드(D5)와 병렬 접속될 수 있다.

[0058] 상기 보상전압 제어부(23)는 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자와 연결되는 제2 노드(N2)와 상기 제1 노드(N1) 사이의 제3 노드(N3)로부터 보상전압(V_{out})을 제4 노드(N4)를 통해서 피드백하여 일정한 보상전압(V_{out})을 유지할 수 있다. 상기 제4 노드(N4)는 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자와 연결되는 배압부(21)의 출력단으로 정의되는 제5 노드(N5)와 연결될 수 있다.

[0059] 실시 예의 배압부(21)는 보상전압 제어부(23), 제3 트랜지스터(M3), 인덕터(L), 제5 다이오드(D5) 및 캐패시터(C)를 포함하는 구성으로 한정하여 설명하고 있지만, 이에 한정되는 것은 아니다.

[0060] 실시 예는 배압부(21)로부터 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자에 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th}) 전압레벨의 80%의 보상전압(V_{out})이 제공되어 일반적인 제1 및 제2 트랜지스터(M1, M2)의 턴-온 지연시간(t_1) 보다 빠른 턴-온 지연시간(t_2)을 구현할 수 있다. 따라서, 실시 예는 상기 제1 및 제2 트랜지스터(M1, M2)의 턴-온 지연시간을 줄여 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)로부터 표시패널(2)을 안전하게 보호할 수 있다.

[0061] 실시 예는 입력전압을 이용하여 상기 제1 및 제2 트랜지스터(M1, M2)의 게이트 단자에 보상전압(V_{out})을 일정하게 유지함으로써, 구동회로의 구성을 간소화할 수 있다.

[0062] 표1은 ESD 유입시에 제1 및 제2 트랜지스터(M1, M2)의 턴-온 지연시간을 나타낸다.

표 1

	게이트 단자 전압	제1 및 제2 트랜지스터 턴-온 지연시간
일반적인 정전기 방전회로	0V	7.2ns
실시 예 1	1V	6ns
실시 예 2	2V	4.2ns
실시 예 3	3V	3.2ns

[0064] 실시 예 1 내지 3은 보상전압(V_{out}) 1V 내지 3V이며, 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th})은 4V일 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th})은 변경될 수 있고, 상기 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th})에 따라 보상전압(V_{out})도 변경

될 수 있다.

[0065] 실시 예 1 내지 3은 일반적인 정전기 방전회로와 대비 최대 55%의 빠른 턴-온 지연시간을 구현할 수 있다.

[0066] 실시 예는 상기 제1 및 제2 트랜지스터(M1, M2)의 문턱전압(MOS V_{th})의 50% 이상의 보상전압(V_{out})이 게이트 단자에 제공되어 상기 제1 및 제2 트랜지스터(M1, M2)의 턴-온 지연시간을 줄여 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)로부터 표시패널(2)을 안전하게 보호할 수 있다.

[0067] 실시 예는 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD) 유입시에 제1 및 제2 트랜지스터(M1, M2)의 빠른 턴-온 지연시간에 의해 양(+)의 정전기(ESD) 또는 음(-)의 정전기(ESD)로부터 구동회로를 안전하게 보호하므로 수율 향상 및 생산성을 향상시킬 수 있다.

[0068] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시 예의 범위에 포함되는 것으로 해석되어야 할 것이다.

[0069] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시 예를 한정하는 것이 아니며, 실시 예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시 예의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0070] 20: 정전기 방전회로

21: 배압부

23: 보상전압 제어부

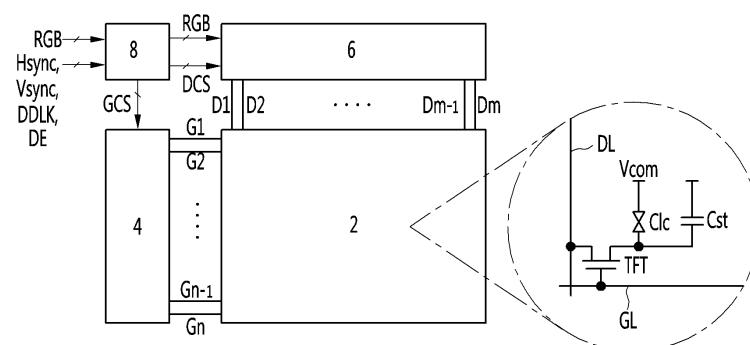
M1: 제1 트랜지스터

M2: 제2 트랜지스터

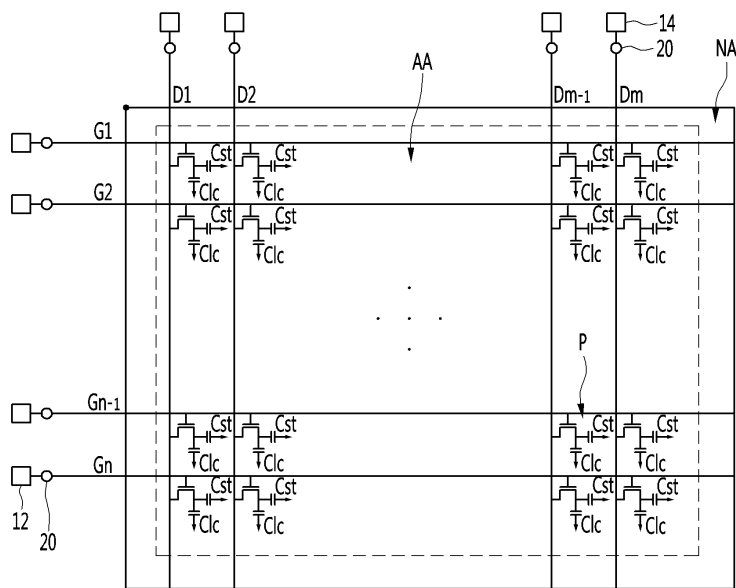
M3: 제3 트랜지스터

도면

도면1

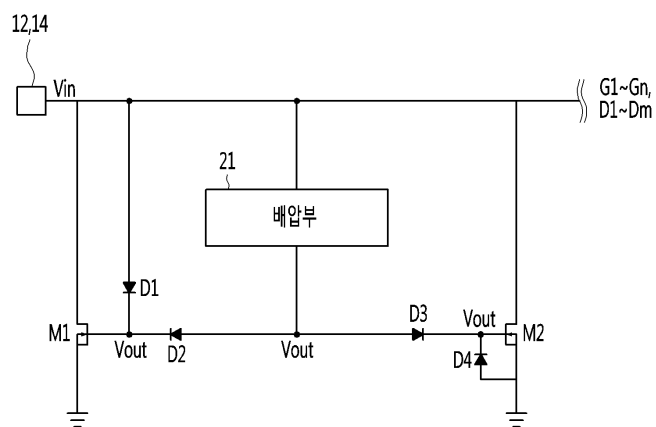


도면2



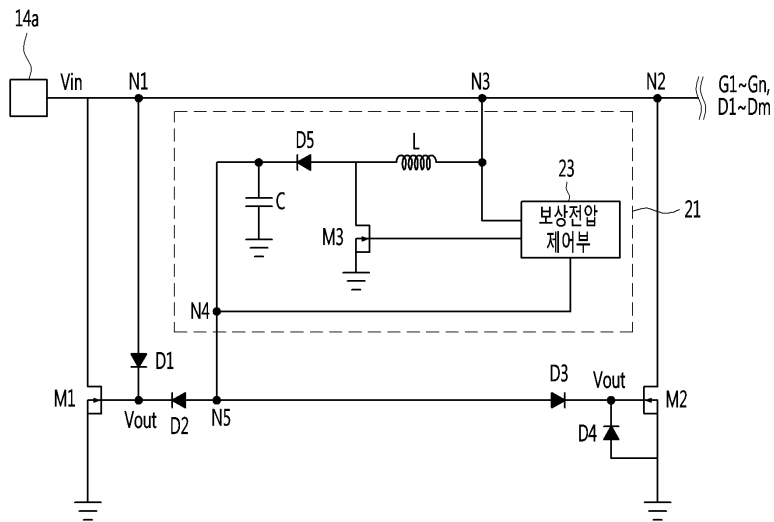
도면3

20



도면4

20



도면5

