



(10) 授权公告号 CN 114514603 B

(45) 授权公告日 2024. 10. 29

(21) 申请号 201980101203.0

(22) 申请日 2019.10.11

(65) 同一申请的已公布的文献号
申请公布号 CN 114514603 A

(43) 申请公布日 2022.05.17

(85) PCT国际申请进入国家阶段日
2022.04.08

(86) PCT国际申请的申请数据
PCT/JP2019/040259 2019.10.11

(87) PCT国际申请的公布数据
W02021/070367 JA 2021.04.15

(73) 专利权人 株式会社索思未来
地址 日本神奈川县

(72) 发明人 冈本淳 王文桢 武野纮宜

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 舒艳君

(51) Int.Cl.
H01L 21/822 (2006.01)
H01L 27/00 (2006.01)
H01L 27/04 (2006.01)

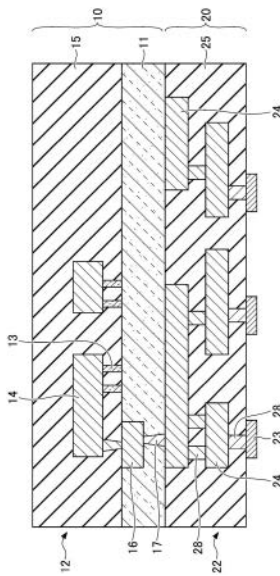
(56) 对比文件
CN 104752337 A, 2015.07.01
JP 2009124667 A, 2009.06.04

审查员 袁芳

权利要求书2页 说明书14页 附图36页

(54) 发明名称
半导体装置

(57) 摘要
半导体装置包括第1芯片以及第2布线层,第1芯片具有基板以及形成在所述基板的第1面上的第1布线层,第2布线层形成在所述基板的所述第1面的相反侧的第2面上。所述第2布线层包括提供第1电源电位的第1电源线、提供第2电源电位的第2电源线、连接于所述第1电源线与所述第2电源线之间的第1开关。所述第1芯片包括第1接地线、提供所述第2电源电位的第3电源线、配置有所述第1接地线以及所述第3电源线的第1区域。俯视下,所述第1开关与所述第1区域重叠。



1. 一种半导体装置,其特征在于,包括:
第1芯片,具有基板、形成在所述基板的第1面上的第1布线层;以及
第2布线层,形成在所述基板的所述第1面的相反侧的第2面上,
所述第2布线层包括:
第1电源线,提供第1电源电位;
第2电源线,提供第2电源电位;以及
第1开关,连接于所述第1电源线与所述第2电源线之间,
所述第1芯片包括:
第1接地线;
第3电源线,提供所述第2电源电位;以及
第1区域,配置有所述第1接地线以及所述第3电源线,
俯视下,所述第1开关与所述第1区域重叠。
2. 根据权利要求1所述的半导体装置,其特征在于,
所述半导体装置包括形成在所述基板上,并电连接所述第2电源线与所述第3电源线的第1孔。
3. 根据权利要求2所述的半导体装置,其特征在于,
俯视下,所述第1孔与所述第1区域重叠。
4. 根据权利要求1所述的半导体装置,其特征在于,
所述第1芯片包括:
第2接地线;
第4电源线,连接于所述第1电源线;以及
第2区域,配置有所述第2接地线以及所述第4电源线。
5. 根据权利要求4所述的半导体装置,其特征在于,
所述第2区域包括连接于所述第2接地线与所述第4电源线之间,以控制所述第1开关的控制电路。
6. 根据权利要求5所述的半导体装置,其特征在于,
所述第1芯片具有用于传递所述控制电路的输出信号的第1控制信号线,
俯视下,在所述第2区域的外侧,具有连接所述第1控制信号线与所述第1开关的控制端子的第1连接区域。
7. 根据权利要求6所述的半导体装置,其特征在于,
所述第1连接区域在俯视下被设置在所述第1区域与所述第2区域之间。
8. 根据权利要求6所述的半导体装置,其特征在于,
多个所述第1开关的控制端子互相连接。
9. 根据权利要求4所述的半导体装置,其特征在于,
所述第2布线层包括:
第5电源线,提供所述第1电源电位;
第6电源线,提供所述第2电源电位;以及
第2开关,连接于所述第5电源线与所述第6电源线之间,
俯视下,所述第2开关被配置在所述第1区域与所述第2区域之间。

10. 根据权利要求1至9中的任一项所述的半导体装置,其特征在于,
所述第1开关包括:
半导体层,连接于所述第1电源线以及所述第2电源线;
栅电极;以及
栅极绝缘膜,设置在所述半导体层与所述栅电极之间。
11. 根据权利要求10所述的半导体装置,其特征在于,
所述栅极绝缘膜形成在所述半导体层的所述第1芯片侧的面上,
所述栅电极形成在所述栅极绝缘膜的所述第1芯片侧的面上。
12. 根据权利要求11所述的半导体装置,其特征在于,
所述第1电源线连接于所述半导体层的所述第1芯片侧的面的相反侧的面。
13. 根据权利要求10所述的半导体装置,其特征在于,
所述栅极绝缘膜形成在所述半导体层的所述第1芯片侧的面的相反侧的面上,
所述栅电极形成在所述栅极绝缘膜的所述第1芯片侧的面的相反侧的面上。
14. 根据权利要求1至9中的任一项所述的半导体装置,其特征在于,
多个所述第1开关并联连接。
15. 根据权利要求14所述的半导体装置,其特征在于,
多个所述第1开关以在俯视下沿着彼此正交的第2方向以及第3方向排列成格子状的方式配置,
沿着所述第2方向排列的多个所述第1开关被并联连接,构成开关群,
在所述第3方向上邻接的所述开关群,俯视下在所述第1区域的外侧互相连接。
16. 根据权利要求15所述的半导体装置,其特征在于,
在所述第1区域的外侧,所述开关群的控制端子彼此通过缓冲器连接。
17. 根据权利要求15所述的半导体装置,其特征在于,
所述半导体装置具有连接于所述开关群的控制端子的电容元件。

半导体装置

技术领域

[0001] 本发明涉及一种半导体装置。

背景技术

[0002] 半导体装置包含各种电路区域,作为电路区域之一例有标准单元区域。标准单元区域包含各种逻辑电路以及电源开关电路。

[0003] 电源开关电路,例如,被设置在用于向半导体装置提供VDD电位的电源线与用于向逻辑电路的晶体管提供VVDD的电源的电源线之间,进行对该晶体管提供VVDD电源电位的开/关切换。通过使用电源开关电路,在无需使逻辑电路动作时可切断电源供给,抑制在构成逻辑电路的晶体管中产生的漏电流,降低消耗电力。

[0004] 另外,已有人提出在主半导体芯片的背侧贴合包含布线的从属半导体芯片,通过该从属半导体芯片的布线向主半导体芯片的晶体管提供电源电位的技术。这种技术也被称为BS-PDN(backside-power delivery network)。

[0005] <现有技术文献>

[0006] <专利文献>

[0007] 专利文献1:美国专利申请公开第2015/0162448号说明书

[0008] 专利文献2:美国专利第9754923号说明书

[0009] 专利文献3:美国专利申请公开第2018/0145030号说明书

[0010] 专利文献4:美国专利第8530273号说明书

[0011] 专利文献5:(日本)专利第6469269号公报

发明内容

[0012] <本发明要解决的问题>

[0013] 目前为止,关于在包含布线的从属半导体芯片内设置电源开关电路时的具体结构,尚未进行详细研究。

[0014] 本发明的目的在于提供一种能够适当地设置电源开关电路的半导体装置。

[0015] <用于解决问题的手段>

[0016] 本公开的技术所涉及的半导体装置包括第1芯片以及第2布线层,第1芯片具有基板以及形成在所述基板的第1面上的第1布线层,第2布线层形成在与所述基板的所述第1面为相反侧的第2面上,所述第2布线层包括提供第1电源电位的第1电源线、提供第2电源电位的第2电源线、连接于所述第1电源线与所述第2电源线之间的第1开关,所述第1芯片包括第1接地线、提供所述第2电源电位的第3电源线、配置有所述第1接地线以及所述第3电源线的第1区域,俯视下所述第1开关与所述第1区域重叠。

[0017] <发明的效果>

[0018] 根据本公开的技术,能够适当地设置电源开关电路。

附图说明

- [0019] 图1是表示第1实施方式的半导体装置的概要的剖面图。
- [0020] 图2是表示第1实施方式中的第1芯片的布局的图。
- [0021] 图3是表示第1实施方式的半导体装置所包含的电路结构的电路图。
- [0022] 图4是表示缓冲器的结构的电路图。
- [0023] 图5是表示缓冲器的平面结构的模式图。
- [0024] 图6是表示逆变器的结构的电路图。
- [0025] 图7是表示逆变器的平面结构的模式图。
- [0026] 图8是表示第1实施方式中的电源域的概要的模式图。
- [0027] 图9是表示第1实施方式的半导体装置的平面结构的模式图 (其1)。
- [0028] 图10是表示第1实施方式的半导体装置的平面结构的模式图 (其2)。
- [0029] 图11是表示第1实施方式的半导体装置的剖面图 (其1)。
- [0030] 图12是表示第1实施方式的半导体装置的剖面图 (其2)。
- [0031] 图13是表示第1实施方式的半导体装置的剖面图 (其3)。
- [0032] 图14是表示第2实施方式的半导体装置的平面结构的模式图 (其1)。
- [0033] 图15是表示第2实施方式的半导体装置的平面结构的模式图 (其2)。
- [0034] 图16是表示第2实施方式的半导体装置的剖面图 (其1)。
- [0035] 图17是表示第2实施方式的半导体装置的剖面图 (其2)。
- [0036] 图18是表示第3实施方式的半导体装置的平面结构的模式图 (其1)。
- [0037] 图19是表示第3实施方式的半导体装置的平面结构的模式图 (其2)。
- [0038] 图20是表示第4实施方式的半导体装置的平面结构的模式图。
- [0039] 图21是表示第4实施方式的半导体装置的剖面图 (其1)。
- [0040] 图22是表示第4实施方式的半导体装置的剖面图 (其2)。
- [0041] 图23是表示第4实施方式的半导体装置的剖面图 (其3)。
- [0042] 图24是表示第5实施方式的半导体装置的平面结构的模式图。
- [0043] 图25是表示第5实施方式的半导体装置的剖面图 (其1)。
- [0044] 图26是表示第5实施方式的半导体装置的剖面图 (其2)。
- [0045] 图27是表示第6实施方式的半导体装置的平面结构的模式图。
- [0046] 图28是表示第7实施方式的半导体装置的平面结构的模式图。
- [0047] 图29是表示第8实施方式的半导体装置的剖面图。
- [0048] 图30是表示第9实施方式的半导体装置的剖面图。
- [0049] 图31是表示第10实施方式的电源域的概要的模式图。
- [0050] 图32是表示第10实施方式的半导体装置的平面结构的模式图。
- [0051] 图33是表示第11实施方式的半导体装置的平面结构的模式图。
- [0052] 图34是表示第12实施方式的半导体装置的平面结构的模式图。
- [0053] 图35是表示开光晶体管的剖面结构的例子的剖面图 (其1)。
- [0054] 图36是表示开光晶体管的剖面结构的例子的剖面图 (其2)。
- [0055] 图37是表示开光晶体管的剖面结构的例子的剖面图 (其3)。

具体实施方式

[0056] 以下,参照附图对实施方式进行具体的说明。并且,在本说明书以及附图中,对实质上具有相同功能结构的结构要素,通过附加相同的符号有时会省略重复说明。另外,在以下的说明中,将与基板的表面平行并且彼此正交的两个方向设为X方向、Y方向,将垂直于基板的表面的方向设为Z方向。另外,本公开中所说的配置一致,并非是严格地排除制造上的偏差所致的不一致情况,即使是制造上的偏差导致配置有偏移的情况,也可视为配置一致。

[0057] (第1实施方式)

[0058] 首先,对第1实施方式进行说明。图1是表示第1实施方式的半导体装置的概要的剖面图。如图1所示,第1实施方式的半导体装置包括第1芯片10以及第2芯片20。

[0059] 第1芯片10例如是半导体芯片,其包括基板11以及第1布线层12。基板11例如是硅基板,在基板11的表面侧形成有晶体管等的半导体元件。晶体管例如是源极、漏极以及沟道包含鳍13的FinFET。第1布线层12形成在基板11的表面上,包含布线14以及绝缘层15。布线14的一部分连接于鳍13。另外,例如在基板11的表面侧,形成有与布线14连接的电源线16,基板11上设有从电源线16到基板11的背面的孔17。孔17例如是硅穿孔(through-silicon via:TSV)。在此,如图1所示,布线14的一部分呈孔形状,可连接于电源线16。

[0060] 第2芯片20例如是半导体芯片,与第1芯片10的基板11的背面相对配置。第2芯片20例如包含第2布线层22以及垫23。第2布线层22包含布线24以及绝缘层25。第2布线层22的顶面例如与第1芯片10的基板11的背面相对而置。即,基板11位于第1布线层12与第2布线层22之间。第2布线层22,如图1所示,可具有多个布线24。多个布线24可通过第2布线层22上设置的孔28进行连接。垫23例如是与布线基板或板等进行连接的外部连接端子。布线24的一部分连接于孔17。垫23被设置在第2布线层22的背面,通过孔28连接于布线24。通过垫23进行对第2布线层22的电源电位提供或信号传递。

[0061] 第2芯片20可以具有与第1芯片10同等程度的尺寸,也可以具有大于第1芯片10的尺寸。另外,在与第1芯片10相对侧的第2芯片20的面上,俯视下,垫23可以被设置在第1芯片10的外侧。以下,本说明书中的俯视是指对第1芯片10的表面的俯视。

[0062] 第2布线层22可以是在基板11的背面上形成布线24以及绝缘层25等而设置的结构。第2布线层22也可以形成在具有TSV的第2基板上,在第2基板的背面还可以设置垫23。

[0063] 另外,图1的剖面图表示半导体装置的概要,详情如图9~图12所示。

[0064] 接下来,关于第1芯片10的布局进行说明。图2是表示第1芯片10的布局的图。

[0065] 如图2所示,第1芯片10包含第1电源域31A、第2电源域31B以及输入输出(I/O)单元区域32。I/O单元区域32例如被配置在第1电源域31A以及第2电源域31B的周围。第1电源域31A的数量以及第2电源域31B的数量可以是2以上。

[0066] 以下,关于第1实施方式的半导体装置所包含的电路进行说明。图3是表示第1实施方式的半导体装置所包含的电路结构的电路图。

[0067] 如图3所示,第1实施方式的半导体装置包括标准单元41、电源开关电路42以及电源开关控制电路52。电源开关控制电路52被设置在第1芯片10的第1电源域31A。标准单元41被设置在第1芯片10的第2电源域31B。标准单元41例如包含NAND电路、逆变器等各种逻辑电路。电源开关控制电路52包含如下所述的缓冲器。在第1电源域31A,配置有用于向电源开关控制电路52提供接地电位的VSS布线以及提供电源电位的VDD布线。在第2电源域31B,配

置有用于向标准单元41提供接地电位的VSS布线以及提供电源电位的VDD布线。

[0068] 详情后述,电源开关电路42被设置在第2芯片20。电源开关电路42包含开关晶体管51。开关晶体管51例如是P沟道MOS晶体管,连接在VDD布线与VDD布线之间。电源开关控制电路52连接于开关晶体管51的栅极,控制开关晶体管51的动作。通过电源开关控制电路52对开关晶体管51进行开/关切换,控制VDD布线与VDD布线之间的导通。电源开关控制电路52例如包含缓冲器。开关晶体管51可由薄膜晶体管(thin film transistor:TFT)构成,也可以是微机电系统(micro electro mechanical systems:MEMS)开关。另外,还有向第1电源域31A提供接地电位的VSS布线、向第2电源域31B提供接地电位的VSS布线,在VSS布线与VSS布线之间可以设置作为开关晶体管51的N沟道MOS晶体管。

[0069] 以下,关于电源开关控制电路52所包含的缓冲器的结构进行说明。图4是表示缓冲器的结构的电路图。图5是表示缓冲器的平面结构的模式图。

[0070] 如图4所示,电源开关控制电路52所包含的缓冲器60具备逆变器61以及逆变器62。输入信号IN被输入到逆变器61,逆变器61的输出被输入到开关晶体管51的栅极以及逆变器62,由逆变器62输出输出信号OUT。逆变器61包含P沟道MOS晶体管610P以及N沟道MOS晶体管610N。逆变器62包含P沟道MOS晶体管620P以及N沟道MOS晶体管620N。

[0071] 例如,如图5所示,设有相当于VDD布线的电源线1110以及相当于VSS布线的电源线1120。电源线1110以及1120沿着X方向延伸。在电源线1110的电源线1120侧,设有沿着X方向延伸的半导体的鳍651。例如设有2条鳍651。在鳍651的电源线1120侧,设有沿着X方向延伸的半导体的鳍652。例如设有2条鳍652。设有局部布线631,通过孔681连接于电源线1110,并沿着Y方向延伸,连接于鳍651。设有局部布线632,通过孔682连接于电源线1120,并沿着Y方向延伸,连接于鳍652。在局部布线631以及632的X方向正侧,设有连接于鳍651以及652的局部布线634。在局部布线631以及632的X方向负侧,设有连接于鳍651以及652的局部布线636。

[0072] 在局部布线631与局部布线634之间,以及在局部布线632与局部布线634之间,设有通过栅极绝缘膜(未图示)与鳍651以及652交叉的栅电极612。在局部布线631与局部布线636之间,以及在局部布线632与局部布线636之间,设有通过栅极绝缘膜(未图示)与鳍651以及652交叉的栅电极622。栅电极612通过局部布线633以及孔641,连接于布线611。栅电极622通过局部布线635以及孔643,连接于控制信号线5110。控制信号线5110还通过孔642连接于局部布线634。局部布线636通过孔644连接于布线621。输入信号IN输入到布线611,由布线621输出输出信号OUT(参照图4)。控制信号线5110连接于开关晶体管51的栅极。即,控制信号线5110起到向开关晶体管51传递控制信号的信号线的作用。

[0073] 在此,逆变器61以及62的结构为一例,例如,逆变器61以及62所包含的P沟道MOS晶体管以及N沟道MOS晶体管还可以是2对以上。另外,与开关晶体管51的栅极连接的布线还可以连接于缓冲器60的输入或输出。

[0074] 以下,作为标准单元41中包含的电路之一例,关于逆变器的结构进行说明。图6是表示逆变器的结构的电路图。图7是表示逆变器的平面结构的模式图。

[0075] 如图6所示,逆变器70包含P沟道MOS晶体管710P以及N沟道MOS晶体管710N。

[0076] 例如,如图7所示,设有相当于VDD布线的电源线2110、相当于VSS布线的电源线2120。电源线2110以及2120沿着X方向延伸。在电源线2110的电源线2120侧,设有沿着X方向

延伸的半导体的鳍751。例如设有2条鳍751。在鳍751的电源线2120侧,设有沿着X方向延伸的半导体的鳍752。例如设有2条鳍752。设有局部布线731,通过孔781连接于电源线2110,并沿着Y方向延伸,连接于鳍751。设有局部布线732,通过孔782连接于电源线2120,并沿着Y方向延伸,连接于鳍752。在局部布线731以及732的X方向正侧,设有连接于鳍751以及752的局部布线734。

[0077] 在局部布线731与局部布线734之间,以及在局部布线732与局部布线734之间,设有通过栅极绝缘膜(未图示)与鳍751以及752交叉的栅电极712。栅电极712通过局部布线733以及孔741连接于布线711。局部布线734通过孔742连接于布线760。输入信号IN输入到布线711,由布线760输出输出信号OUT(参照图6)。

[0078] 在此,标准单元41中包含的电路并不限于逆变器,还可以包含各种逻辑电路等的电路。另外,还可以包含SRAM(Static Random Access Memory)的存储单元。另外,电源线2110以及2120可以设置横跨3个以上的区域的电路。即,可以设置所谓的多高度(multi-height)的电路。

[0079] 图5以及图7中例示了采用鳍的晶体管(FinFET),此外在第1电源域31A以及第2电源域31B还可以设置平面型的晶体管、互补场效应晶体管(Complementary Field Effect Transistor:CFET)、使用纳米线的晶体管等。

[0080] 在此,关于第1电源域31A以及第2电源域31B的概要进行说明。图8是第1实施方式的电源域的概要的模式图。

[0081] 如图8所示,例如,第2电源域31B位于第1电源域31A的X方向正侧。第1电源域31A包含连接于电源线1110以及1120的电路。例如,图4以及图5所示的电源开关控制电路52的缓冲器60被包含在第1电源域31A中。第2电源域31B包含连接于电源线2110以及2120的电路。例如,图6以及图7所示的逆变器70被包含在第2电源域31B中。另外,在俯视第1芯片10的表面时,电源开关电路42与第2电源域31B重叠。并且,例如在第2电源域31B被第1电源域31A包围的配置情况下,可以沿着如图8所示的电源线1110以及电源线2110的延伸方向,配置第1电源域31A的至少一部分以及第2电源域31B。

[0082] 以下,关于第1实施方式中的第1芯片10以及第2芯片20的详细结构进行说明。图9以及图10是表示第1实施方式的半导体装置的平面结构的模式图。图11~图13是表示第1实施方式的半导体装置的剖面图。图9表示第1芯片10以及第2芯片20的内部结构,图10表示第2芯片20的内部结构。图11相当于沿着图9以及图10中的X11-X21线的剖面图,图12相当于沿着图9以及图10中的X12-X22线的剖面图,图13相当于沿着图9以及图10中的Y11-Y21线的剖面图。

[0083] [第1电源域31A]

[0084] 在第1电源域31A,沿着X方向延伸的电源线1110与沿着X方向延伸的电源线1120在Y方向上交替配置。例如,电源线1110相当于VDD布线,电源线1120相当于VSS布线。

[0085] 如图9~图13所示,基板11上形成有沿着X方向延伸的多个槽,电源线1110以及1120被设置在这些槽内。具有这种结构的电源线1110以及1120也被称为BPR(Buried Power Rail)。在基板11的表面上还可以形成元件分离膜(未图示)。例如通过STI(Shallow Trench Isolation)法形成元件分离膜。元件分离膜的表面与基板11的表面可以是同一面,也可以不是同一面。

[0086] 在基板11形成有穿通至基板11背面的孔1111以及1121。孔1111形成在电源线1110的下方,孔1121形成在电源线1120的下方。在1条电源线1110可以设置2个以上的孔1111,在1条电源线1120也可以形成2个以上的孔1121。

[0087] 虽未图示,在电源线1110与电源线1120之间,连接有图5所示的电源开关控制电路52等的电路。如图9以及图12所示,用于传送逆变器61的输出的控制信号线5110,在俯视下位于电源线1110与电源线1120之间。控制信号线5110在俯视下延伸至第1电源域31A与第2电源域31B之间的区域。在控制信号线5110的第2电源域31B侧的端部下方的基板11上形成有槽,在该槽内形成有连接层5190。在绝缘层15形成有用于电连接控制信号线5110与连接层5190的孔5111。在基板11形成有穿通至基板11背面的孔5191。孔5191形成在连接层5190的下方。

[0088] [第2电源域31B]

[0089] 在第2电源域31B,沿着X方向延伸的电源线2110与沿着X方向延伸的电源线2120在Y方向上交替配置。例如,电源线2110相当于VDD布线,电源线2120相当于VSS布线。

[0090] 如图9~图13所示,在基板11形成有沿着X方向延伸的多个槽,电源线2110以及2120被设置在这些槽内。具有这种结构的电源线2110以及2120也被称之为BPR。在基板11的表面上还可以形成元件分离膜(未图示)。

[0091] 在基板11形成有穿通至基板11背面的孔2111以及2121。孔2111形成在电源线2110的下方,孔2121形成在电源线2120的下方。在1条电源线2110可以形成2个以上的孔2111,在1条电源线2120可以形成2个以上的孔2121。

[0092] 虽未图示,在电源线2110与电源线2120之间,连接有图7所示的逆变器70等的标准单元41所包含的电路。在电源线2110与电源线2120之间可以连接SRAM的存储单元。

[0093] [电源开关电路42]

[0094] 如图9~图13所示,第2芯片20例如包含绝缘层25、形成在绝缘层25的表层部的电源线4110、4120、4130、4140以及4150。电源线4110、4120、4130、4140以及4150沿着Y方向延伸。

[0095] 电源线4110以及4120被设置在俯视下与第1电源域31A重叠的区域。电源线4110相当于VDD布线,电源线4120相当于VSS布线。电源线4110被配置在与多个孔1111沿着Y方向配列而成的直线重叠的位置,并通过孔1111连接于电源线1110。电源线4210被配置在与多个孔1121沿着Y方向配列而成的直线重叠的位置,并通过孔1121连接于电源线1120。

[0096] 电源线4130、4140以及4150被设置在俯视下与第2电源域31B重叠的区域。电源线4130相当于VDD布线,电源线4140相当于VSS布线,电源线4150相当于VDD布线。电源线4130被配置在与多个孔2111沿着Y方向配列而成的直线重叠的位置,并通过孔2111连接于电源线2110。电源线2110以及4130在俯视下具有网格结构。电源线4140被配置在与多个孔2121沿着Y方向配列而成的直线重叠的位置,并通过孔2121连接于电源线2120。电源线2120以及4140在俯视下具有网格结构。

[0097] 第2芯片20在绝缘层25内包含电源线4190以及栅电极5120。电源线4190以及栅电极5120位于电源线4110、4120、4130、4140以及4150的下方。电源线4190以及栅电极5120沿着X方向延伸。

[0098] 如图9~图11所示,电源线4190包括在俯视下与电源线1110重叠的部分、在俯视下

与电源线2110重叠的部分、连接上述两者的部分。电源线4190相当于VDD布线。在绝缘层25形成有用于电连接电源线4110与电源线4190的孔4191,以及用于电连接电源线4150与电源线4190的孔4192。电源线4150与4190在俯视下具有网格结构。

[0099] 如图9、图10以及图13所示,栅电极5120在俯视下位于电源线2110与电源线2120之间。如图12所示,栅电极5120在俯视下延伸到第1电源域31A与第2电源域31B之间的区域。在栅电极5120的第1电源域31A侧的端部上方的绝缘层25的表层部形成有连接部5180。连接部5180连接于孔5191。在绝缘层25形成有用于电连接栅电极5120与连接部5180的孔5181。

[0100] 如图9~图12所示,在绝缘层25的表层部,形成有沿着Y方向延伸的控制信号线5170。控制信号线5170位于各4130的第1电源域31A侧。控制信号线5170、电源线4130、电源线4150、电源线4140按照该顺序在X方向上反复配置。在绝缘层25,形成有用于电连接彼此交叉的控制信号线5170与栅电极5120的孔5171。栅电极5120与控制信号线5170在俯视下具有网格结构。

[0101] 如图9、图10、图12以及图13所示,在绝缘层25形成有俯视下与相邻并成对的电源线4130以及4150重叠的多个半导体层6110。半导体层6110位于栅电极5120的下方,在半导体层6110与栅电极5120之间设有栅极绝缘膜6120。栅极绝缘膜6120与栅电极5120相接,半导体层6110与栅极绝缘膜6120相接。

[0102] 半导体层6110具有VVDD连接部6111(漏极)与VDD连接部6112(源极),在Y方向上半导体层6110的中心线被夹在VVDD连接部6111与VDD连接部6112之间。在绝缘层25形成有用于电连接VVDD连接部6111与电源线4130的孔4131,以及用于电连接VDD连接部6112与电源线4150的孔4151。多个半导体层6110被配置成格子状。

[0103] 电源线4190通过孔4192、电源线4150、孔4151连接于VDD连接部6112。另外,VVDD连接部6111通过孔4131、电源线4130、孔2111连接于电源线2110。例如通过垫23向电源线4190提供VDD的电位(参照图1)。另外,如上所述,电源线2110相当于VVDD布线。并且,VVDD连接部6111与VDD连接部6112之间的导通,由栅电极5120的电位所控制。即,栅电极5120作为连接于VDD布线与VVDD布线之间的开关晶体管51的栅极发挥作用。

[0104] 如上所述,在本实施方式中,开关晶体管51具备半导体层6110,半导体层6110在俯视下与第2电源域31B重叠。即,俯视下,开关晶体管51与第2电源域31B重叠。

[0105] 因此,相较于俯视下将包含开关晶体管51的电源开关电路42与第1电源域31A以及第2电源域31B独立配置的情况而言,能够减小半导体装置的尺寸。另外,利用第1电源域31A与第2电源域31B之间的用于电源分离的区域(分离区域),将控制信号线连接于第1电源域31A与第2电源域31B之间,这也能够减小半导体装置的尺寸。另外,控制信号线并非是VDD布线以及VVDD布线等的电源电位的布线,因此也可以配置在分离区域。

[0106] 另外,第1电源域31A的电源线1120等的VSS布线与第2电源域31B的电源线2120等的VSS布线可以彼此连接,也可以彼此分离构成不同的节点。另外,设置在第2电源域31B的电源线与设在第2芯片20的电源线在俯视下也可以不是网格结构,栅电极5120以及控制信号线5170在俯视也可以不是网格结构。

[0107] 另外,对各孔的平面形状并无特别限定,例如可以是圆形、椭圆形、正方形或矩形等。

[0108] (第2实施方式)

[0109] 接下来,关于第2实施方式进行说明。第2实施方式主要是其栅电极的配置不同于第1实施方式。图14以及图15是表示第2实施方式的半导体装置的平面结构的模式图。图16以及图17是表示第2实施方式的半导体装置的剖面图。图14表示第1芯片10以及第2芯片的内部结构,图15表示第2芯片20内部结构。图16相当于沿着图14以及图15中的X13-X23线的剖面图,图17相当于沿着图14以及图15中的Y12-Y22线的剖面图。

[0110] 在第2实施方式中,与第1实施方式同样,第2芯片20例如包含绝缘层25、形成在绝缘层25的表层部的电源线4110、4120、4130、4140以及4150。电源线4110、4120、4130、4140以及4150沿着Y方向延伸。

[0111] 第2芯片20还在绝缘层25内包含电源线4270、4280以及4290。电源线4270、4280以及4290沿着X方向延伸。电源线4270、4280以及4290在俯视下被设置在与第2电源域31B重叠的区域。电源线4270、4280以及4290位于电源线4110、4120、4130、4140以及4150的下方。电源线4280相当于VDD布线,电源线4270相当于VSS布线,电源线4290相当于VDD布线。

[0112] 如图14~图16所示,电源线4290具有俯视下与电源线1120重叠的部分、俯视下与电源线2120重叠的部分、连接上述部分的部分。在绝缘层25形成有用于电连接电源线4110与电源线4290的孔4291,以及用于电连接电源线4150与电源线4290的孔4251。如图14、图15以及图17所示,在绝缘层25形成有用于电连接电源线4130与电源线4280的孔4231,以及用于电连接电源线4140与电源线4270的孔4241。

[0113] 如图14、图15以及图17所示,第2芯片20在绝缘层25内包含控制信号线5270。控制信号线5270位于电源线4110、4120、4130、4140以及4150的下方。控制信号线5270沿着X方向延伸。控制信号线5270在俯视下位于电源线2110与该电源线2110的Y方向负侧的电源线2120之间。电源线4270、电源线4280、电源线4290以及控制信号线5270按照该顺序在Y方向上反复配置。控制信号线5270在俯视下延伸到第1电源域31A与第2电源域31B之间的区域。在控制信号线5270的第1电源域31A侧的端部上方的绝缘层25的表层部,形成有连接部5180。连接部5180连接于孔5191。在绝缘层25形成有用于电连接控制信号线5270与连接部5180的孔5181。

[0114] 如图14~图17所示,在绝缘层25形成有沿着Y方向延伸并在俯视下与电源线4280、电源线4290以及控制信号线5270的组重叠的栅电极5220。栅电极5220在俯视下位于相邻的电源线4130与电源线4150之间。栅电极5220位于电源线4270、电源线4280、电源线4290以及控制信号线5270的下方。如图14以及图15所示,在绝缘层25形成有用于电连接栅电极5220与控制信号线5270的孔5221。

[0115] 如图14~图17所示,在绝缘层25形成有在俯视下与邻接的电源线4130以及4150重叠,并与邻接的电源线4280以及4290重叠的半导体层6210。半导体层6210位于栅电极5220的下方,在半导体层6210与栅电极5220之间设有栅极绝缘膜6220。栅极绝缘膜6220与栅电极5220相接,半导体层6210与栅极绝缘膜6220相接。

[0116] 半导体层6210具有俯视下位于栅电极5220的X方向负侧的VDD连接部6211、俯视下位于栅电极5220的X方向正侧的VDD连接部6212。在绝缘层25形成有用于电连接VDD连接部6211与电源线4280的孔4281、用于电连接VDD连接部6212与电源线4290的孔4292。

[0117] 如图16所示,电源线4290通过孔4292连接于VDD连接部6212。如图17所示,VDD连接部6211通过孔4281、电源线4280、孔4231、电源线4130、孔2111连接于电源线2110。例如通

过垫23将VDD的电位提供给电源线4290(参照图1)。另外,如上所述,电源线2110相当于VVDD布线。并且,VVDD连接部6211与VDD连接部6212之间的导通,由栅电极5220的电位控制。即,栅电极5220作为连接于VDD布线与VVDD布线之间的开关晶体管51的栅极发挥功能。

[0118] 其他结构与第1实施方式相同。

[0119] 在本实施方式中,开关晶体管51具有半导体层6210,半导体层6210在俯视下与第2电源域31B重叠。即,俯视下开关晶体管51与第2电源域31B重叠。

[0120] 因此,与第1实施方式同样,能够减小半导体装置的尺寸。

[0121] (第3实施方式)

[0122] 以下,关于第3实施方式进行说明。第3实施方式主要是其栅电极以及控制信号线的配置不同于第1实施方式等。图18以及图19是表示第3实施方式的半导体装置的平面结构的模式图。图18表示第1芯片10以及第2芯片20的内部结构,图19表示第2芯片20的内部结构。图18以及图19中省略相当于第1电源域31A的部分。

[0123] 在第3实施方式中,第1芯片10包含在第2电源域31B的Y方向负侧沿着X方向延伸的控制信号线2390。控制信号线2390例如是BPR。在基板11形成有穿通至基板11背面的孔2391。孔2391形成在控制信号线2390的下方。通过绝缘层15上形成的孔5111,控制信号线5110被连接到控制信号线2390。

[0124] 第2芯片20与第1实施方式同样,在与第2电源域31B重叠的区域,包含例如电源线4130、4140以及4150。电源线4130、4140以及4150在Y方向上延伸。

[0125] 第2芯片20包含在绝缘层25内沿着Y方向延伸的栅电极5320。栅电极5320位于电源线4130、4140以及4150的下方。栅电极5320在俯视下位于邻接的电源线4130以及4150之间。栅电极5320具有在俯视下与控制信号线2390重叠的部分。如图19所示,在栅电极5320的俯视下与控制信号线2390重叠的部分的上方的绝缘层25的表层部形成有连接部5380。在绝缘层25形成有用于电连接栅电极5320与连接部5380的孔5381。

[0126] 如图18以及图19所示,在绝缘层25形成有俯视下与邻接的电源线4130以及4150重叠,并与邻接的电源线2110以及2120重叠的半导体层6210。半导体层6210位于栅电极5320的下方。虽未图示,与第2实施方式同样,在半导体层6210与栅电极5320之间设有栅极绝缘膜6220,栅极绝缘膜6220与栅电极5320相接,半导体层6210与栅极绝缘膜6220相接。

[0127] 半导体层6210具有在俯视下位于栅电极5320的X方向负侧的VVDD连接部6211、在俯视下位于栅电极5320的X方向正侧的VDD连接部6212。在绝缘层25形成有用于电连接VVDD连接部6211与电源线4130的孔4331、用于电连接VDD连接部6212与电源线4150的孔4351。

[0128] 其他结构与第2实施方式相同。

[0129] 在本实施方式中,开关晶体管51具有半导体层6210,半导体层6210在俯视下与第2电源域31B重叠。即,俯视下开关晶体管51与第2电源域31B重叠。

[0130] 因此,与第1实施方式等同样,能够减小半导体装置的尺寸。另外,能够减少沿着X方向延伸的控制信号线的数量,因此能够进一步减小半导体装置的尺寸。

[0131] 在此,与第1实施方式同样,可以将作为VDD布线之一例的电源线4150通过电源线4190连接到第1电源域31A内的电源线4110等。

[0132] (第4实施方式)

[0133] 以下,关于第4实施方式进行说明。第4实施方式主要是其栅电极的配置不同于第1

实施方式等。图20是表示第4实施方式的半导体装置的平面结构的模式图。图21～图23是表示第4实施方式的半导体装置的剖面图。图21相当于沿着图20中的X14-X24线的剖面图,图22相当于沿着图20中的X15-X25线的剖面图,图23相当于沿着图20中的Y13-Y23线的剖面图。在图20～图22中省略相当于第1电源域31A的部分。

[0134] 在第4实施方式中,控制信号线5270被设置在半导体层6210的上方,俯视下位于电源线4280与电源线4290之间。栅电极5220被设置在每个半导体层6210,并在控制信号线5270的下方沿着X方向延伸。用于电连接栅电极5220与控制信号线5270的孔5221位于半导体层6210的上方。相对于1个VVDD连接部6211可以设置多个孔4281,相对于1个VDD连接部6212可以设置多个孔4292。例如,电源线4270、4280、4290以及控制信号线5270位于栅电极5220的上方。

[0135] 其他结构与第1实施方式相同。

[0136] 通过第4实施方式也能够获得与第1实施方式相同的效果。

[0137] 另外,在每个开关晶体管51设置栅电极5220,沿着X方向排列的多个栅电极5220共同连接于控制信号线5270,因此,容易形成栅电极5220以及栅极绝缘膜6220。即,在俯视下栅电极5220以及栅极绝缘膜6220并不从半导体层6210露出,容易形成栅电极5220以及栅极绝缘膜6220。在其他实施方式中也可以采用俯视下栅电极以及栅极绝缘膜不从半导体层露出的结构。另外,在其他实施方式中还可以材用俯视下沿着X方向排列的多个栅电极共同连接于1个控制信号线的结构。

[0138] (第5实施方式)

[0139] 以下,关于第5实施方式进行说明。第5实施方式主要是其开关晶体管的结构不同于第1实施方式等。图24是表示第5实施方式的半导体装置的平面结构的模式图。图25以及图26是表示第5实施方式的半导体装置的剖面图。图25相当于沿着图24中的X16-X26线的剖面图、图26相当于沿着图24中的Y14-Y24线的剖面图。在图24以及图25中省略相当于第1电源域31A的部分。

[0140] 在第5实施方式中,第2芯片20在绝缘层25内包含电源线4190以及栅电极5520。电源线4190以及栅电极5520位于电源线4110、4120、4130、4140以及4150的下方。电源线4190以及栅电极5520沿着X方向延伸。

[0141] 如图24～图26所示,在绝缘层25中,俯视下沿着Y方向在电源线2110与电源线2120之间,并且沿着X方向在夹着电源线4130以及4150的控制信号线5170与电源线4140之间,形成有半导体层6510。半导体层6510位于栅电极5520的上方,在半导体层6510与栅电极5520之间设置有栅极绝缘膜6520。栅极绝缘膜6520与栅电极5520相接,半导体层6510与栅极绝缘膜6520相接。

[0142] 半导体层6510具有VVDD连接部6511以及VDD连接部6512,俯视下半导体层6510的中心线夹在VVDD连接部6511以及VDD连接部6512之间。在绝缘层25形成有用于电连接VVDD连接部6511与电源线4130的孔4131、用于电连接VDD连接部6512与电源线4150的孔4151。

[0143] 其他结构与第1实施方式相同。

[0144] 通过第5实施方式也能够获得与第1实施方式相同的效果。

[0145] 可将栅电极5520设置在与电源线4190等相同的层。栅电极5520可采用与电源线4190等相同材料形成。

[0146] 在其他实施方式中,栅电极以及栅极绝缘膜可以位于半导体层的下方。

[0147] (第6实施方式)

[0148] 以下,关于第6实施方式进行说明。第6实施方式其控制信号线的配置不同于第1实施方式等。图27是表示第6实施方式的半导体装置的平面结构的模式图。图27中省略相当于第1电源域31A的部分。另外,在图27中示出与作为第6实施方式的特征性部分的控制信号线的配置相关的部分,省略一部分电源线以及孔等的图示。

[0149] 在第6实施方式中,如图27所示,在绝缘层25内配置有多个控制信号线5670。控制信号线5670沿着X方向延伸,并沿着Y方向配列配置。各控制信号线5670具有从第2电源域31B的X方向两端露出的部分。在Y方向上邻接的控制信号线5670,并在第2电源域31B的外侧通过沿着Y方向延伸的控制信号线5610彼此连接。在X方向负侧通过控制信号线5610与位于Y方向正侧的控制信号线5670连接的控制信号线5670,在X方向正侧通过控制信号线5610与位于Y方向负侧的控制信号线5670连接。同样,在X方向正侧通过控制信号线5610与位于Y方向正侧的控制信号线5670连接的控制信号线5670,在X方向负侧通过控制信号线5610与位于Y方向负侧的控制信号线5670连接。如上所述,在本实施方式中,俯视下的控制信号线5110、控制信号线5670、控制信号线5610、控制信号线5670、控制信号线5610……的控制信号线的连接体呈蛇行状。另外,在Y方向上邻接的控制信号线5670彼此仅在第2电源域31B的外侧相连接。另外,开关晶体管51的栅电极(未图示)连接于控制信号线5670。即,多个开关晶体管51并联连接。

[0150] 在第6实施方式中,寄生于控制信号线5670的电容以及电阻较大。并且,来自电源开关控制电路的控制信号通过控制信号线5670依序传递到各开关晶体管51。因此,在第2电源域31B的VDD电位的上升会变得缓慢,能够降低电位急速所致的电源噪声。

[0151] Y方向上邻接的控制信号线5670在俯视下的第2电源域31B的外侧,可以不通过控制信号线5610,而是通过设在第2芯片20的表层部的控制信号线进行连接。

[0152] (第7的实施方式)

[0153] 以下,关于第7实施方式进行说明。第7实施方式在其控制信号线附加有缓冲器的特征不同于第6实施方式。图28是表示第7实施方式的半导体装置的平面结构的模式图。图28中省略了相当于第1电源域31A的部分。另外,在图28中,示出与作为第7实施方式的特征性部分的控制信号线的配置相关的部分,省略一部分孔等的图示。

[0154] 在第7实施方式中,如图28所示,在控制信号线5110以及5610附加有缓冲器5700。例如,缓冲器5700被设置在第1芯片10。例如,缓冲器5700与缓冲器60同样,由VDD布线以及VSS布线提供电压。缓冲器5700与缓冲器60同样,可以设置在第1电源域31A。其他结构与第6实施方式相同。

[0155] 缓冲器5700能够作为延迟电路发挥功能。因此,因此,能够利用缓冲器5700对控制信号传递的延迟作用,来控制开关晶体管51的动作时间。

[0156] (第8实施方式)

[0157] 接下来,关于第8实施方式进行说明。第8实施方式其控制信号线作为栅电极发挥功能的特征不同于第6实施方式等。图29是表示第8实施方式的半导体装置的剖面图。在图29中,示出与作为第8实施方式的特征性部分的控制信号线以及开关晶体管相关的部分,省略相当于一部分电源线等的图示。

[0158] 在第8实施方式中,如图29所示,取代于控制信号线5670,设置有沿着X方向延伸的栅电极5820。另外,设有与栅电极5820接触的多个栅极绝缘膜6820,以及分别与多个栅极绝缘膜6820接触的多个半导体层6810。

[0159] 其他结构与第6实施方式相同。

[0160] 在第8实施方式中,通过半导体层6810,在栅电极5820有较大电容寄生。因此,能够进一步提高抑制电位急速上升的效果。

[0161] (第9实施方式)

[0162] 以下,关于第9实施方式进行说明。第9实施方式其附加有提高控制信号线的寄生电容的结构特征不同于第6实施方式等。图30是表示第9实施方式的半导体装置的剖面图。在图30中,示出与作为第9实施方式的特征性部分的控制信号线以及开关晶体管相关的部分,省略一部分电源线等的图示。

[0163] 在第9实施方式中,如图30所示,多个栅电极5920分别通过孔5671连接在控制信号线5670,在栅电极5920的下方设有栅极绝缘膜6820以及半导体层6810。

[0164] 另外,具有相邻接的布线5931与布线5932的布线电容部5941通过孔5921连接于控制信号线5670。例如,布线5931以及5932沿着Y方向延伸,孔5921连接于布线5931。

[0165] 另外,沿着Y方向延伸的布线5933通过孔5922连接于控制信号线5670。在布线5933上形成有绝缘膜5934以及导电膜5935。由布线5933、绝缘膜5934以及导电膜5935构成电容元件5942。

[0166] 在第9实施方式中,通过布线电容部5941以及电容元件5942,会有更大的电容寄生于控制信号线5670。因此,能够进一步提高抑制电位急速上升的效果。

[0167] 在此,也可以仅设置布线电容部5941或电容元件5942的一方。在其他实施方式,可以设置布线电容部5941,也可以设置电容元件5942,还可以设置两者。

[0168] (第10实施方式)

[0169] 以下,关于第10实施方式进行说明。第10实施方式主要是其电源域的配置以及电源开关电路的配置不同于第1实施方式等。图31是表示第10实施方式的电源域的概要的模式图。图32是表示第10实施方式的半导体装置的平面结构的模式图。

[0170] 如图31所示,例如,与第1实施方式同样,第2电源域31B位于第1电源域31A的X方向正侧。另外,在本实施方式中,在第2电源域31B的Y方向负侧设有第3电源域31C。在第3电源域31C,与第1电源域31A同样,包含连接于电源线1110以及1120的电路。电源开关电路42与第1实施方式同样,俯视下与第2电源域31B重叠设置。电源开关电路42还被设置在第1电源域31A与第2电源域31B之间,或第3电源域31C与第2电源域31B之间。另外,第1电源域31A或第3电源域31C的平面配置并不限定于图31。在此情况下,可以沿着与电源线1110以及电源线2110的延伸方向正交的方向,配置第3电源域31C的至少一部分以及第2电源域31B。

[0171] 如图32所示,在第1电源域31A与第2电源域31B之间也设置有半导体层6210。在第1电源域31A与第2电源域31B之间也设有沿着Y方向延伸的栅电极5320。设在第1电源域31A的电源线4110中的位置最靠近第2电源域31B侧的电源线4110,通过孔4151连接于半导体层6210的VDD连接部6212。设在第2电源域31B的电源线4130中的位置最靠近第1电源域31A侧的电源线4130,通过孔4131连接于半导体层6210的VDD连接部6211。

[0172] 在第3电源域31C也设有电源线1110、1120、4110以及4120等。在第3电源域31C与第

2电源域31B之间也设有半导体层6210。设在第3电源域31C的电源线4110,通过孔4151连接于第3电源域31C与第2电源域31B之间的半导体层6210的VDD连接部6212。电源线4130通过孔4131连接于第3电源域31C与第2电源域31B之间的半导体层6210的VDD连接部6211。

[0173] 其他结构与第3实施方式相同。

[0174] 通过第10实施方式也能够获得与第3实施方式等相同的效果。

[0175] 并且,在其他实施方式中,第1电源域31A与第2电源域31B之间可以设置电源开关电路42。另外,在其他实施方式中,也可以设置第3电源域31C,也可以在第3电源域31C与第2电源域31B之间设置电源开关电路42。

[0176] (第11实施方式)

[0177] 以下,关于第11实施方式进行说明。第11实施方式主要是其电源域间的半导体层的结构不同于第10实施方式。图33是表示第11实施方式的半导体装置的平面结构的模式图。

[0178] 在第11实施方式中,如图33所示,第1电源域31A与第2电源域31B之间的半导体层6210被设置成沿着Y方向延伸的方式。另外,第3电源域31C与第2电源域31B之间的半导体层6210被设置成沿着X方向延伸的方式。

[0179] 其他结构与第10实施方式相同。

[0180] 通过第11实施方式也能够获得与第10实施方式相同的效果。

[0181] (第12实施方式)

[0182] 以下,关于第12实施方式进行说明。第12实施方式主要是其开关晶体管与VDD布线的关系不同于第6实施方式等。图34是表示第12实施方式的半导体装置的平面结构的模式图。

[0183] 在第12实施方式中,如图34所示,在第2电源域31B内的半导体层6210的下方,设有沿着X方向延伸的电源线910以及920。电源线910相当于VDD布线,电源线920相当于VDD布线。电源线910通过被设置在半导体层6210的下方的孔911连接于半导体层6210的VDD连接部6212。电源线920通过被设置在半导体层6210的下方的孔912连接于半导体层6210的VDD连接部6211。

[0184] 在第2电源域31B中,在绝缘层25的表层部交替配置有电源线4130与电源线4140。电源线4140被设置在沿着Y方向排列的VDD连接部6212的上方。

[0185] 其他结构与第10实施方式相同。

[0186] 通过第12实施方式也能够获得与第10实施方式相同的效果。另外,根据第12实施方式,相比于第10实施方式以及第11实施方式,能够减少设在绝缘层25的表层部的电源线的数量。

[0187] 在此,关于开关晶体管的剖面结构的概要进行说明。图35~图37是表示开关晶体管的剖面结构的例子的剖面图。

[0188] 在图35所示的第1例中,绝缘层101中设置有基底绝缘膜102,在基底绝缘膜102上设置有半导体层103、栅极绝缘膜104以及栅电极105。在绝缘层101的表层部,设置有控制信号线110、相当于VDD布线的电源线120、相当于VDD布线的电源线130。半导体层103具有夹着沟道103C、沟道103C设置的源极103S以及漏极103D。电源线120与源极103S通过孔121进行连接,电源线130与漏极103D通过孔131进行连接。在基底绝缘膜102的下方,设置有相当

于VDD布线的电源线123、相当于VDD布线的电源线133。电源线120与电源线123通过孔122进行连接,电源线130与电源线133通过孔132进行连接。控制信号线110通过孔111连接于栅电极105。

[0189] 在图36所示的第2例中,在基底绝缘膜102设置有栅极绝缘膜204,在栅极绝缘膜204的上方设置有半导体层103,在栅极绝缘膜204的下方设置有栅电极205。其他结构与第1例相同。

[0190] 在图37所示的第3例中,设在基底绝缘膜102的下方的电源线123,通过穿通基底绝缘膜102的孔321连接于源极103S。在电源线123的上方,在绝缘层101的表层部可以设置相当于VSS布线的电源线140。其他结构与第1例相同。

[0191] 基底绝缘膜的材料例如是氧化硅、氮化硅、碳化硅、氧氮化硅、氧碳化硅等。半导体层的材料例如是InGaZnO (IGZO)、ZnO、ZnSnO、InZnO等。栅极绝缘膜的材料例如是SiO₂、SiO_xN_y、SiN、Al₂O₃等。栅电极的材料例如是钼、钛、铬、钽、镁、银、钨、铝、铜、钕、钇、铪等的金属。栅电极的材料可以是石墨烯等。

[0192] 若从栅电极与半导体层的叠层关系以及半导体层与VDD布线的连接关系的角度考虑,将上述各实施方式中设置的开关晶体管51分类为第1~第3例,其结果如下。即,第1~第4、第6~第11实施方式中设置的开关晶体管51属于第1例。第5实施方式中设置的开关晶体管51属于第2例。第12实施方式中设置的开关晶体管51属于第3例。

[0193] 以上,根据各实施方式对本发明行了说明,但本发明并不限定于上述实施方式中给出的要件。关于上述点,允许在不违背本发明主旨的范围内进行变更,可根据其应用形态适当地决定。

[0194] 符号说明

[0195]	10	第1芯片
[0196]	20	第2芯片
[0197]	31A、31B、31C	电源域
[0198]	42	电源开关电路
[0199]	51	开关晶体管
[0200]	52	电源开关控制电路。

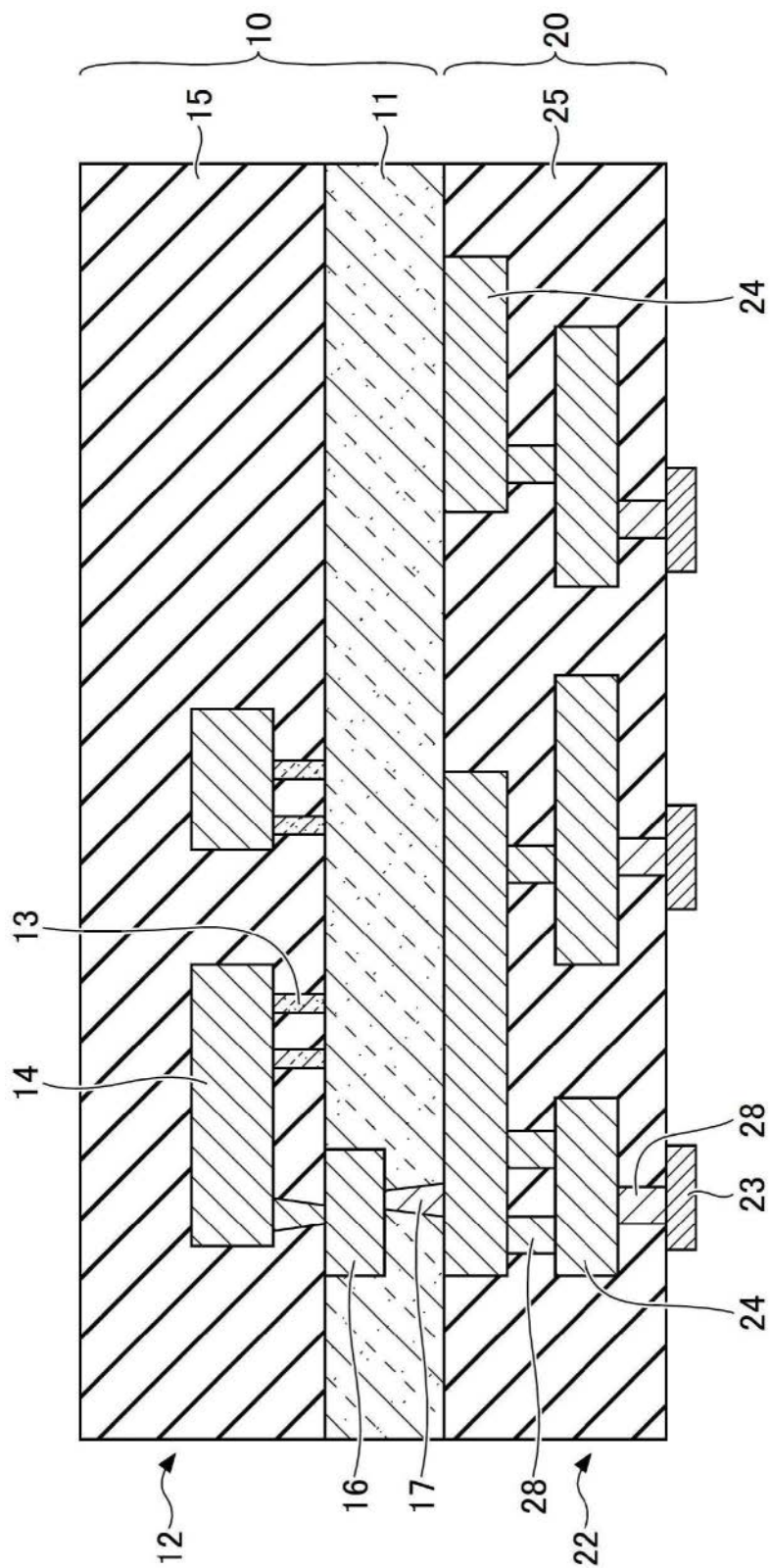


图1

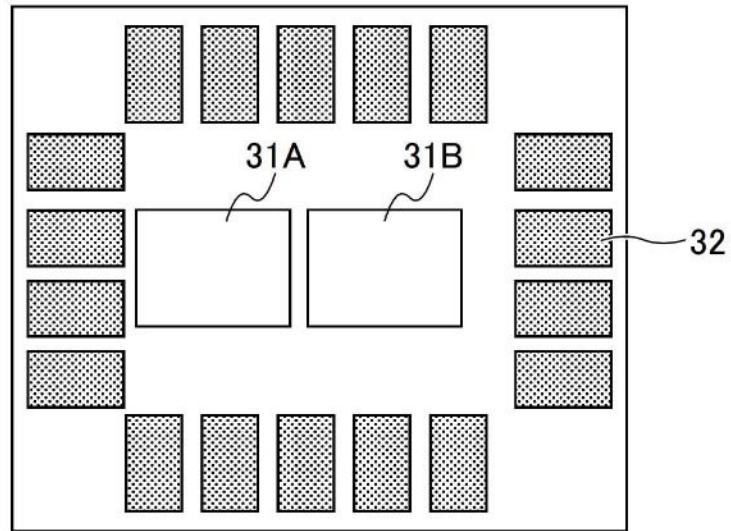


图2

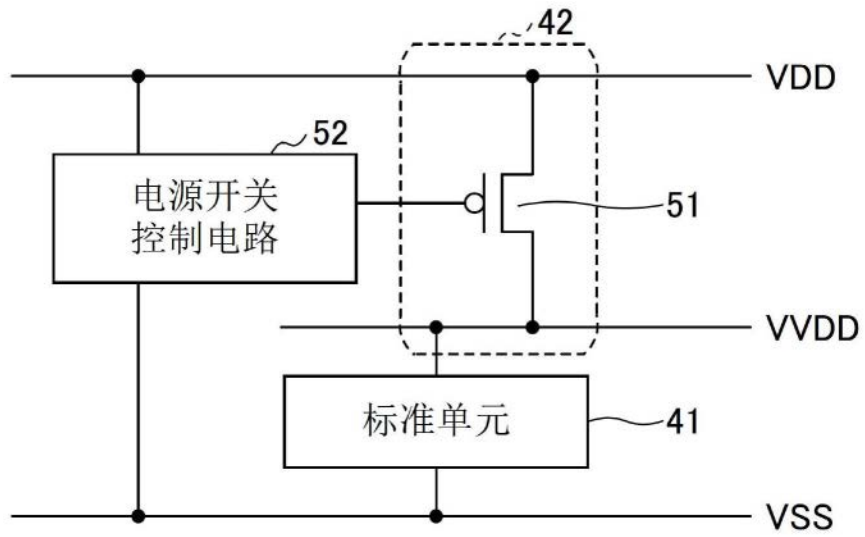


图3

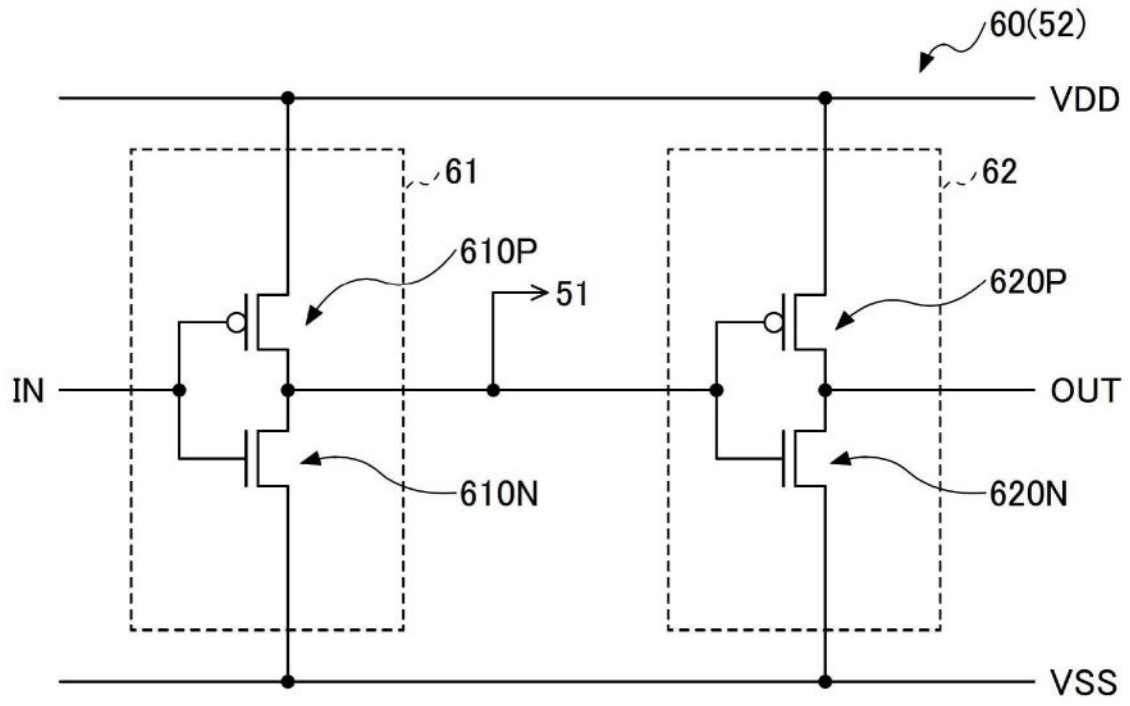


图4

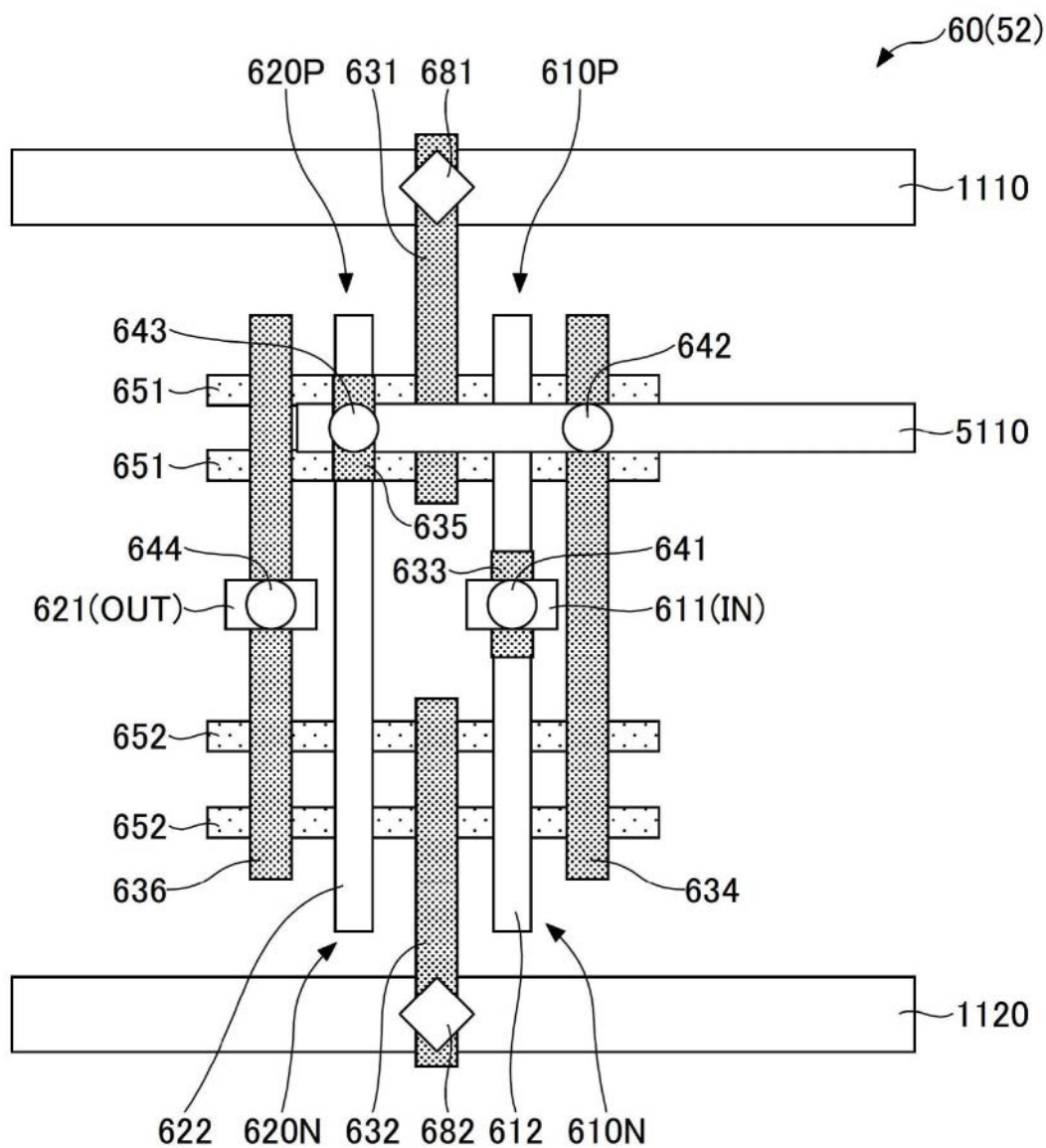


图5

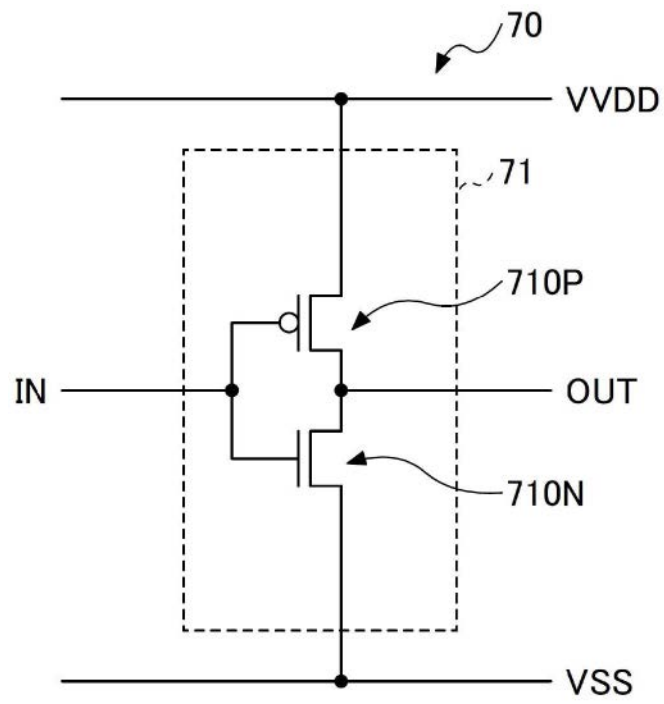


图6

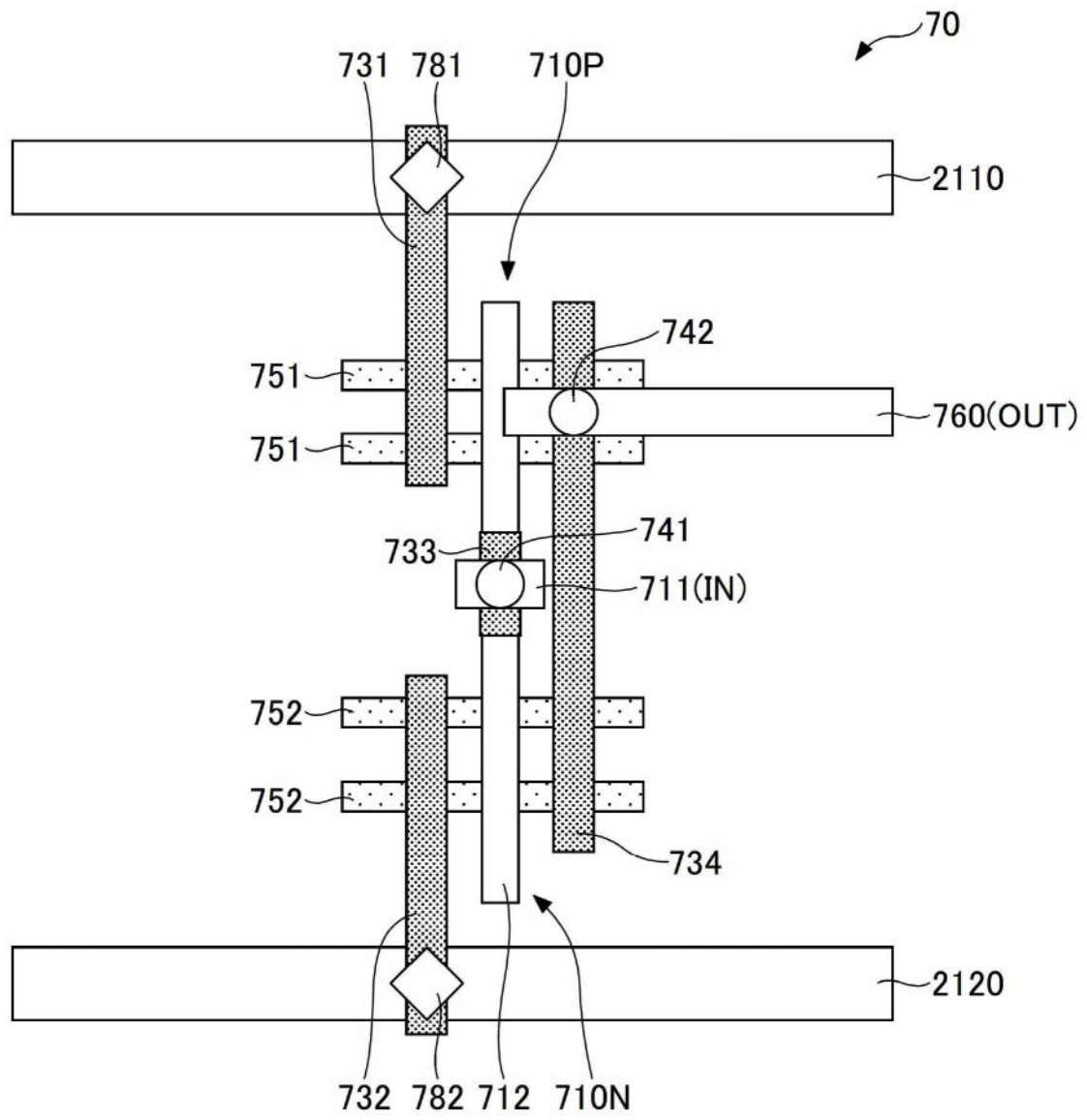


图7

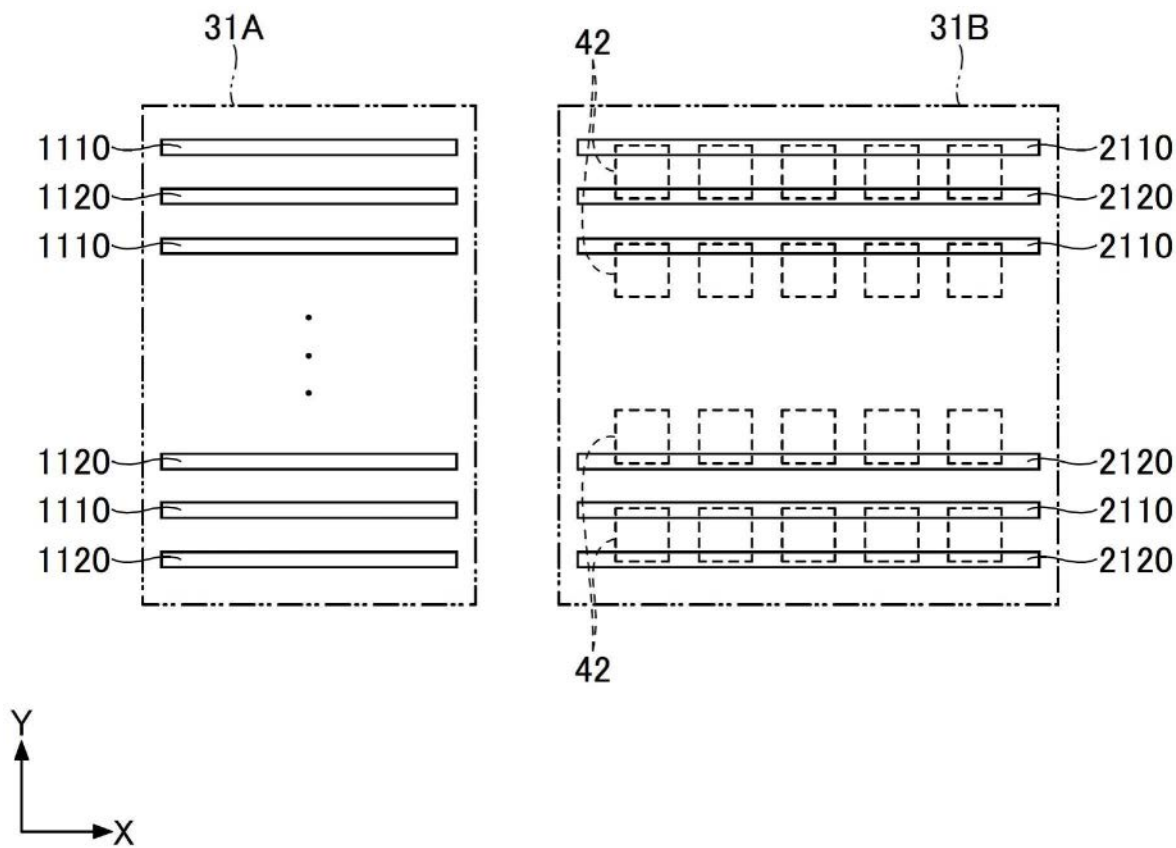


图8

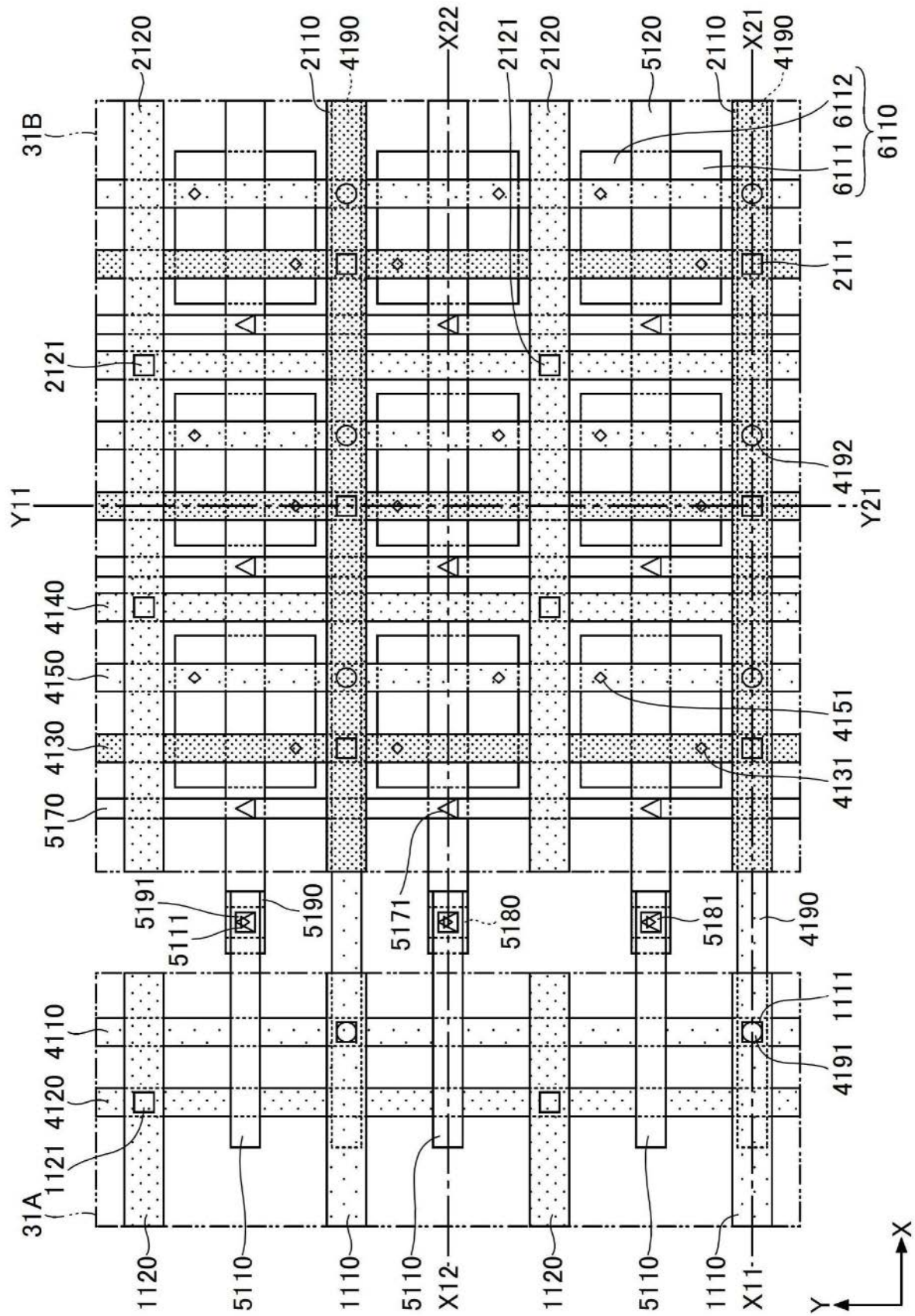


图9

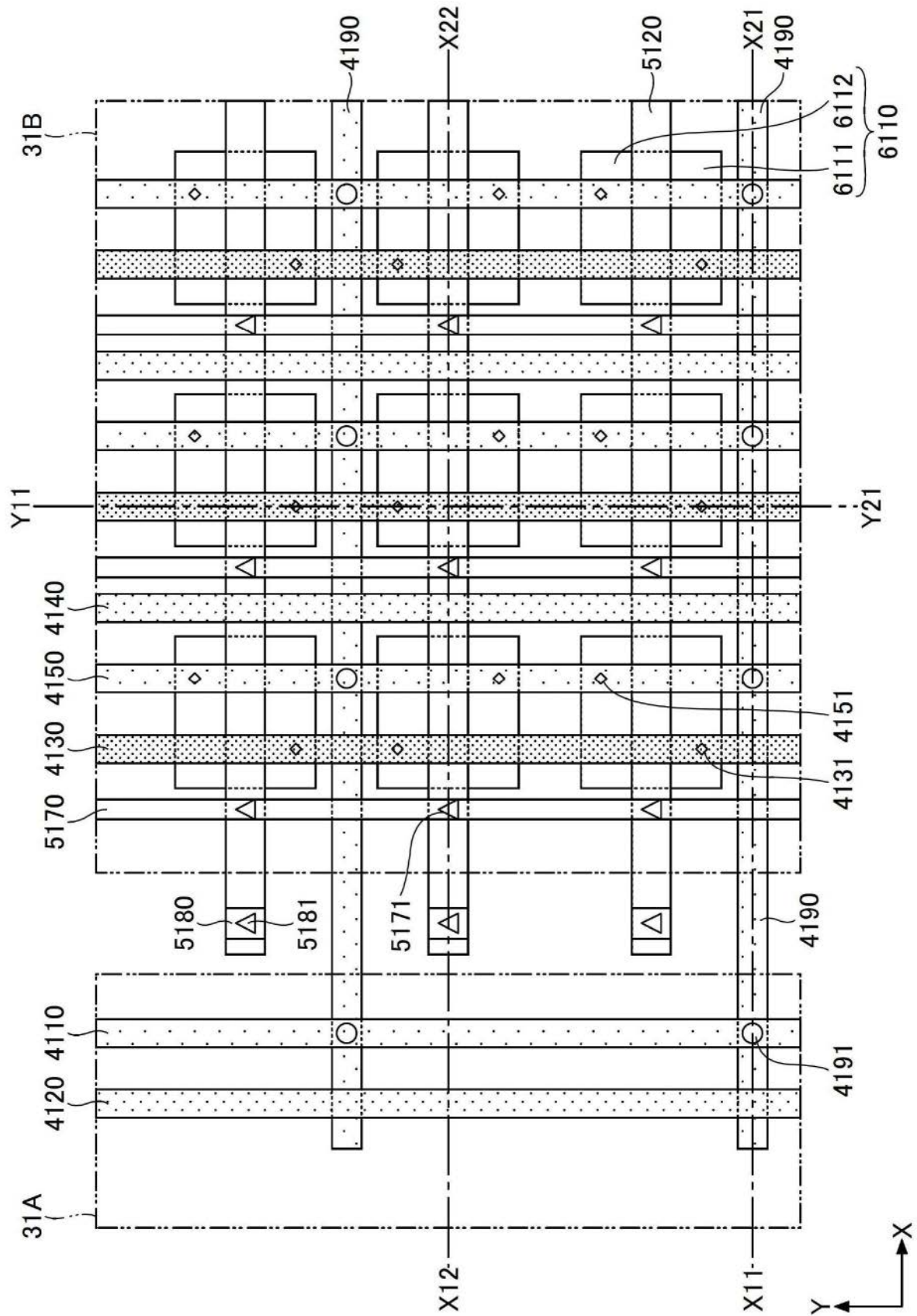


图10

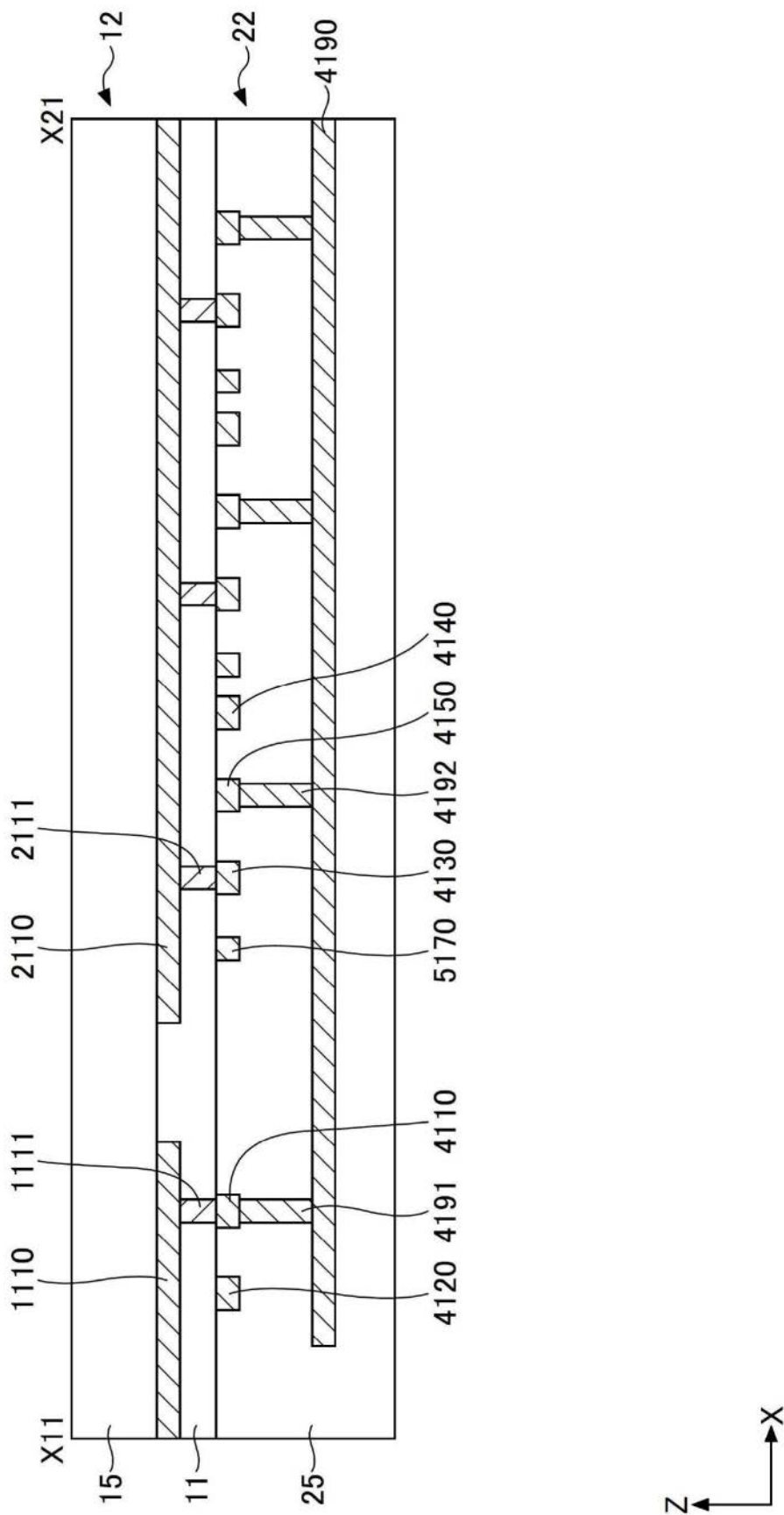


图11

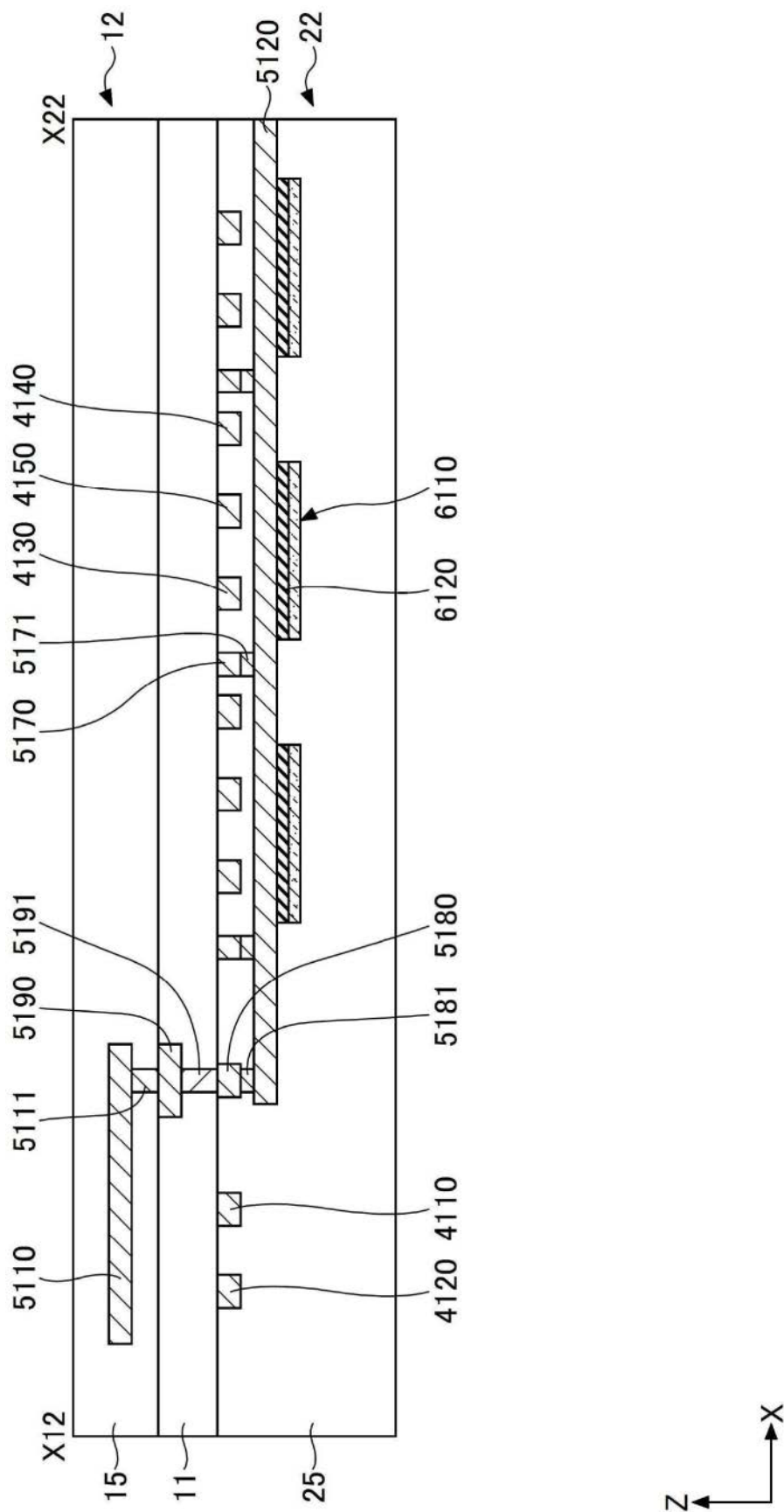


图12

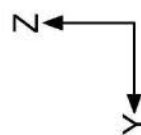
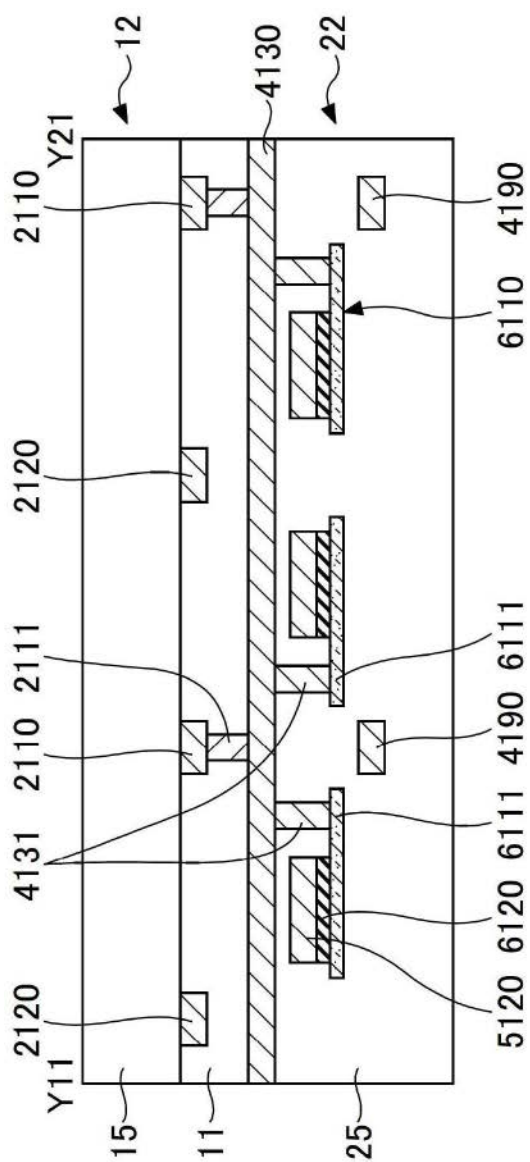


图13

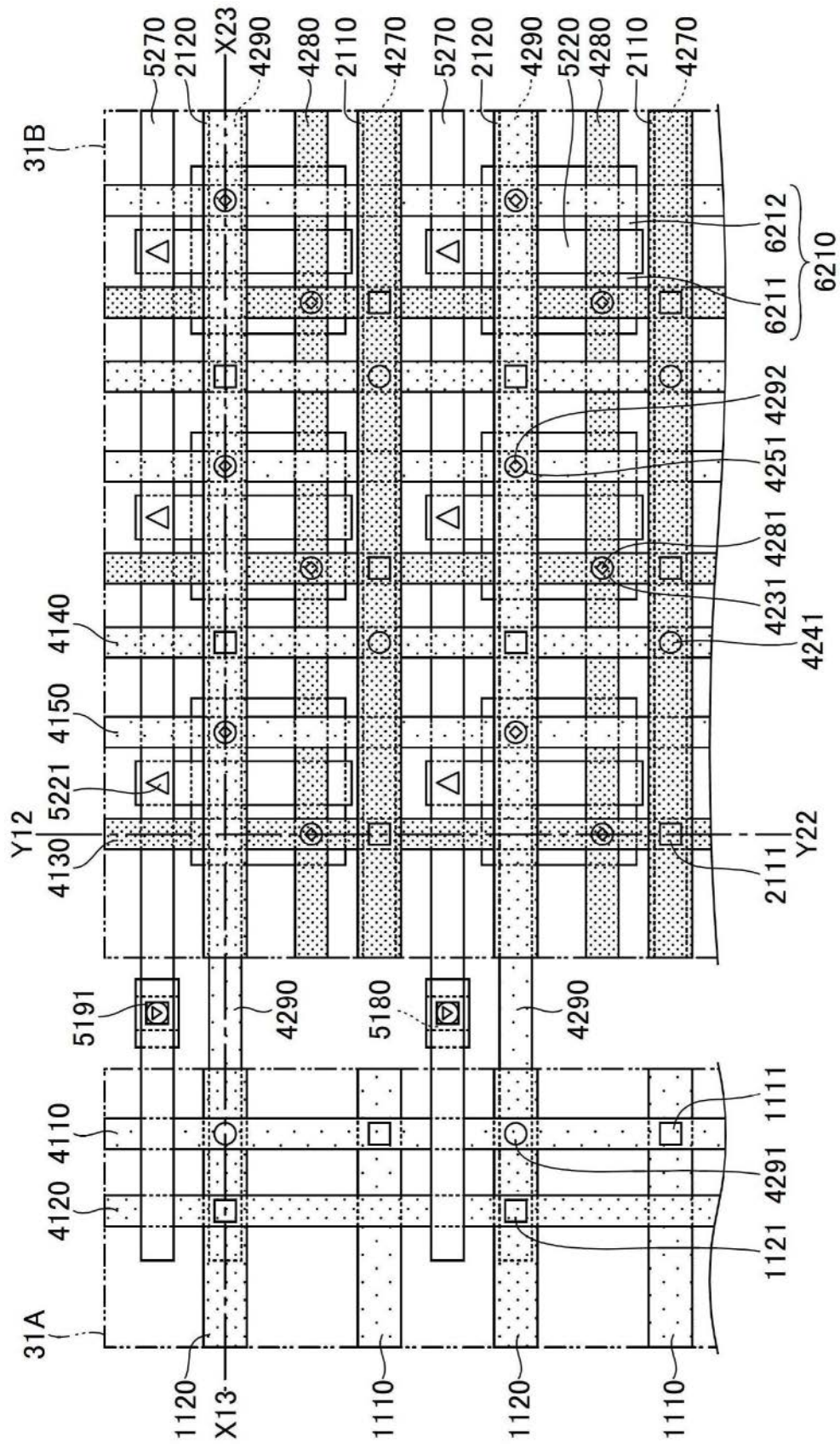


图14

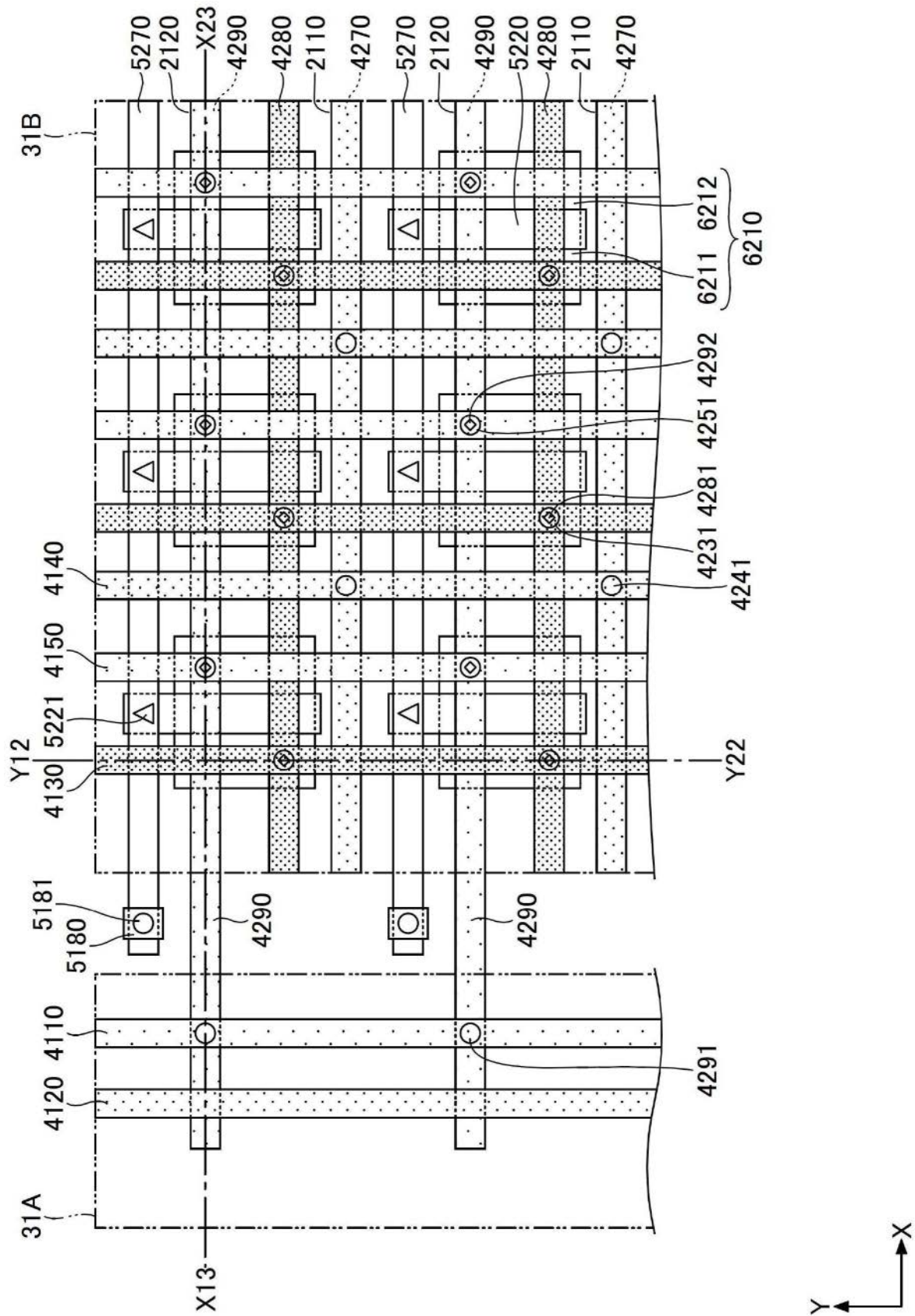


图15

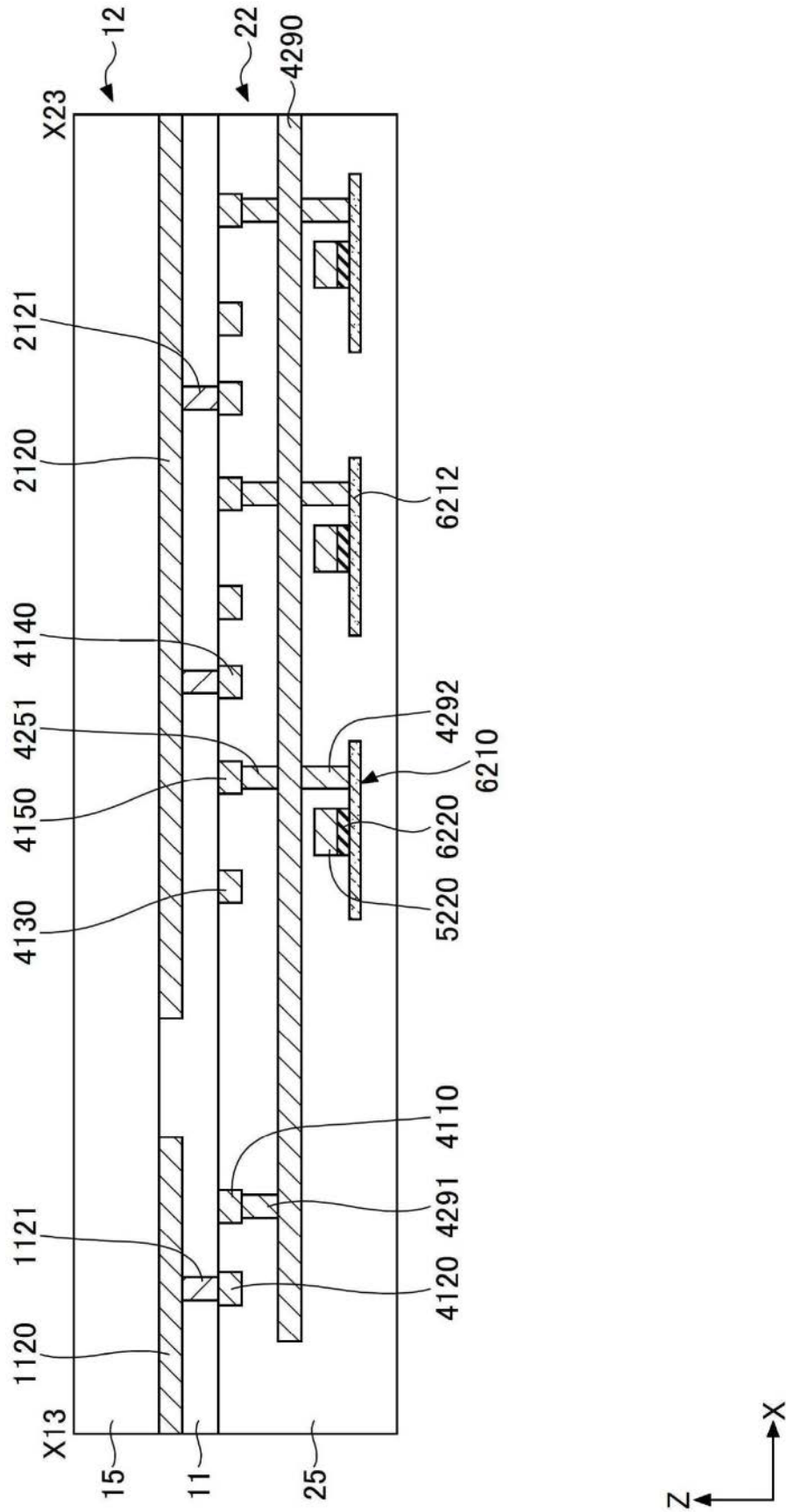


图16

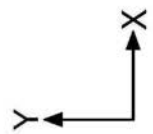
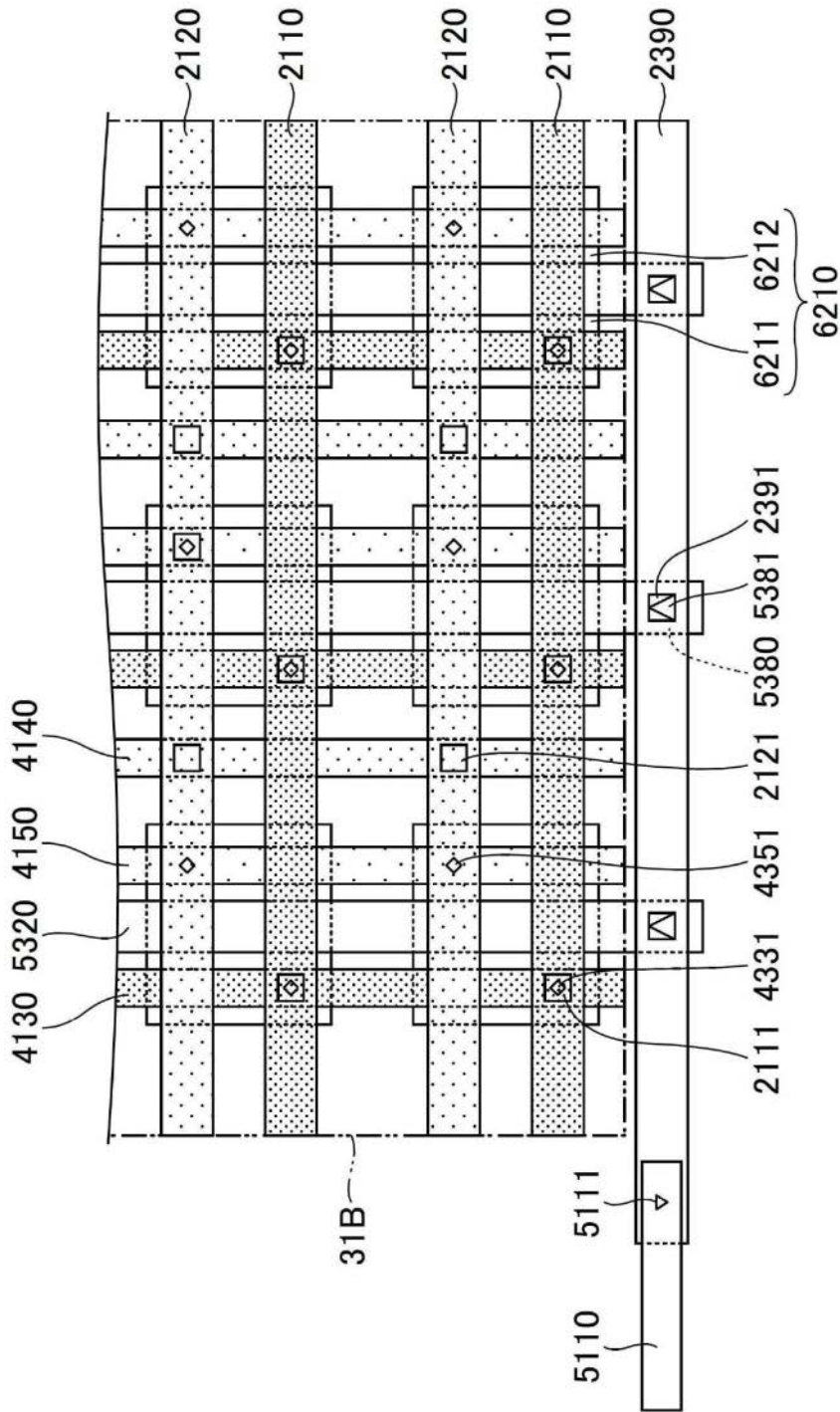


图18

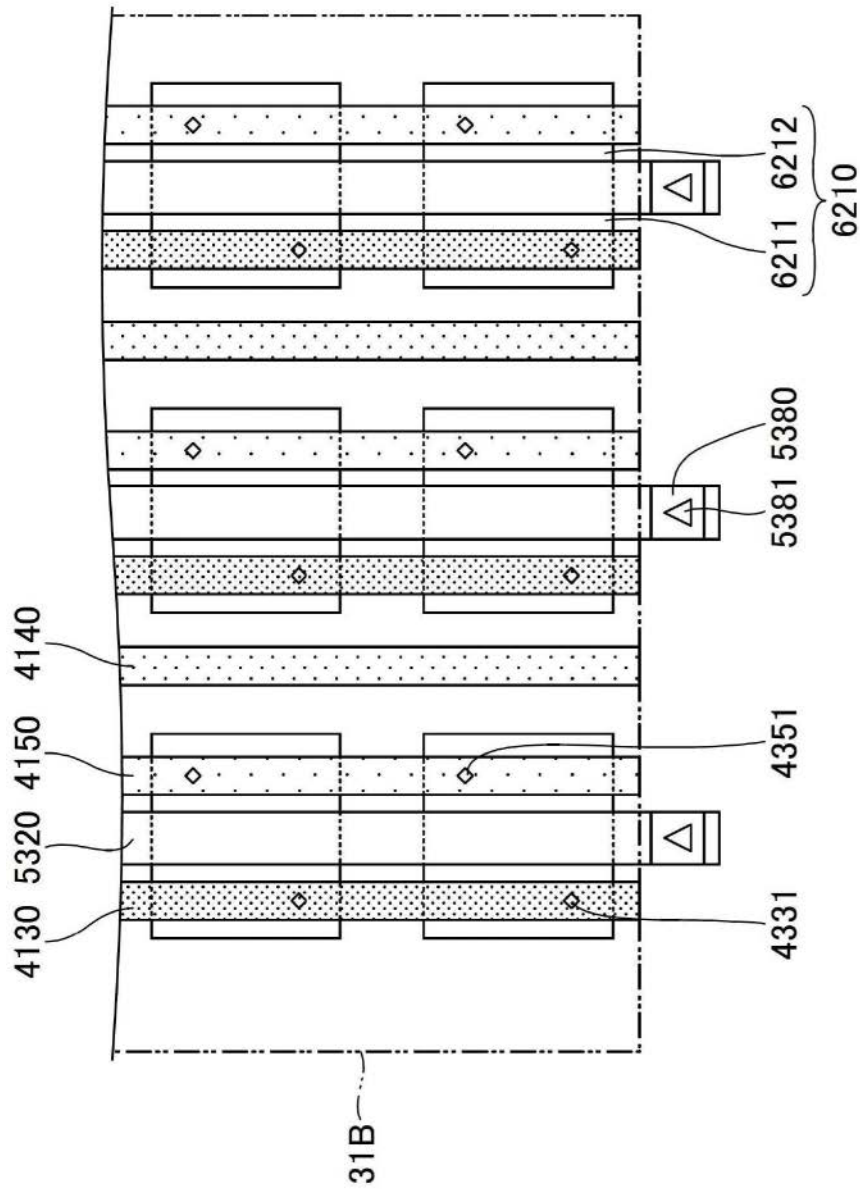


图19

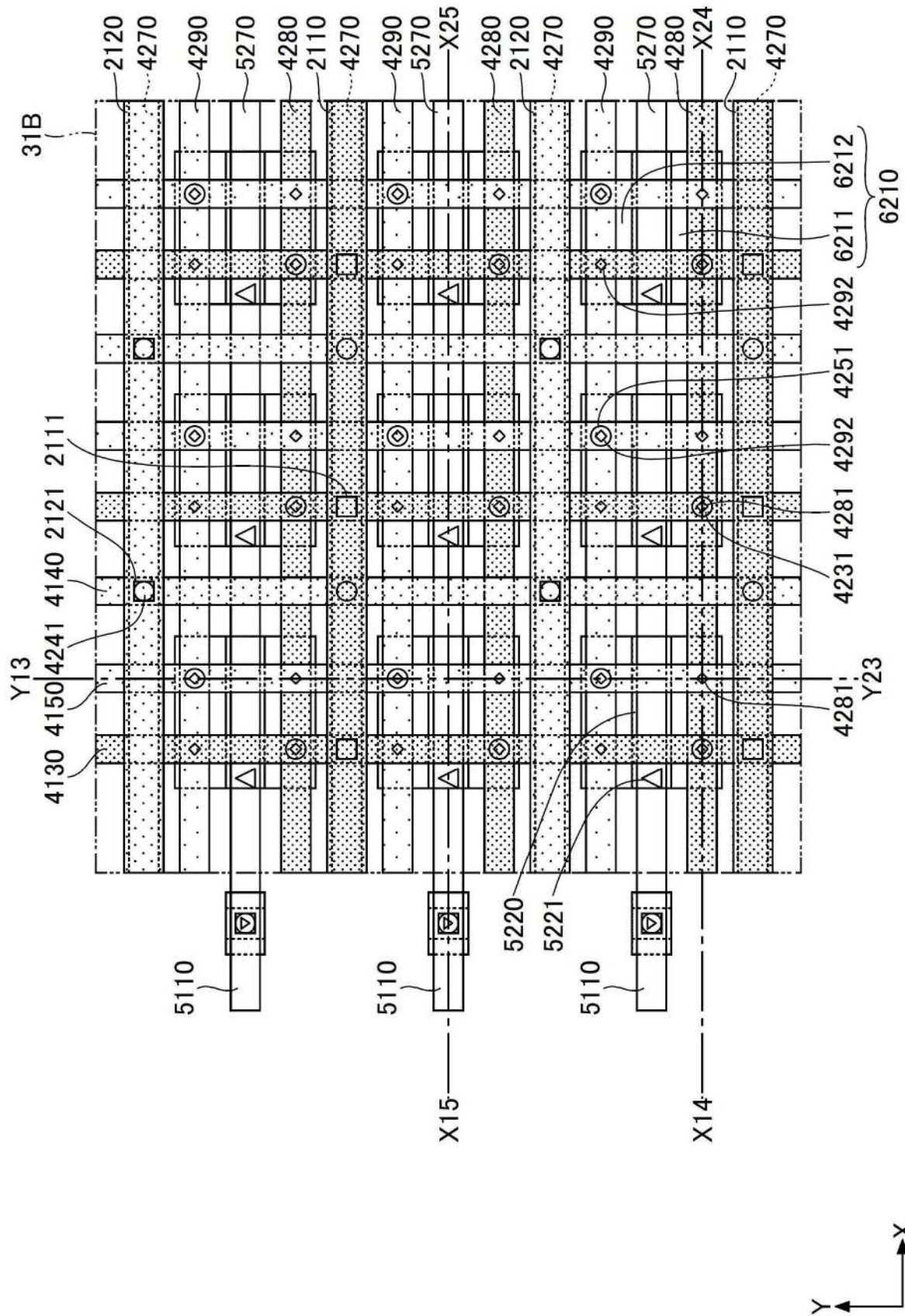


图20

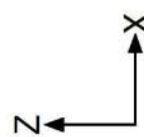
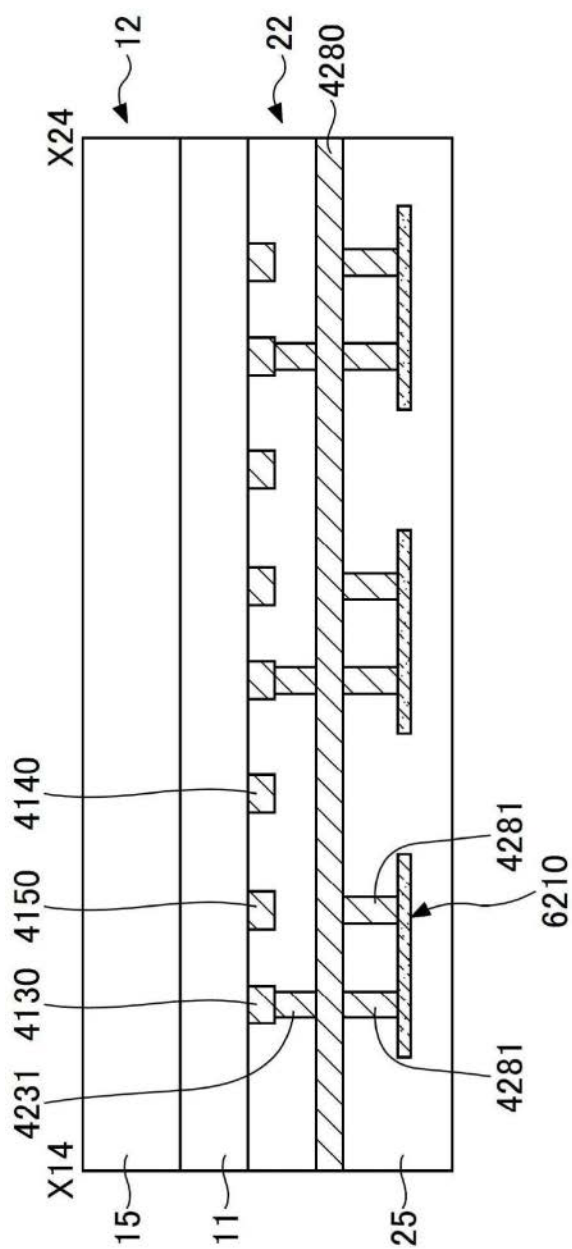


图21

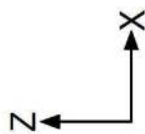
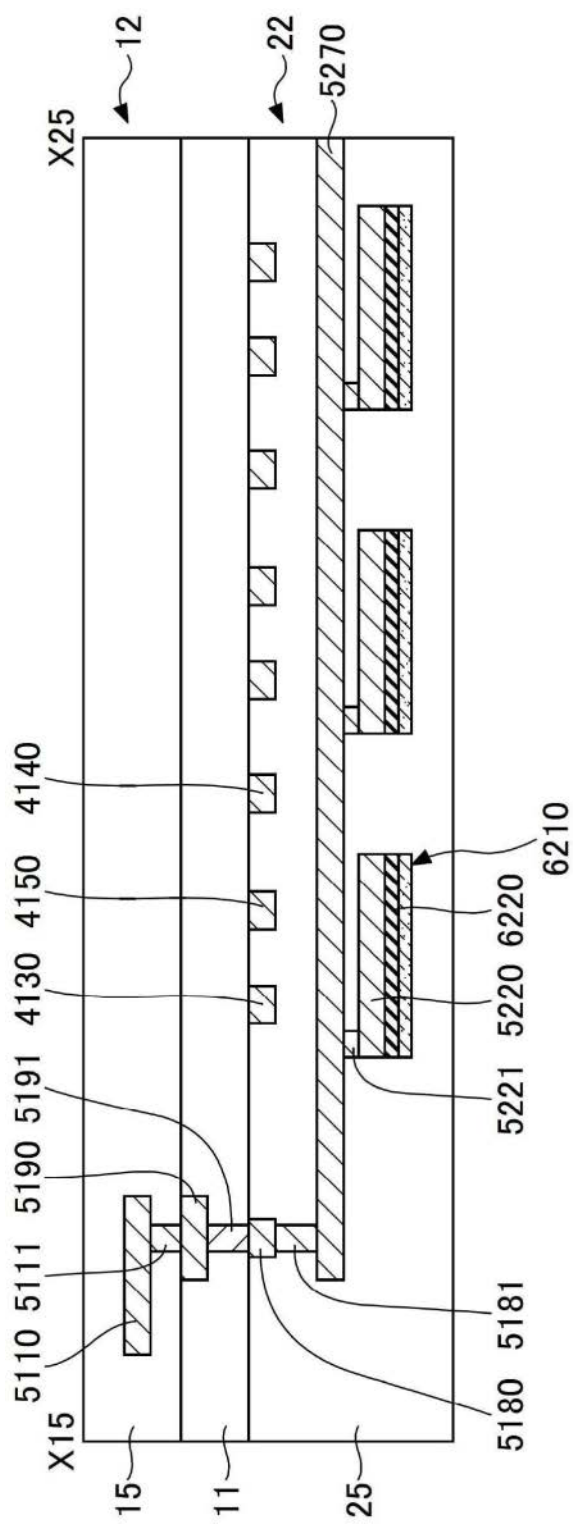


图22

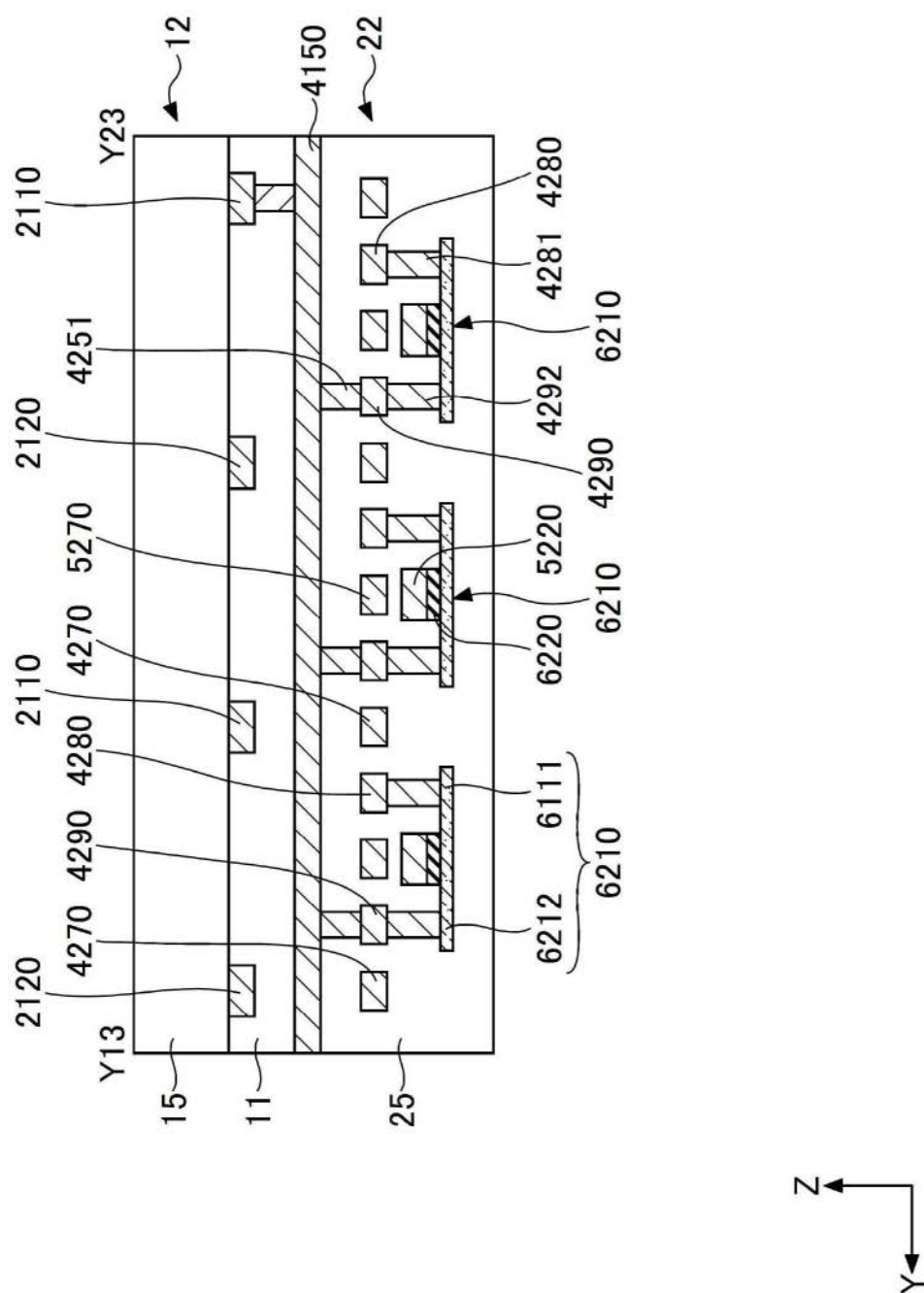


图23

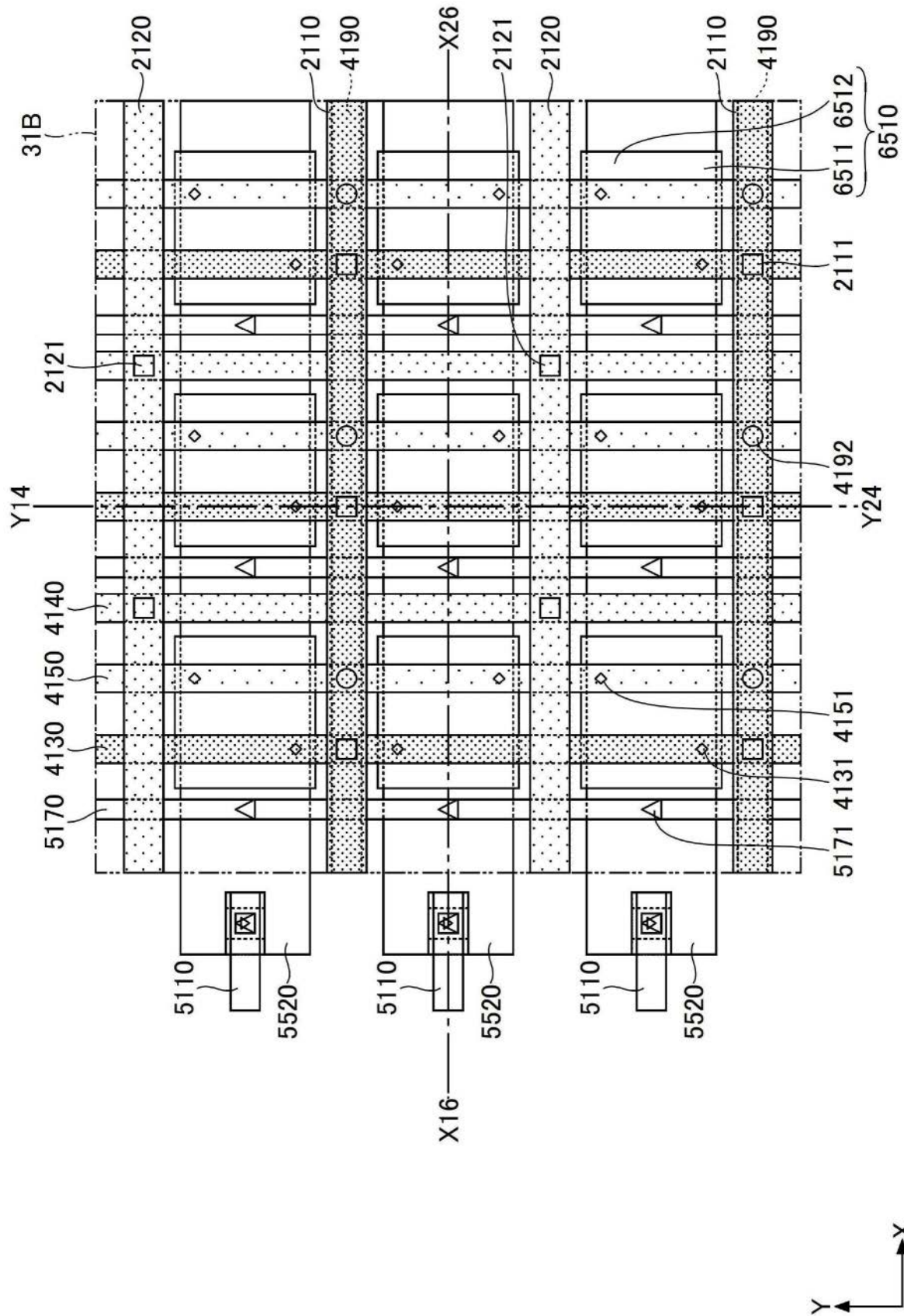


图24

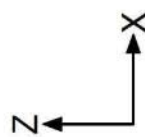
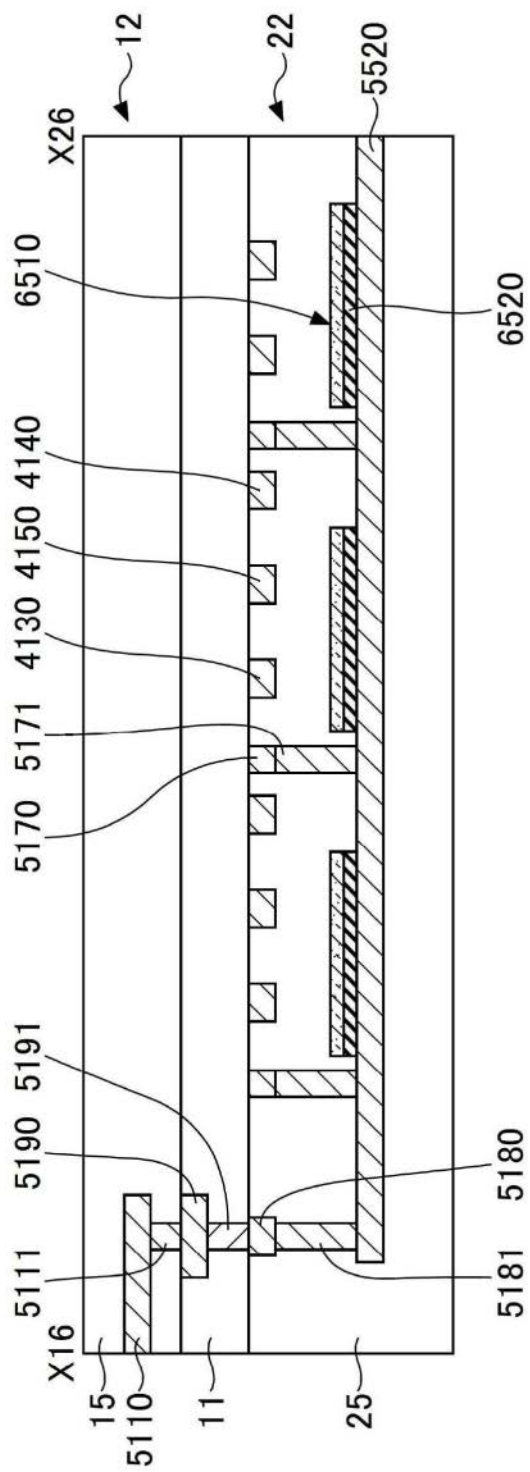


图25

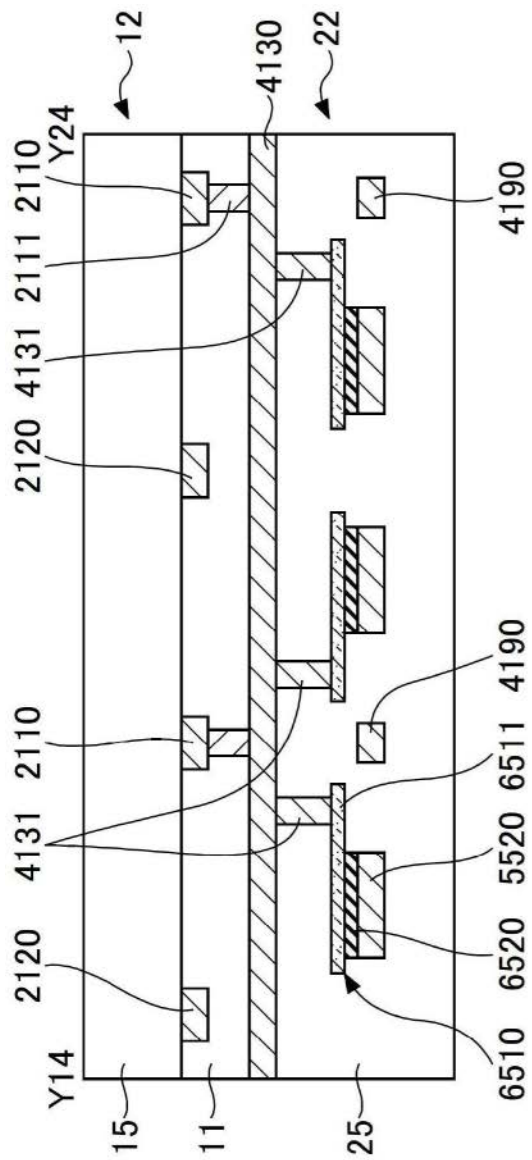


图26

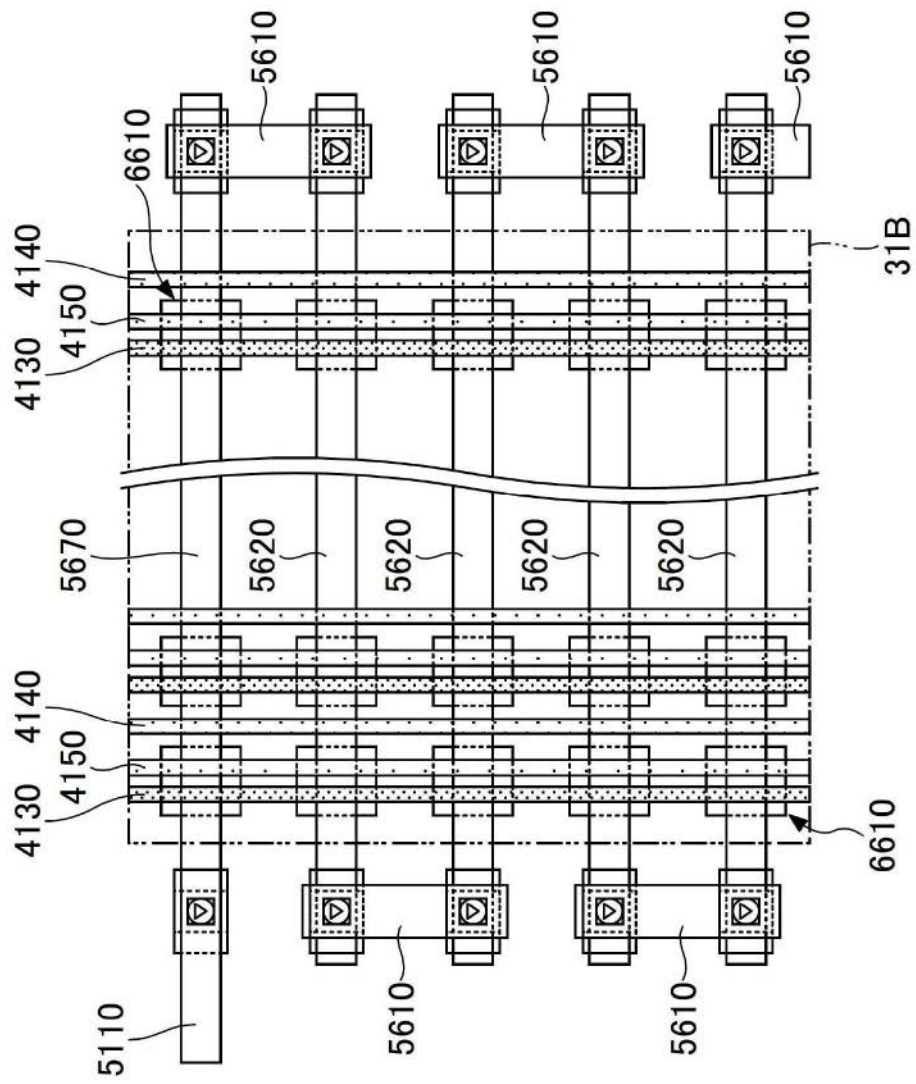


图27

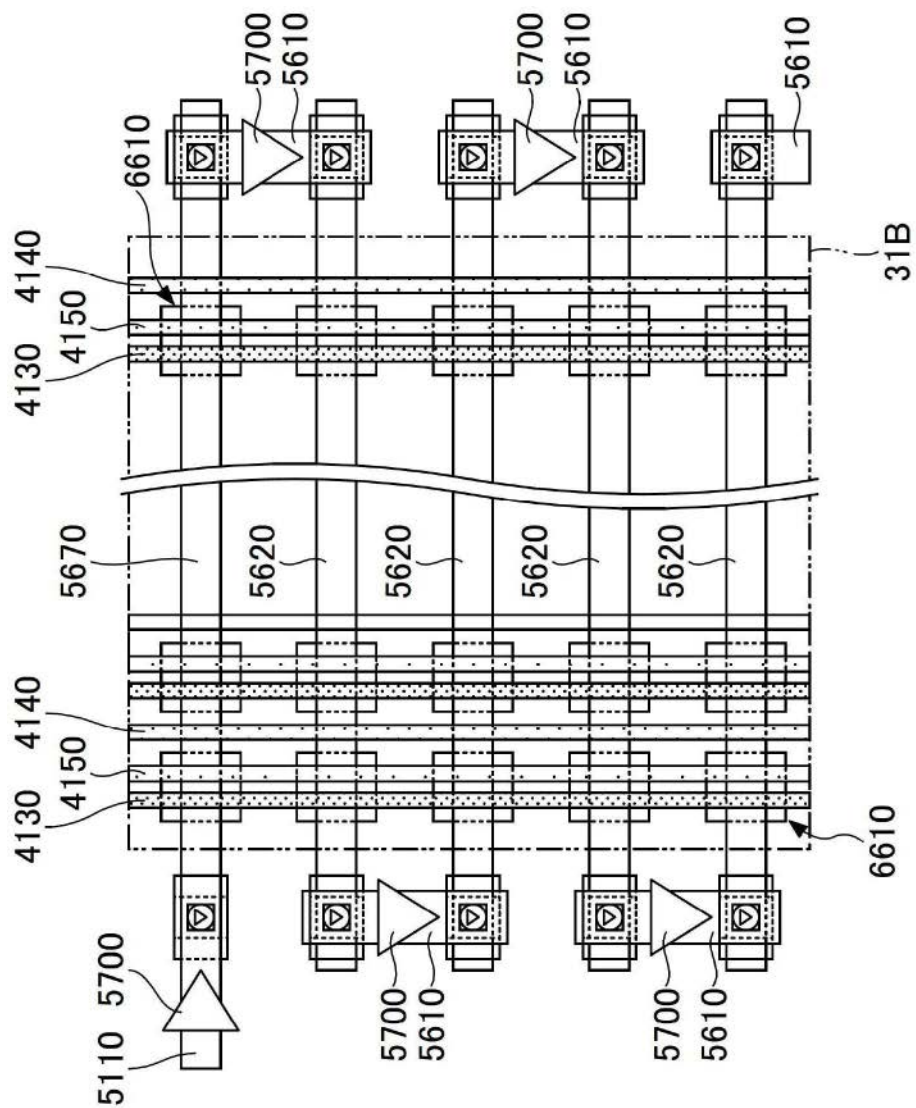


图28

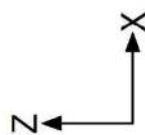
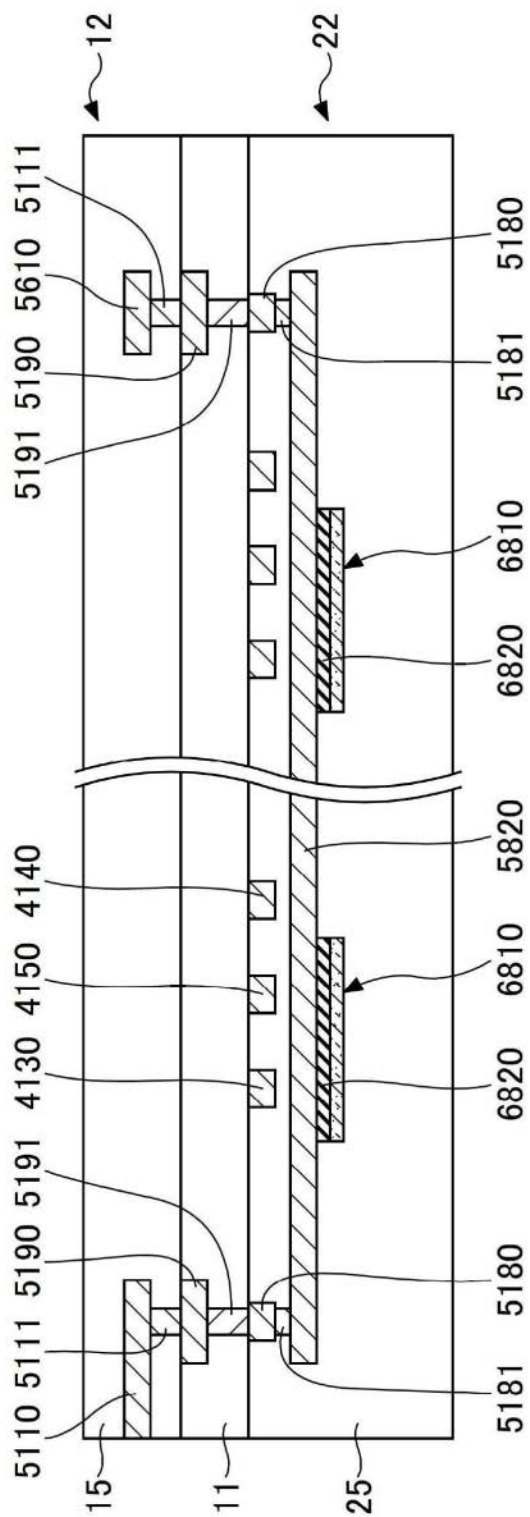


图29

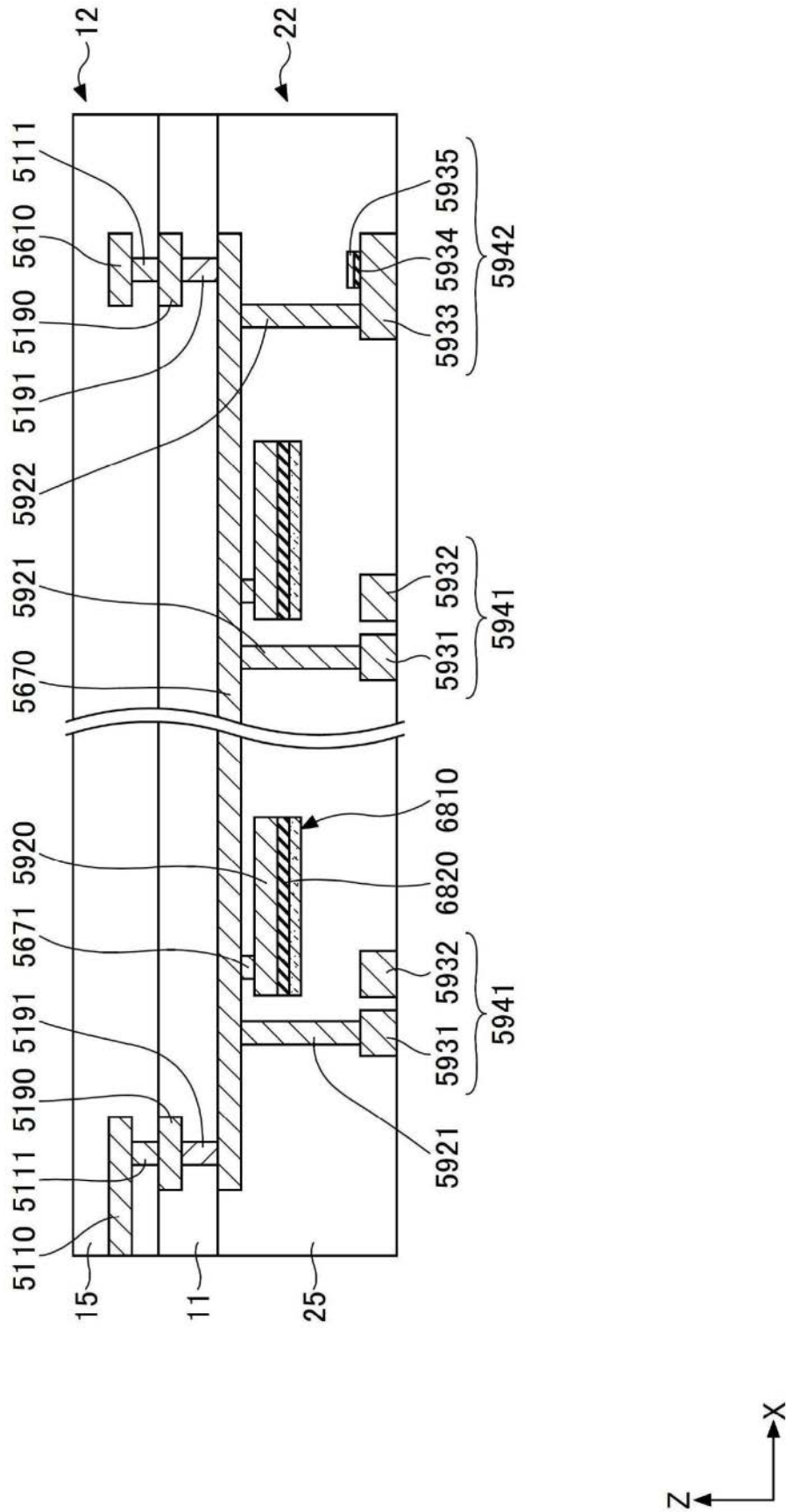


图30

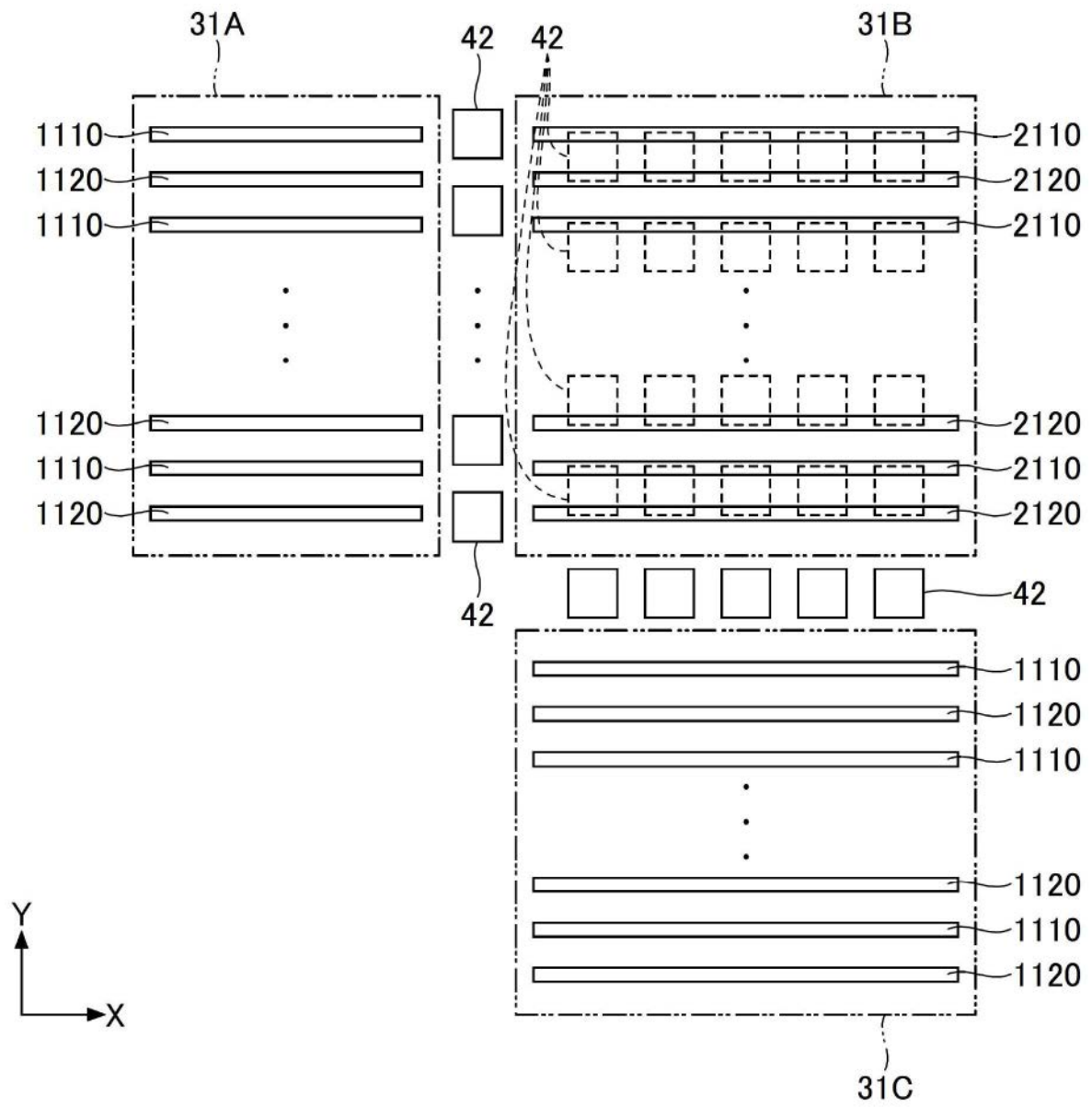


图31

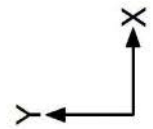
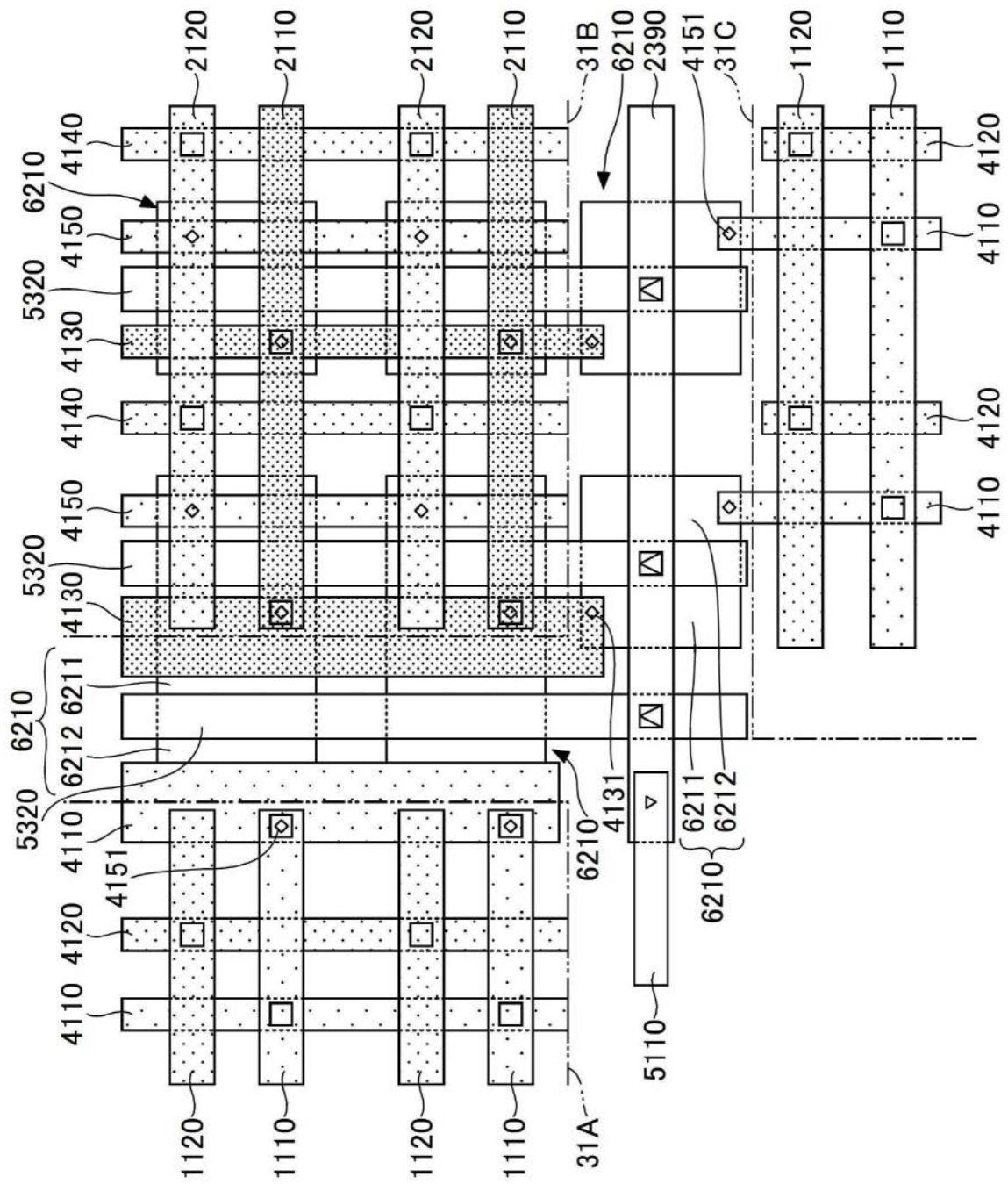


图32

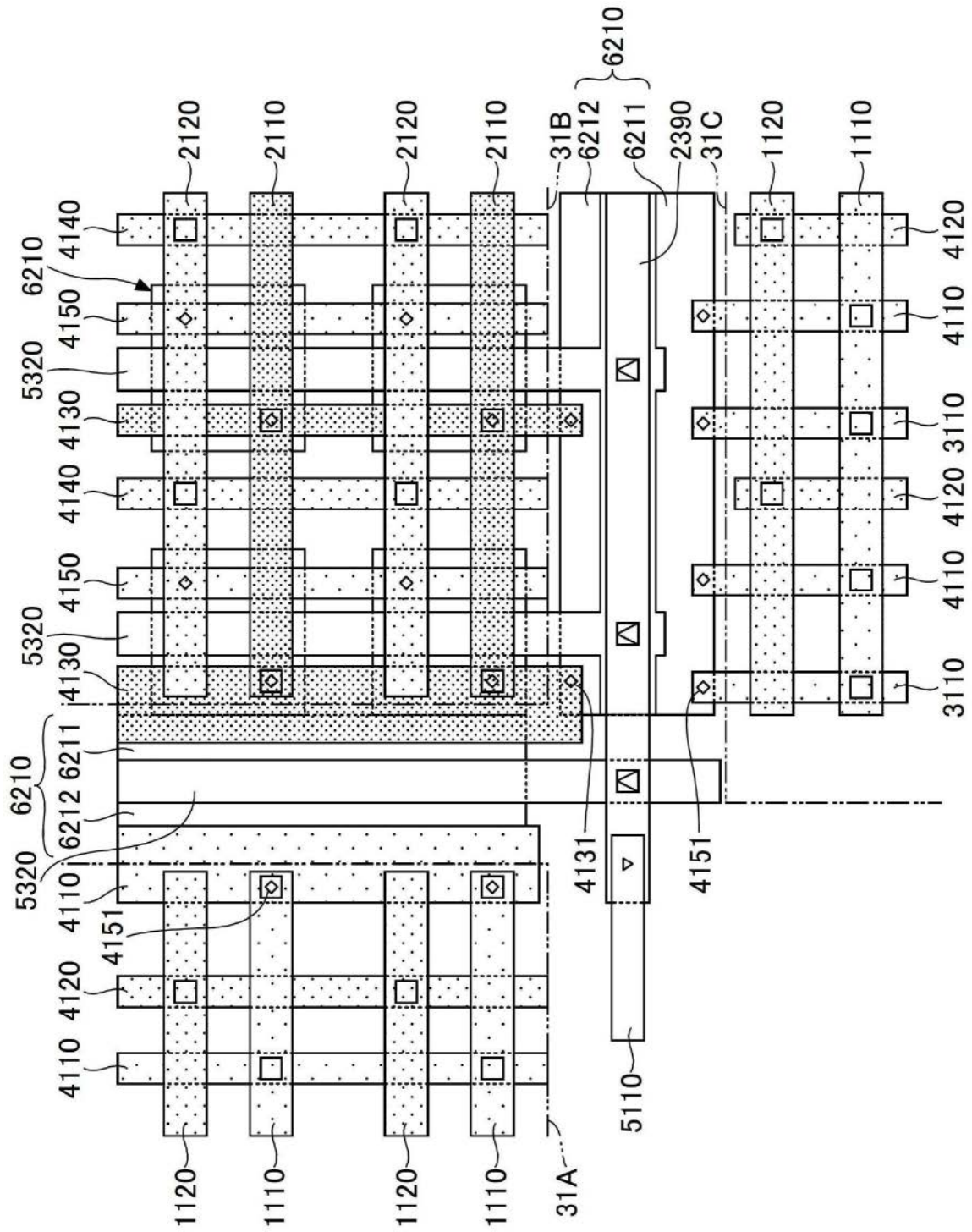


图33

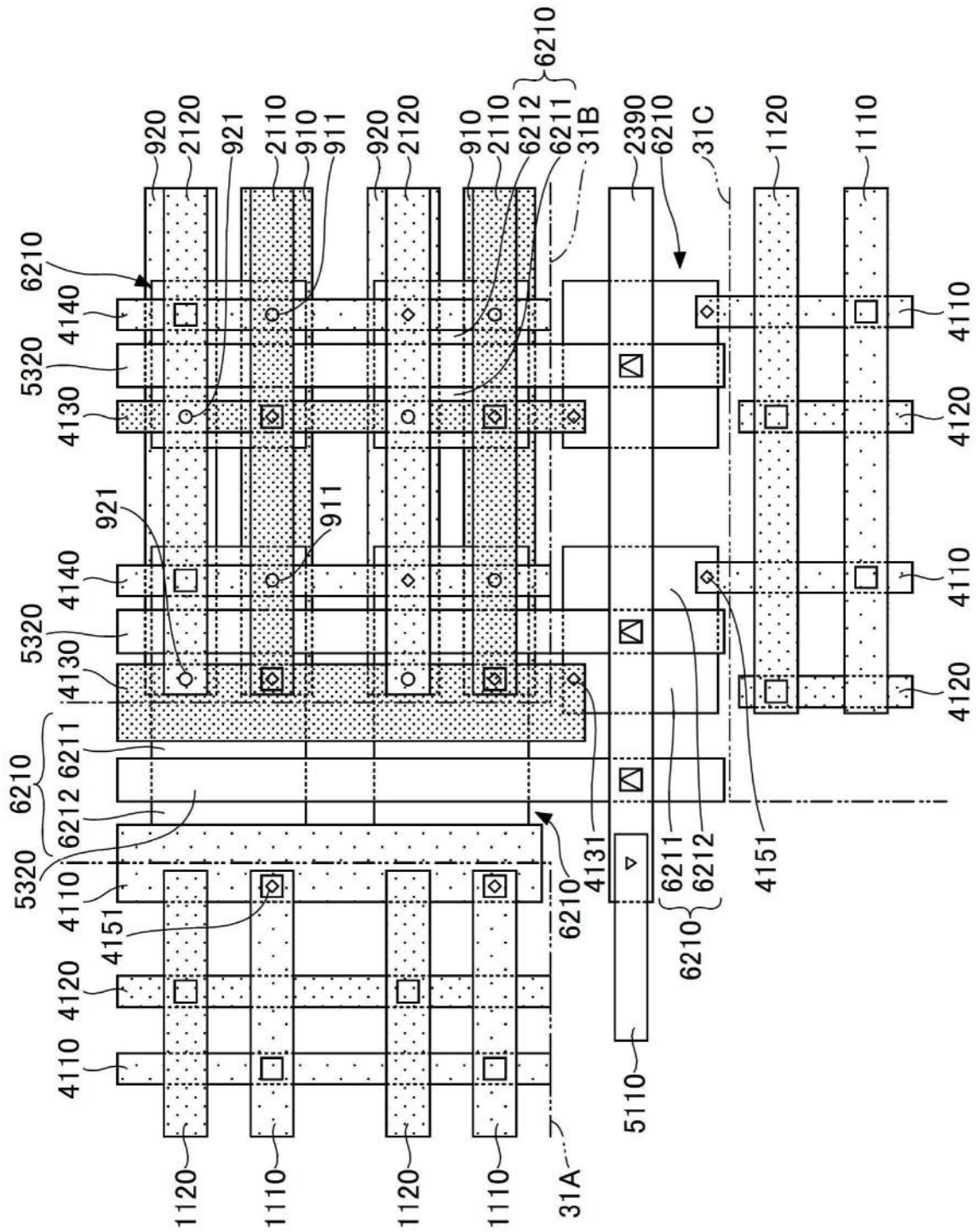


图34

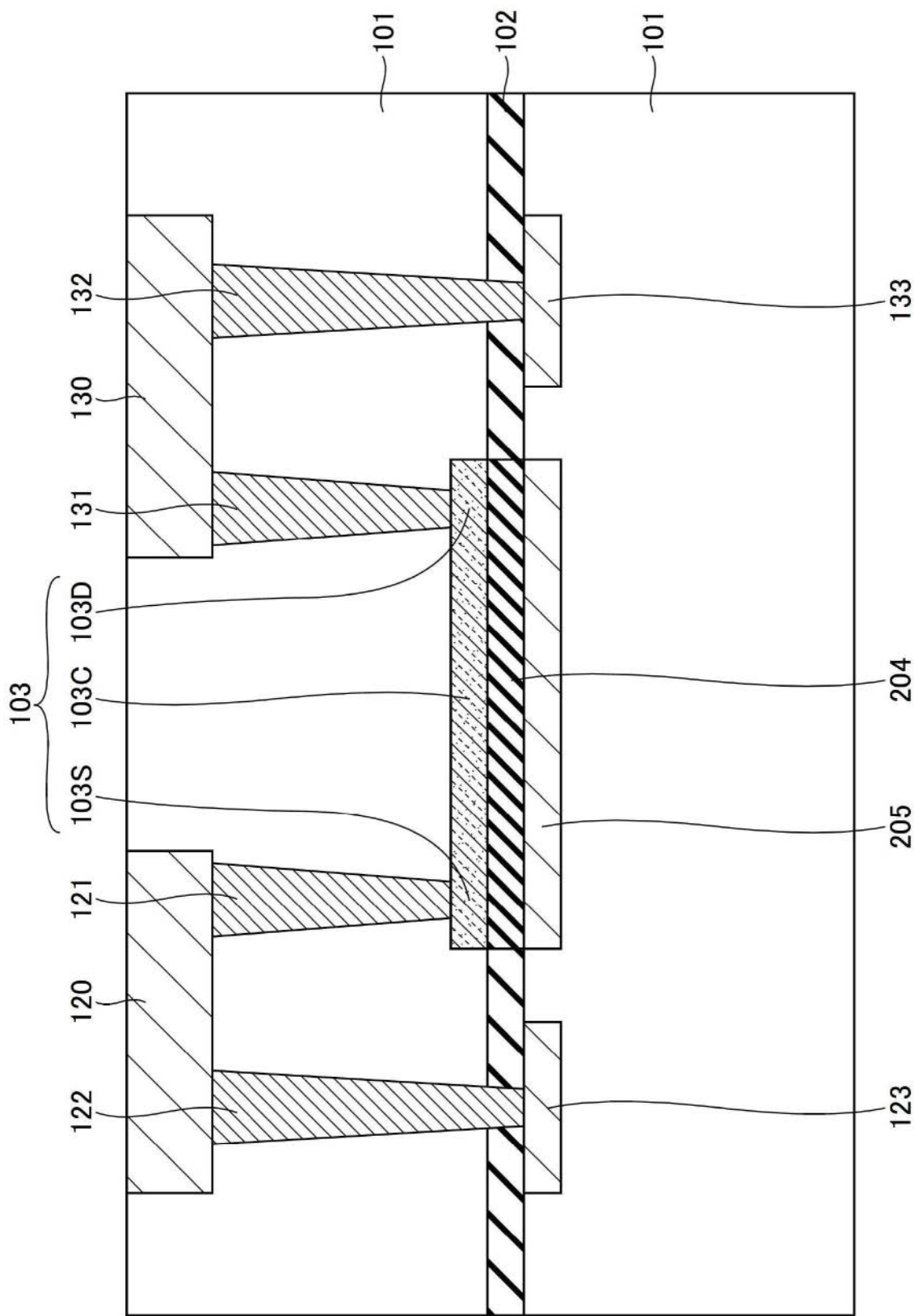


图36

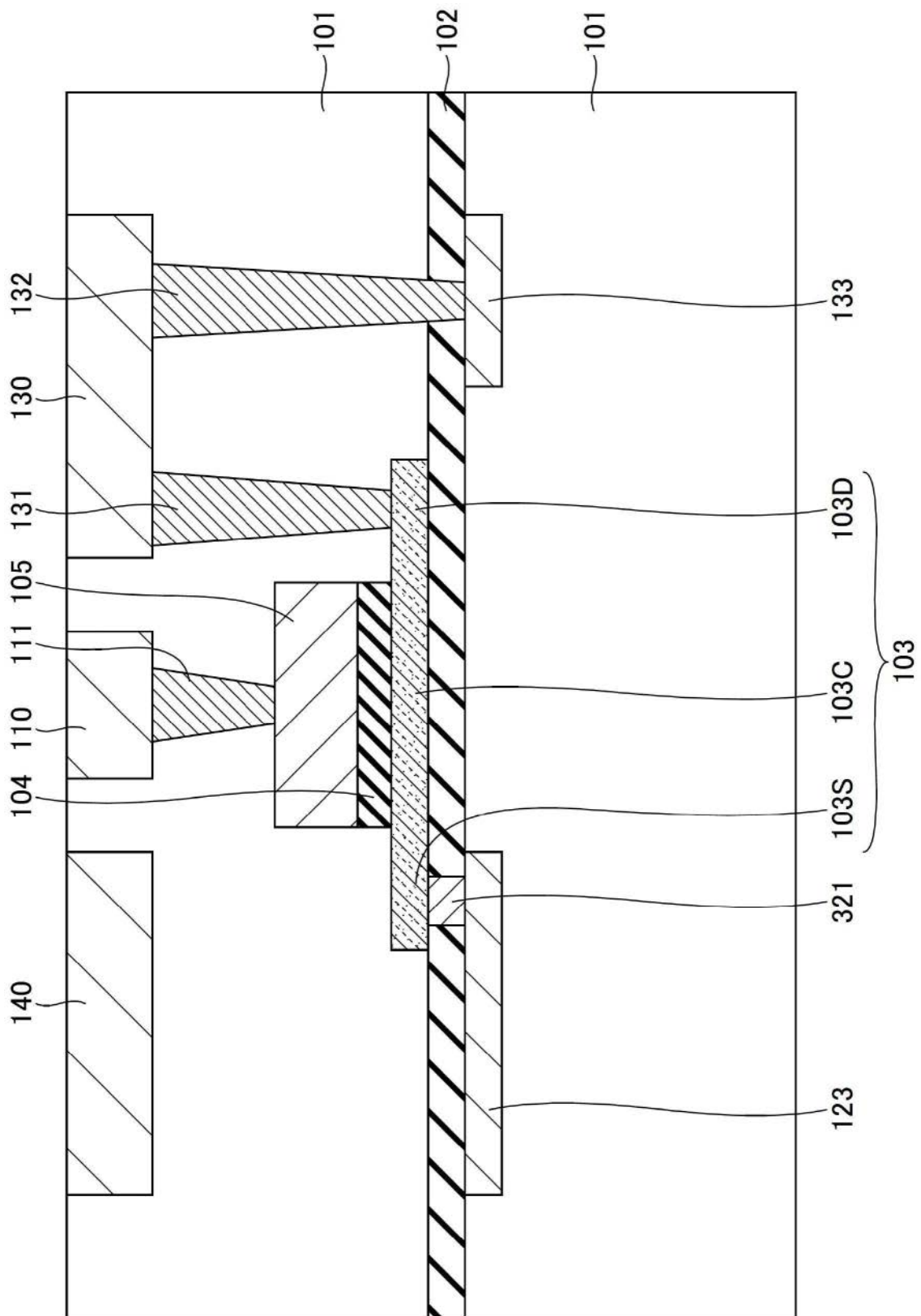


图37