

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

106743

Patent dodatkowy
do patentu nr _____

Zgłoszono: 30.11.76 (P. 194055)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 05.06.78

Opis patentowy opublikowano: 30.04.1980

CZYTELNIA

Urząd Patentowy
Instytut Matematyczny

Int. Cl.² G06F 3/04

Twórca wynalazku: Jan Wrona

**Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa
(Polska)**

Sposób oraz układ do zwiększania ilości wejść/wyjść z komputera

1

Przedmiotem wynalazku jest sposób oraz układ do zwiększania ilości wejść/wyjść adresowych z komputera w przypadku konieczności współpracy z dużą ilością obiektów zewnętrznych.

Zastosowanie komputerów do sterowania liniami produkcyjnymi, a nawet całymi wydziałami wymaga przesyłania i odbierania informacji z lub do dużej ilości obiektów. Informacje o stanie tych obiektów są przetwarzane przez przetworniki pomiarowe na sygnały elektryczne, a następnie na sygnały cyfrowe w odpowiednim kodzie i w odpowiednich chwilach czasowych przesyłane do odpowiednich rejestrów komputera.

Sygnały wysyłane przez komputer są zapamiętywane w zewnętrznych rejestrach buforowych oraz wzmacniane w sposób umożliwiający oddziaływanie na obiekty sterowane. Zadania te realizowane są przez urządzenia sprzęgające w które wyposażony jest każdy komputer. Urządzenie sprzęgające posiada układ przeznaczony do wybierania i komunikowania z komputerem określonego wejścia lub wyjścia spośród licznych wejść i wyjść.

W przypadku stosowania standardowych komputerów zazwyczaj okazuje się, że posiadana ilość wejść/wyjść jest niewystarczająca w stosunku do znacznej liczby obiektów zewnętrznych. Aby zwiększyć ilość wejść/wyjść komputera w znanych systemach wprowadzono sposób polegający na przesłaniu po szynach informacyjnych kolejno po so-

2

bie dwóch słów logicznych, z których pierwsze określało numer kolejny obiektu, a drugie stanowiło informację wysłaną z komputera lub odbieraną przez komputer. Wadą takiego rozwiązania jest konieczność pracy na dwóch obszarach pamięci komputera, przy czym w jednym z nich jest zapamiętywany numer obiektu, a w drugim jest przechowywana informacja. Taki układ jest niewygodny przy programowaniu, a w efekcie prowadzi do wolniejszej współpracy z obiektami zewnętrznymi, niż wynika to z cyklu pracy komputera. Ten typ współpracy jest szczególnie uciążliwy przy transmisji na przemian do wielu obiektów.

Znany jest również inny sposób zwiększania ilości wejść/wyjść komputera polegający na wprowadzeniu bloków informacji, przy czym każdy blok informacji jest poprzedzony wysłaniem z komputera słowa określającego numer obiektu, dla którego informacja jest przeznaczona. Zakończenie transmisji jest powodowane przesłaniem specjalnego słowa „koniec”. Taki system jest szczególnie kłopotliwy w przypadku współpracy komputera jednocześnie z kilkoma obiektami zewnętrznymi. Niemniej przy współpracy systemem blokowym nawet tylko z jednym obiektem, w praktyce występują stany awaryjne wymagające przerwania transmisji, co należy uwzględnić w programach systemu. Jedyną zaletą znanego sposobu, jaką stanowi możliwość sterowania obiektem z jednego

wyjścia komputera, w praktyce nie jest potrzebna, ponieważ nie zawsze byłyby wykorzystywane pozostałe wyjścia komputera.

Istotę wynalazku stanowi sposób zwiększania ilości wejść/wyjść z komputera, który umożliwia uzyskanie N^2 wejść/wyjść do obiektów zewnętrznych przy N standardowych wejściach/wyjściach komputera. Powyższą zależność uzyskano dzięki zastosowaniu w urządzeniu sprzęgającym komputer z obiektami zewnętrznymi dodatkowego układu składającego się z układu sumującego połączonego z dekoderni adresów oraz z układem stwierdzającym prawidłowość adresu, układem pamięciowym i układem rozróżniania kierunku transmisji.

W układzie sumującym do każdego adresu dodawana jest stała liczba — taka, żeby można było otrzymać nowe adresy od nr 0 do nr N . Tak otrzymany nowy adres, którego prawidłowość jest stwierdzana w układzie stwierdzającym prawidłowość adresu, jest zapamiętywany w układzie pamięciowym. Drugi adres po dodaniu stałej liczby w układzie sumującym, jest podawany razem z pierwszym zapamiętany adresem do dekodera adresów, przy czym mniej znaczące bity nowego adresu stanowią pierwszy adres podawany z układu pamięciowego, a bardziej znaczące bity stanowią drugi adres wysyłany z komputera lub odwrotnie. Ponieważ do dekodera adresów podawany jest nowy adres o ilości bitów stanowiącym sumę ilości bitów pierwotnych dwóch adresów, w efekcie otrzymujemy ilość wejść/wyjść z dekodera adresów odpowiadającą kwadratowi ilości wejść/wyjść adresowych z komputera.

Układ do stosowania sposobu według wynalazku został przedstawiony w przykładzie wykonania na rysunku.

Dodatkowy układ umożliwiający zwiększenie ilości wejść/wyjść adresowych komputera został zaprojektowany jako nowa odmiana urządzenia sprzęgającego komputer z obiektami zewnętrznymi. Kanał znakowy komputera połączony jest z układem sumującym 1, który posiada bezpośredni dostęp do dekodera adresów 2, a ponadto połączony jest z układem 3 stwierdzającym prawidłowość adresu, który z kolei połączony jest z dekoderni adresów 2 oraz z układem pamięciowym 4. Ponadto urządzenie sprzęgające wyposażone jest w układ 5 rozróżniania kierunku transmisji.

W przykładowym rozwiązaniu przyjęto, że kierunek adresów do obiektów zewnętrznych jest określany przez sygnał „pisz” towarzyszący obu adresom wysyłanym przez komputer, kierunek odwrotny jest określany przez sygnał „czytaj” przy obu adresach, a sygnały na przemian „pisz” i „czytaj” stanowią pytanie o stan obiektu zewnętrznego. Pierwszy adres wysyłany kanałem znakowym komputera trafia do układu sumującego 1, gdzie dodawana jest stała liczba o dowolnym znaku taka, żeby można było otrzymać nowy adres, którego prawidłowość jest stwierdzona w układzie 3 stwierdzającym prawidłowość adresu, jest zapamiętywany w układzie pamięciowym 4.

Drugi adres wysyłany kanałem znakowym kom-

putera trafia również do układu sumującego 1, gdzie dodawana jest analogicznie stała liczba, a następnie wraz z pierwszym zapamiętany adresem podawany jest do dekodera adresów 2, przy czym jeden adres stanowi mniej znaczące bity nowego adresu, a drugi adres stanowi bity bardziej znaczące. Ponieważ do dekodera adresów 2 podawany jest nowy adres o ilości bitów stanowiącej sumę ilości bitów pierwotnych dwóch adresów, w efekcie otrzymujemy ilość wejść/wyjść z dekodera adresów 2 odpowiadającą kwadratowi ilości wejść/wyjść z komputera.

W celu lepszego zrozumienia powyższy sposób postępowania zostanie rozpatrzony dla przykładu, w którym wykorzystano osiem wyjść adresowych komputera o numerach od 3 do 10. Do powyższej grupy adresów dodaje się w układzie sumującym 1 liczbę (-3) i w ten sposób otrzymuje się nową grupę adresów o numerach od 0 do 7.

Liczbę $0-7$ jako pierwszy adres wysyłany przez komputer zapisuje się binarnie w postaci trzech bitów w układzie pamięciowym 4. Drugi adres przetwarzany jest analogicznie i przesyłany bezpośrednio do dekodera adresów 2. Pierwszy i drugi adres doprowadzane są do dekodera adresów 2 po niezależnych szynach informacyjnych, przy czym drugi adres zajmuje dalsze trzy bity, które do dekodera 2 podawane są jako bardziej znaczące. W ten sposób otrzymuje się nowy adres sześciobitowy, czyli ilość wejść/wyjść adresowych z dekodera adresów 2 do obiektów zewnętrznych wynosić będzie $2^6=64$, co odpowiada kwadratowi ilości wejść/wyjść komputera. Sposób według wynalazku pozwala na dalsze zwiększanie ilości wejść/wyjść przy rozbudowie układu. W przypadku trzykrotnego wysyłania adresów otrzymuje się N^3 wejść/wyjść.

Wynalazek może znaleźć zastosowanie przy sterowaniu zespołami obrabiarek, linii technologicznych na przykład przy montażu i kontroli urządzeń technologicznych, przy sterowaniu procesami technologicznymi i innymi posiadającymi dużą ilość punktów pomiarowych i wykonawczych.

Zastrzeżenia patentowe

1. Sposób zwiększania ilości wejść/wyjść adresowych komputera, **znamienny tym**, że do każdego adresu wysyłanego przez komputer jest dodawana stała liczba ujednoliciająca adresy w przedziale od nr 0 do nr N , przy czym pierwszy adres jest zapamiętywany w układzie pamięciowym (4), a drugi adres jest podawany wraz z pierwszym zapamiętany adresem do dekodera adresów (2), przy czym ilość bitów nowego adresu stanowi sumę ilości bitów pierwotnych dwóch adresów, co oznacza, że ilość wejść/wyjść z dekodera adresów (2) odpowiada kwadratowi ilości wejść/wyjść adresowych z komputera.

2. Układ do zwiększania ilości wejść/wyjść adresowych komputera, **znamienny tym**, że na wyjściu kanału znakowego komputera podłączony jest

układ sumujący (1), który z kolei połączony jest z dekoderni adresów (2) poprzez układ (3) stwierdzający prawidłowość adresów lub bezpośrednią

szyną informacyjną, a ponadto połączony jest z układem pamięciowym (4) oraz układem (5) rozróżniania kierunku transmisji.

