

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5264401号
(P5264401)

(45) 発行日 平成25年8月14日 (2013. 8. 14)

(24) 登録日 平成25年5月10日 (2013. 5. 10)

(51) Int. Cl.		F I	
H03L	7/099	(2006.01)	H03L 7/08 F
H03L	7/093	(2006.01)	H03L 7/08 E
H03L	7/08	(2006.01)	H03L 7/08 Z
H03L	7/107	(2006.01)	H03L 7/10 E

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2008-264635 (P2008-264635)	(73) 特許権者	000001007
(22) 出願日	平成20年10月10日 (2008. 10. 10)		キヤノン株式会社
(65) 公開番号	特開2010-93762 (P2010-93762A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成22年4月22日 (2010. 4. 22)	(74) 代理人	100076428
審査請求日	平成23年9月22日 (2011. 9. 22)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 PLL回路

(57) 【特許請求の範囲】

【請求項1】

入力された電圧に応じた周波数で発振することにより、内部信号を生成する発振部と、前記内部信号を分周して分周信号を生成する分周部と、外部から入力された基準信号の位相と前記分周信号の位相とを比較し、比較結果に応じた位相誤差信号を出力する位相比較部と、前記位相誤差信号に基づいて制御電圧を生成する生成部と、を有するPLL回路であって、

前記制御電圧が前記発振部へ入力される第1の状態と、参照電圧が前記発振部へ入力される第2の状態とを切り替える切り替え部と、

前記第2の状態において、前記分周信号の周波数と前記基準信号の周波数とを比較し、前記分周信号の周波数が前記基準信号の周波数に等しくなるように、前記発振部に入力された電圧に対する前記発振部における発振の周波数を補正する補正部と、を備え、

前記発振部は、

前記制御電圧または前記参照電圧がゲートに入力される入力トランジスタと、

前記入力トランジスタのソースドレイン間を流れる電流に応じた電流を流すカレントミラー回路と、

前記カレントミラー回路により流された電流を受けて、受けた電流の大きさに応じた周波数で発振するリングオシレータと、を含み、

前記補正部は、

前記分周信号の周波数と前記基準信号の周波数とを比較し、比較結果に応じた差信号を

10

20

出力する周波数比較部と、

前記差信号に応じて、保持しているデジタル制御値を変更して、変更されたデジタル制御値を保持する制御値保持部と、

前記制御値保持部に保持され前記制御値保持部から出力された前記変更されたデジタル制御値をD/A変換することにより、アナログ制御値を生成するD/A変換部と、

前記アナログ制御値がゲートにされ、ソースが基準電圧に接続され、ドレインが前記入力トランジスタのソースに接続され、前記アナログ制御値によって相互コンダクタンスが制御されるMOSトランジスタと、を含む
ことを特徴とするPLL回路。

【請求項2】

前記分周信号の周波数が前記基準信号の周波数よりも高い場合、前記MOSトランジスタの相互コンダクタンスが減少し、

前記分周信号の周波数が前記基準信号の周波数よりも低い場合、前記MOSトランジスタの相互コンダクタンスが増大する

ことを特徴とする請求項1に記載のPLL回路。

【請求項3】

前記周波数比較部は、

前記分周部から受けた前記分周信号のクロック数をカウントすることにより、前記分周信号の周波数を計る第1のカウントと、

外部から受けた前記基準信号のクロック数をカウントすることにより、前記基準信号の周波数を計る第2のカウントと、

前記第2のカウントのカウント値から前記第1のカウントのカウント値を減算することにより、前記差信号を生成して出力する減算器と、
を含む

ことを特徴とする請求項1又は2に記載のPLL回路。

【請求項4】

前記制御値保持部は、前記分周信号の周波数が前記基準信号の周波数より低いことが前記差信号により示されている場合、保持しているデジタル制御値をカウントアップして、カウントアップされたデジタル制御値を保持し、前記分周信号の周波数が前記基準信号の周波数より高いことが前記差信号により示されている場合、保持しているデジタル制御値をカウントダウンして、カウントダウンされたデジタル制御値を保持し、

前記MOSトランジスタは、前記カウントアップされたデジタル制御値に対応したアナログ制御値がゲートにされた場合、前記入力トランジスタのソースドレイン間に流れる電流の大きさを増加させ、前記カウントダウンされたデジタル制御値に対応したアナログ制御値がゲートにされた場合、前記入力トランジスタのソースドレイン間に流れる電流の大きさを減少させ、

前記発振部における発振の周波数は、前記入力トランジスタのソースドレイン間に流れる電流の大きさが増加することにより上がり、前記入力トランジスタのソースドレイン間に流れる電流の大きさが減少することにより下がる

ことを特徴とする請求項1に記載のPLL回路。

【請求項5】

入力された電圧に応じた周波数で発振することにより、内部信号を生成する発振部と、前記内部信号を分周して分周信号を生成する分周部と、外部から入力された基準信号の位相と前記分周信号の位相とを比較し、比較結果に応じた位相誤差信号を出力する位相比較部と、前記位相誤差信号に基づいて制御電圧を生成する生成部と、を有するPLL回路であって、

前記制御電圧が前記発振部へ入力される第1の状態と、第1の参照電圧が前記発振部へ入力される第3の状態と、前記第1の参照電圧より高い第2の参照電圧が前記発振部へ入力される第4の状態とを切り替える切り替え部と、

前記第3の状態における前記分周信号の周波数と前記第4の状態における前記分周信号

10

20

30

40

50

の周波数との周波数差の絶対値と目標値とを比較し、前記周波数差の絶対値が前記目標値に等しくなるように、前記発振部に入力された電圧に対する前記発振部における発振の周波数を補正する補正部と、を備え、

前記発振部は、

前記制御電圧、前記第 1 の参照電圧または前記第 2 の参照電圧がゲートに入力される入力トランジスタと、

前記入力トランジスタのソースドレイン間を流れる電流に応じた電流を流すカレントミラー回路と、

前記カレントミラー回路により流された電流を受けて、受けた電流の大きさに応じた周波数で発振するリングオシレータと、を含み、

前記補正部は、

前記周波数差の絶対値と前記目標値とを比較し、比較結果に応じた差信号を出力する周波数差比較部と、

前記差信号に応じて、保持しているデジタル制御値を変更して、変更されたデジタル制御値を保持する制御値保持部と、

前記制御値保持部に保持され前記制御値保持部から出力された前記変更されたデジタル制御値を D/A 変換することにより、アナログ制御値を生成する D/A 変換部と、

前記アナログ制御値がゲートに入力され、ソースが基準電圧に接続され、ドレインが前記入力トランジスタのソースに接続され、前記アナログ制御値によって相互コンダクタンスが制御される MOS トランジスタと、を含む

ことを特徴とする PLL 回路。

【請求項 6】

前記周波数差の絶対値が前記目標値よりも大きい場合、前記 MOS トランジスタの相互コンダクタンスが減少し、

前記周波数差の絶対値が前記目標値よりも小さい場合、前記 MOS トランジスタの相互コンダクタンスが増大する

ことを特徴とする請求項 5 に記載の PLL 回路。

【請求項 7】

前記周波数差比較部は、

前記第 3 の状態における前記分周信号のクロック数をカウントすることにより、前記第 3 の状態における前記分周信号の周波数を計る第 3 のカウンタと、

前記第 4 の状態における前記分周信号のクロック数をカウントすることにより、前記第 4 の状態における前記分周信号の周波数を計る第 4 のカウンタと、

前記第 4 のカウンタのカウント値から前記第 3 のカウンタのカウント値を減算するとともに減算した結果から前記目標値をさらに減算することにより、前記差信号を生成して出力する減算器と、を含む

ことを特徴とする請求項 5 又は 6 に記載の PLL 回路。

【請求項 8】

前記制御値保持部は、前記周波数差の絶対値が前記目標値より少ないことが前記差信号により示されている場合、保持しているデジタル制御値をカウントアップして、カウントアップされたデジタル制御値を保持し、前記周波数差の絶対値が前記目標値より多いことが前記差信号により示されている場合、保持しているデジタル制御値をカウントダウンして、カウントダウンされたデジタル制御値を保持し、

前記 MOS トランジスタは、前記カウントアップされたデジタル制御値に対応したアナログ制御値がゲートに入力された場合、前記入力トランジスタのソースドレイン間に流れる電流の大きさを増加させ、前記カウントダウンされたデジタル制御値に対応したアナログ制御値がゲートに入力された場合、前記入力トランジスタのソースドレイン間に流れる電流の大きさを減少させ、

前記発振部における発振の周波数は、前記入力トランジスタのソースドレイン間に流れる電流の大きさが増加することにより上がり、前記入力トランジスタのソースドレイン

10

20

30

40

50

ン間に流れる電流の大きさが減少することにより下がる
ことを特徴とする請求項5乃至7のいずれか1項に記載のPLL回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL回路に関する。

【背景技術】

【0002】

近年、光ディスクなどの記録媒体（例えばCD-R、DVD-R/RW）に対してデータの書き込み及び読み出しを行う情報記録装置は、記録媒体の回転同期信号を得て、それを基に同期クロックを抽出し、これをデータ記録処理時の記録クロックとしている。一般に、このような周期クロックの抽出のためにはPLL（Phase Locked Loop）回路が用いられている。

10

【0003】

特許文献1には、特許文献1の図1に示すように、VCO特性自動可変PLL回路が記載されている。そのPLL回路では、位相比較器2が、入力端子1から入力された基準入力と分周器6から帰還された出力クロックとの位相を比較し、その誤差信号を直流増幅器3へ供給する。直流増幅器3は、供給された誤差信号を増幅して低域濾波器4へ供給する。低域濾波器4は、供給された誤差信号から不要周波数成分を濾波して電圧制御発振器11へ供給する。電圧制御発振器11は、供給された誤差信号に応じて、選択されたVCO特性に基づいた周波数の出力クロックを発振して分周器6へ供給する。分周器6は、供給された出力クロックを分周して出力端子7より出力するとともに位相比較器2へ帰還する。

20

【0004】

ここで、特許文献1における電圧制御発振器11は、特許文献1の図2に示すように、所望の周波数範囲を満たすように、複数のVCO特性を有する。特許文献1には、この複数のVCO特性のうちのいずれかを選択することが記載されている。

【0005】

具体的には、特許文献1の図1に示すPLL回路では、上限電圧比較器15及び下限電圧比較器16が、低域濾波器4により濾波された誤差信号が特許文献1の図2に示す上限電圧から下限電圧の範囲内であるか比較判定する。上限電圧比較器15及び下限電圧比較器16は、その判定信号をVCO特性切替器17へ供給する。VCO特性切替器17は、誤差信号が特許文献1の図2に示す上限電圧から下限電圧の範囲内の点Aである場合、VCO特性を切り替えない。VCO特性切替器17は、誤差信号が特許文献1の図2に示す上限電圧以上の点Bである場合、選択されていたVCO特性より制御電圧に対する発振周波数の高いVCO特性へ切り替える。VCO特性切替器17は、誤差信号が特許文献1の図2に示す下限電圧以下の点Dである場合、選択されていたVCO特性より制御電圧に対する発振周波数の低いVCO特性へ切り替える。

30

【0006】

これにより、特許文献1によれば、誤差信号に応じて、自動的に最適なVCO特性に切り替えて制御することができるとされている。

40

【特許文献1】特開2000-4156号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ここで、位相比較器、チャージポンプ回路、ローパスフィルタ、電圧制御発振器（VCO回路）及び分周回路を備えたPLL回路を考える。このPLL回路の応答特性は、構成する回路のゲイン特性及び周波数特性により決まり、これらを適切に設計することにより、位相がロックするまでのロックイン時間やジッタなどの特性を所望のものとする。このPLL特性におけるゲイン特性に関しては、特にVCO回路のゲイン特性が支配的となる

50

。

【0008】

VCO回路のゲイン特性（制御電圧－発振周波数特性）は、電源電圧、製造プロセスのばらつきにより変動する。VCO回路が高いゲインを有するときには、VCO回路にされる制御電圧に外来ノイズが重畳することによ（る発振周波数の変動が大きくなり、ジッタが増大してしまう。また、VCO回路のゲインが変動した場合でも、電源電圧や回路構成によって決まる制御電圧の設定可能範囲の上限値で、VCO回路から出力される信号の発振周波数が所望の周波数に達するように設計する必要がある。VCO回路が低いゲインを有するときには、電源電圧や回路構成によって決まる制御電圧の設定可能範囲の上限値でも、VCO回路から出力される信号の発振周波数が所望の周波数に達しない場合がある。このように、設計値に対してVCO回路のゲインがばらつくと、ジッタが増大したり、ロックイン時間が増加したりして、PLL特性が所望のものにならないことがある。

10

【0009】

特許文献1には、特許文献1の図8及び図9に示すように、ロック時のVCO回路への制御電圧に対して、所望の周波数範囲の上限電圧と下限電圧との範囲におけるゲインのばらつきが許容される。これにより、補正したVCO回路のゲインがある程度のばらつきを有したままとなり、PLL特性が所望の特性と必ずしも精度良くは一致しないという課題は残る。

【0010】

本発明の目的は、PLL回路におけるPLL応答特性を、参照電圧に応じた所望の特性にすることにある。

20

【課題を解決するための手段】

【0011】

本発明の第1の側面に係るPLL回路は、入力された電圧に応じた周波数で発振することにより、内部信号を生成する発振部と、前記内部信号を分周して分周信号を生成する分周部と、外部から入力された基準信号の位相と前記分周信号の位相とを比較し、比較結果に応じた位相誤差信号を出力する位相比較部と、前記位相誤差信号に基づいて制御電圧を生成する生成部と、を有するPLL回路であって、前記制御電圧が前記発振部へ入力される第1の状態と、参照電圧が前記発振部へ入力される第2の状態とを切り替える切り替え部と、前記第2の状態において、前記分周信号の周波数と前記基準信号の周波数とを比較し、前記分周信号の周波数が前記基準信号の周波数に等しくなるように、前記発振部に入力された電圧に対する前記発振部における発振の周波数を補正する補正部と、を備え、前記発振部は、前記制御電圧または前記参照電圧がゲートに入力される入力トランジスタと、前記入力トランジスタのソースドレイン間を流れる電流に応じた電流を流すカレントミラー回路と、前記カレントミラー回路により流された電流を受けて、受けた電流の大きさに応じた周波数で発振するリングオシレータと、を含み、前記補正部は、前記分周信号の周波数と前記基準信号の周波数とを比較し、比較結果に応じた差信号を出力する周波数比較部と、前記差信号に応じて、保持しているデジタル制御値を変更して、変更されたデジタル制御値を保持する制御値保持部と、前記制御値保持部に保持され前記制御値保持部から出力された前記変更されたデジタル制御値をD/A変換することにより、アナログ制御値を生成するD/A変換部と、前記アナログ制御値がゲートに入力され、ソースが基準電圧に接続され、ドレインが前記入力トランジスタのソースに接続され、前記アナログ制御値によって相互コンダクタンスが制御されるMOSトランジスタと、を含むことを特徴とする。

30

40

【0012】

本発明の第2側面に係るPLL回路は、入力された電圧に応じた周波数で発振することにより、内部信号を生成する発振部と、前記内部信号を分周して分周信号を生成する分周部と、外部から入力された基準信号の位相と前記分周信号の位相とを比較し、比較結果に応じた位相誤差信号を出力する位相比較部と、前記位相誤差信号に基づいて制御電圧を生成する生成部と、を有するPLL回路であって、前記制御電圧が前記発振部へ入力される

50

第1の状態と、第1の参照電圧が前記発振部へ入力される第3の状態と、前記第1の参照電圧より高い第2の参照電圧が前記発振部へ入力される第4の状態とを切り替える切り替え部と、前記第3の状態における前記分周信号の周波数と前記第4の状態における前記分周信号の周波数との周波数差の絶対値と目標値とを比較し、前記周波数差の絶対値が前記目標値に等しくなるように、前記発振部に入力された電圧に対する前記発振部における発振の周波数を補正する補正部と、を備え、前記発振部は、前記制御電圧、前記第1の参照電圧または前記第2の参照電圧がゲートに入力される入力トランジスタと、前記入力トランジスタのソースドレイン間を流れる電流に応じた電流を流すカレントミラー回路と、前記カレントミラー回路により流された電流を受けて、受けた電流の大きさに応じた周波数で発振するリングオシレータと、を含み、前記補正部は、前記周波数差の絶対値と前記目標値とを比較し、比較結果に応じた差信号を出力する周波数差比較部と、前記差信号に応じて、保持しているデジタル制御値を変更して、変更されたデジタル制御値を保持する制御値保持部と、前記制御値保持部に保持され前記制御値保持部から出力された前記変更されたデジタル制御値をD/A変換することにより、アナログ制御値を生成するD/A変換部と、前記アナログ制御値がゲートに入力され、ソースが基準電圧に接続され、ドレインが前記入力トランジスタのソースに接続され、前記アナログ制御値によって相互コンダクタンスが制御されるMOSトランジスタと、を含むことを特徴とする。

10

【発明の効果】

【0013】

本発明によれば、PLL回路におけるPLL応答特性を、参照電圧に応じた所望の特性にすることができる。

20

【発明を実施するための最良の形態】

【0014】

本発明の第1の実施形態に係るPLL(Phase Locked Loop)回路100を、図1を用いて説明する。図1は、本発明の第1実施形態に係るPLL回路100の構成を示す図である。

【0015】

PLL回路100は、外部から入力される基準信号rclkに対して特定の位相関係にある内部信号oclkを生成する。PLL回路100は、分周部60、位相比較部10、生成部20、切り替え部40、発振部30、及び補正部50を備える。

30

【0016】

分周部60は、内部信号oclkを分周して分周信号iclkを生成する。分周部60は、分周回路107を含む。分周回路107は、内部信号oclkに対して、予め指定された分周数により分周を行い、分周信号iclkを生成して位相比較部10及び補正部50へ帰還する。

【0017】

位相比較部10は、外部から受けた基準信号rclkの位相と分周部60から受けた分周信号iclkの位相とを比較し、比較結果に応じた位相誤差信号を出力する。位相比較部10は、位相比較器(PC)101を含む。位相比較器101は、基準信号rclkと分周信号iclkとの位相差に応じた位相誤差信号を生成部20へ出力する。

40

【0018】

生成部20は、位相誤差信号に基づいて、制御電圧を生成する。生成部20は、チャージポンプ回路(CP)102及びローパスフィルタ(LPF)103を含む。

【0019】

チャージポンプ回路102は、位相比較器101から出力された位相誤差信号を受ける。チャージポンプ回路102は、容量を含み、位相誤差信号に基づいて、その容量を充電又は放電することによりチャージポンプ電流を生成する。チャージポンプ回路102は、生成したチャージポンプ電流をローパスフィルタ103へ出力する。

【0020】

ローパスフィルタ103は、チャージポンプ回路102から出力されたチャージポンプ

50

電流を受ける。ローパスフィルタ103は、受けたチャージポンプ電流を平滑化することにより、制御電圧Vcntを生成する。ローパスフィルタ103は、生成した制御電圧Vcntを切り替え部40へ出力する。

【0021】

切り替え部40は、生成部20から出力された制御電圧Vcntが発振部30へ入力される第1の状態と、参照電圧Vrefが発振部30へ入力される第2の状態とを切り替える。切り替え部40は、制御スイッチ104を含む。

【0022】

具体的には、制御スイッチ104は、第1の制御スイッチ（図示せず）及び第2の制御スイッチ（図示せず）を含む。第1の制御スイッチは、生成部20と発振部30との導通をオンオフする。第2の制御スイッチは、参照電圧Vrefと発振部30との導通をオンオフする。切り替え部40は、第1の制御スイッチをオンさせ第2の制御スイッチをオフさせることにより第1の状態に切り替え、第1の制御スイッチをオフさせ第2の制御スイッチをオンさせることにより第2の状態に切り替える。

【0023】

発振部30は、入力された電圧に応じた周波数foで発振することにより、内部信号oclkを生成する。発振部30は、電圧制御発振器106を含む。

【0024】

電圧制御発振器106は、切り替え部40により第2の状態に切り替えられた際に、参照電圧Vrefを受ける。電圧制御発振器106は、受けた参照電圧Vrefに応じた周波数fo（図2参照）で発振することにより、内部信号oclkを生成する。電圧制御発振器106は、内部信号oclkを分周部60へ出力する。

【0025】

補正部50は、切り替え部40により第2の状態に切り替えられた際に、分周信号iclkの周波数が基準信号rclkの周波数に等しくなるように、発振部30のゲインを補正する。ここで、ゲインは、発振部30に入力された電圧に対する発振部30における発振する周波数の特性である。補正部50は、ゲイン補正回路110を含む。

【0026】

ゲイン補正回路110は、基準信号rclkを外部から受け、分周信号iclkを分周部60から受ける。ゲイン補正回路110は、受けた分周信号iclkと受けた基準信号rclkとを比較することにより、発振部30のゲインを連続的に補正する。

【0027】

具体的には、ゲイン補正回路110は、分周信号iclkの周波数が基準信号rclkの周波数より低い場合、発振部30のゲインが上がるように、発振部30のゲインを補正する。すなわち、ゲイン補正回路110は、発振部30の発振周波数foが基準値より低い（例えば、図2に示す $f_l < f_t$ ）場合、発振部30のゲインが上がるように、発振部30のゲインを補正する。

【0028】

ゲイン補正回路110は、分周信号iclkの周波数が基準信号rclkの周波数より低い場合、発振部30のゲインが下がるように、発振部30のゲインを補正する。すなわち、ゲイン補正回路110は、発振部30の発振周波数foが基準値より高い（例えば、図2に示す $f_h > f_t$ ）場合、発振部30のゲインが下がるように、発振部30のゲインを補正する。

【0029】

また、電圧制御発振器106は、切り替え部40により第1の状態に切り替えられた際に、生成部20から出力された制御電圧Vcntを受ける。電圧制御発振器106は、受けた制御電圧Vcntに対する補正後のゲインに応じた周波数foで発振することにより、内部信号oclkを生成する。電圧制御発振器106は、内部信号oclkを外部へ出力するとともに分周部60へ出力する。

【0030】

10

20

30

40

50

このように、電圧制御発振器106のゲインは、参照電圧 V_{ref} が入力された状態で、分周信号 $iclk$ の周波数が基準信号 $rclk$ の周波数に等しくなるように連続的に補正される。これにより、第2の状態において、電圧制御発振器106のゲイン特性を、参照電圧 V_{ref} に応じた所望の特性にすることができる。

【0031】

また、電圧制御発振器106は、第2の状態において参照電圧 V_{ref} が入力された状態で分周部60から基準信号 $rclk$ に等しい周波数の分周信号 $iclk$ が出力されるための内部信号 $oclk$ を生成するように、そのゲインが補正される。これにより、第2の状態における電圧制御発振器106のゲイン補正が行われた後の第1の状態において、第2の状態と同じ周波数の分周信号が位相比較部10へ入力されるようにすることができる。これにより、補正された後の状態において、PLL回路が参照電圧 V_{ref} に応じた所望の特性で動作するようになる。

10

【0032】

すなわち、PLL回路におけるPLL特性を、参照電圧に応じた所望の特性にすることができる。なお、PLL動作とは、分周部60で生成される分周信号 $iclk$ の周波数および位相が、基準信号 $rclk$ の周波数および位相と一致するようにフィードバック制御されることを指す。

【0033】

次に、ゲイン補正回路110によるゲイン補正動作を、図2を用いて説明する。図2は、本発明の第1実施形態における電圧制御発振器106の制御電圧 V_{cnt} に対する内部信号 $oclk$ の周波数 f_o のゲイン特性の一例を示す図である。ここで、ゲインは、図2における周波数特性を示す直線の傾きで表される。

20

【0034】

図2は、電圧制御発振器106のゲインがTYP（標準）条件である場合に、制御電圧 V_{cnt} が参照電圧 V_{ref} に等しいときに、発振周波数が基準値 f_t となることを示している。ここで、TYP条件とは、電源電圧が標準値であり、製造プロセスのばらつきにより変動する電圧制御発振器106の構成素子の特性が標準的な場合である。また、この基準値 f_t は、基準信号 $rclk$ の周波数を分周回路107の分周数で通倍した周波数と等しい。

【0035】

ここで、電源電圧変動や製造プロセスのばらつきにより、電圧制御発振器106のゲインが高いHIGH条件である場合には、電圧制御発振器106に参照電圧 V_{ref} が入力されると、発振周波数が基準値 f_t より高い f_h となる。

30

【0036】

同様に、電圧制御発振器106のゲインが低いLOW条件である場合には、電圧制御発振器106に参照電圧 V_{ref} が入力されると、発振周波数が基準値 f_t より低い f_l となる。

【0037】

本実施形態に係るPLL回路は、電圧制御発振器106のゲインばらつきに対して、TYP条件におけるゲイン特性からずれた分を、ゲイン補正回路110からのゲイン補正信号によって、TYP条件におけるゲイン特性になるよう補正するものである。

40

【0038】

このゲイン補正動作を行うときには、制御スイッチ104における第1の制御スイッチがオフ状態、第2の制御スイッチがオン状態となる。したがって、電圧制御発振器106には参照電圧 V_{ref} が入力され、電圧制御発振器106の有するゲイン特性によって決まる発振周波数を出力する。

【0039】

ここで、電圧制御発振器106のゲインが基準値より高いHIGH条件である場合、発振周波数が基準値 f_t より高い f_h となる。このため、分周信号 $iclk$ の周波数は、ゲイン補正回路110により発振周波数を下げようとする動作が行われることにより、基準

50

信号 $rclk$ の周波数より高い値から基準信号 $rclk$ の周波数に近づくように下げられる。

【0040】

一方、電圧制御発振器 106 のゲインが基準値より低い LOW 条件である場合、発振周波数が基準値 f_t より低い f_l となる。このため、分周信号 $iclk$ の周波数は、ゲイン補正回路 110 により発振周波数を上げようとする動作が行われることにより、基準信号 $rclk$ の周波数より低い値から基準信号 $rclk$ の周波数に近づくように上げられる。

【0041】

このように、ゲイン補正回路 110 は、分周信号 $iclk$ の周波数と基準信号 $rclk$ の周波数とを比較して、両者の差分に応じて電圧制御発振器 106 のゲイン補正を行う。このゲイン補正動作を、分周信号 $iclk$ の周波数と基準信号 $rclk$ の周波数との差が無くなるまでゲイン補正回路 110 が行うことで、電圧制御発振器 106 のゲインを TYP 時のものに合わせ込めることとなる。

10

【0042】

このゲイン補正動作を行った後、制御スイッチ 104 における第 1 の制御スイッチをオン状態、第 2 の制御スイッチをオフ状態として、TYP 時のゲインを有する電圧制御発振器 106 にて通常の PLL 回路動作を行うことが可能となる。

【0043】

したがって、本実施形態によれば、PLL 回路において、電圧制御発振器のゲインが、電源電圧、製造プロセスのばらつきにより変動した場合でも、ゲイン補正を行うことで所望の PLL 応答特性を得ることができる。

20

【0044】

次に、本発明の第 2 実施形態に係る PLL 回路 100 i を、図 3 を用いて説明する。図 3 は、本発明の第 2 実施形態に係る PLL 回路 100 i の構成を示す図である。以下では、第 1 実施形態と異なる部分を中心に説明する。

【0045】

PLL 回路 100 i は、発振部 30 i 及び補正部 50 i を備える。

【0046】

発振部 30 i は、電圧制御発振器 106 i を含む。電圧制御発振器 106 i は、NMOS トランジスタ 1055 i、負荷素子 1056 i、リングオシレータ 1052 i、カレントミラー回路 1063 i、及びカレントミラー回路 1064 i を含む。

30

【0047】

NMOS トランジスタ 1065 i (入力トランジスタ) は、第 1 の状態において生成部 20 から出力された制御電圧 V_{cnt} がゲートに入力され、第 2 の状態において参照電圧 V_{ref} がゲートに入力される。NMOS トランジスタ 1065 i は、負荷素子 1066 i 及び後述の MOS トランジスタ 115 とともにソースフォロウ動作を行うことにより、ゲートに入力された電圧に対する所定のゲインを決めるためのドレイン電流をソース・ドレイン間に流す。

【0048】

このドレイン電流は、PMOS トランジスタで構成されたカレントミラー回路 1063 i と、NMOS トランジスタで構成されたカレントミラー回路 1064 i とにより、折り返されてリングオシレータ 1062 i へ供給される。すなわち、カレントミラー回路 1063 i とカレントミラー回路 1064 i とは、それぞれ、NMOS トランジスタ 1065 i のドレインを流れる電流に応じた電流を流す。

40

【0049】

リングオシレータ 1062 i は、奇数段のインバータを縦列接続 (図示は 3 段の場合) したものである。リングオシレータ 1062 i は、カレントミラー回路 1063 i とカレントミラー回路 1064 i とにより流された電流を受けて、受けた電流の大きさに応じた周波数で発振する。リングオシレータ 1062 i は、その各インバータへ供給される駆動電流の大きさにより、発振周波数が制御されるものである。

50

【0050】

すなわち、NMOSトランジスタ1065iのソース1061iは、流されるドレイン電流の電流の大きさにより、NMOSトランジスタ1065iのゲートに入力される制御電圧Vcntに対するリングオシレータ1062iの発振周波数の割合を決定する。すなわち、NMOSトランジスタ1065iのソース1061iは、流されるドレイン電流の電流の大きさにより、発振部30iのゲインを決定する。具体的には、NMOSトランジスタ1065iのソース1061iは、NMOSトランジスタ1065iのソースと負荷素子1066iとの間に配されている。発振部30iのゲインは、NMOSトランジスタ1065iのソース1061iに流される電流の大きさが減少することにより下がり、NMOSトランジスタ1065iのソース1061iに流される電流の大きさが増加することにより上がる。

10

【0051】

補正部50iは、ゲイン補正回路110iを含む。ゲイン補正回路110iは、周波数比較部117、アップダウンカウンタ（制御値保持部）113、D/A変換器（DAC、D/A変換部）114、及び、MOSトランジスタ115を含む。

【0052】

周波数比較部117には、分周回路107から供給された分周信号iclkと外部から供給された基準信号rclkとが入力される。周波数比較部117は、基準信号rclkの周波数に対して分周信号iclkの周波数が高い場合に負の符号を有する差分値を出力し、基準信号rclkの周波数に対して分周信号iclkの周波数が低い場合に正の符号を有する差分値を出力する。すなわち、周波数比較部117は、分周回路107から供給された分周信号iclkと外部から供給された基準信号rclkとを比較し、比較結果に応じた差信号を出力する。

20

【0053】

具体的には、周波数比較部117は、第1のカウンタ112、第2のカウンタ111、及び減算器116を含む。

【0054】

第1のカウンタ112は、分周部60の分周回路107から分周信号iclkを受ける。第1のカウンタ112は、受けた分周信号iclkのクロック数をカウントすることにより、分周信号iclkの周波数を計る。

30

【0055】

第2のカウンタ111は、外部から供給された基準信号rclkを受ける。第2のカウンタ111は、受けた基準信号rclkのクロック数をカウントすることにより、基準信号rclkの周波数を計る。

【0056】

減算器116は、第1のカウンタ112のカウント値を第1のカウンタ112から受け、第2のカウンタ111のカウント値を第2のカウンタ111から受ける。減算器116は、第2のカウンタ111のカウント値から第1のカウンタ112のカウント値を減算することにより、差信号を生成して出力する。例えば、減算器116は、基準信号rclkの周波数に対して分周信号iclkの周波数が高い場合に負の符号を有する差分値を差信号として出力する。減算器116は、基準信号rclkの周波数に対して分周信号iclkの周波数が低い場合に正の符号を有する差分値を差信号として出力する。

40

【0057】

アップダウンカウンタ113は、周波数比較部117から出力された差信号に応じて、保持しているデジタル制御値を基準クロックに同期して変更して、変更されたデジタル制御値を保持する。なお、初期状態において、アップダウンカウンタ113は、初期のデジタル制御値を保持しており、初回は、この初期値からアップダウンカウントし、それ以後は、前回のカウント値からアップダウンカウントする。

【0058】

具体的には、アップダウンカウンタ113は、分周信号iclkの周波数が基準信号r

50

c l kの周波数より低いことが差信号により示されている場合、すなわち、差信号が正の符号を有する場合、次のような動作を行う。アップダウンカウンタ113は、保持しているデジタル制御値を差信号の絶対値に応じた値だけカウントアップする。アップダウンカウンタ113は、カウントアップされたデジタル制御値を保持する。

【0059】

また、アップダウンカウンタ113は、分周信号i c l kの周波数が基準信号r c l kの周波数より高いことが差信号により示されている場合、すなわち、差信号が負の符号を有する場合、次のような動作を行う。アップダウンカウンタ113は、保持しているデジタル制御値を差信号の絶対値に応じた値だけカウントダウンする。アップダウンカウンタ113は、カウントダウンされたデジタル制御値を保持する。

10

【0060】

D/A変換器114は、変更されたデジタル制御値をアップダウンカウンタ113から受ける。D/A変換器114は、受けたデジタル制御値をD/A変換することにより、アナログ制御値を生成する。

【0061】

MOSトランジスタ115は、D/A変換器114から出力されたアナログ制御値がゲートに入力され、ソースがグランド電圧に接続され、ドレインがNMOSトランジスタ1065iのソース1061iに接続されている。

【0062】

具体的には、MOSトランジスタ115は、カウントアップされたデジタル制御値に対応したアナログ制御値がゲートに入力された場合、その等価的な抵抗値が低くなる、すなわちその相互コンダクタンスg mが高くなる（増大する）。これにより、MOSトランジスタ115は、NMOSトランジスタ1065iのソース1061iに流される電流の大きさを増加させる。

20

【0063】

また、MOSトランジスタ115は、カウントダウンされたデジタル制御値に対応したアナログ制御値がゲートに入力された場合、その等価的な抵抗値が高くなる、すなわちその相互コンダクタンスg mが低くなる（減少する）。これにより、MOSトランジスタ115は、NMOSトランジスタ1065iのソース1061iに流される電流の大きさを減少させる。

30

【0064】

次に、ゲイン補正動作における電圧制御発振器106iのゲインがTYPである場合（図2に示すゲイン：TYPの場合）の動作を説明する。

【0065】

ここで、制御スイッチ104は、生成部20と発振部30iとの導通をオフし、基準電圧V r e fと発振部30iとの導通をオンする。また、アップダウンカウンタ113は、初期のデジタル制御値をD/A変換器114へ出力する。D/A変換器114は、初期のデジタル制御値をD/A変換することにより、初期のアナログ制御値を生成する。その結果、ゲイン補正用のMOSトランジスタ115のゲートには、初期のアナログ制御値に応じた電圧が入力されている。これにより、ゲイン補正用のMOSトランジスタ115のg m値が固定値（初期値）となり、このg m値と負荷素子1066iの抵抗値とにより電圧制御発振器106iの初期ゲインが設定される。この初期ゲインは、TYP条件において、電圧制御発振器106iへ参照電圧V r e fが入力されたときに、発振周波数がf tとなるように設定される。

40

【0066】

このとき、電圧制御発振器106iは、基準電圧V r e fが入力されているため、固定した発振周波数f oの内部信号o c l kを出力する。この内部信号o c l kを分周回路107で分周した信号のクロック数を第1のカウンタ112にてカウントする。また、これと同時に、第2のカウンタ111にて基準信号r c l kのクロック数をカウントする。ゲインがTYP条件において、電圧制御発振器106iの発振周波数f tは、基準信号r c

50

1 kの周波数を、分周回路107の分周数で通倍した周波数である。このため、同じ時間カウントした第2のカウンタ111のカウント値と第1のカウンタ112のカウント値とは同じ値になる。したがって、減算器116から出力される差信号に応じたアップダウンカウンタ113により保持されたデジタル制御値は初期のデジタル制御値から変化せず、そのため、電圧制御発振器106iのゲインは初期ゲインから変化しない。

【0067】

ところで、NMOSトランジスタ1065iの相互コンダクタンス g_m は、そのゲート端子に入力されるアナログ電圧により連続的に制御できるが、D/A変換器114から出力されるアナログ制御値は離散値となる。したがって、D/A変換器114の分解能を十分に高くすることによって、実用上問題にならない程度に、電圧制御発振器106iのゲインを連続的に制御することが可能となる。

10

【0068】

次に、ゲイン補正動作における電圧制御発振器106iのゲインがTYP時より高い場合（図2に示すゲイン：HIGHの場合）の動作を説明する。

【0069】

ここで、電圧制御発振器106iに参照電圧 V_{ref} が入力されているため、発振周波数は基準値 f_t より高い f_h となる（図2参照）。このとき、等しい時間の長さだけカウント動作を行うと第1のカウンタ112のカウント値は、第2のカウンタ111のカウント値より大きくなる。これにより、減算器116からは負の符号を有する差分値が出力される。その結果、アップダウンカウンタ113は、基準クロックに同期して、受けた差分値に応じて、保持しているデジタル制御値（例えば、初期のデジタル制御値）をカウントダウンする。その後、適当なタイミングで、そのアップダウンカウンタ113のカウント値を、D/A変換器114によりD/A変換する。このとき、ゲイン補正用のMOSトランジスタ115は、ゲート電圧が初期電圧値に対して低くなるため、 g_m 値が小さくなる。ここで、電圧制御発振器106iのゲインは、バイアス電流設定抵抗値と g_m 値との並列抵抗値で設定される。この並列抵抗値が大きくなり、結果として、電圧制御発振器106iのゲインが下がる。その後、第1のカウンタ112および第2のカウンタ111のカウント数をリセットする。電圧制御発振器106iの発振周波数が下がっているため、等しい時間の長さだけカウント動作を行うと第1のカウンタ112のカウント値は、補正前と比べて第2のカウンタ111のカウント値に近づく。この動作を繰り返すことにより、分周信号iclkの周波数を基準信号rclkの周波数と一致させ、ゲインをTYP時のものに合わせ込めることとなる。

20

30

【0070】

次に、ゲイン補正動作における電圧制御発振器106iのゲインがTYP時より低い場合（図2に示すゲイン：LOWの場合）の動作を説明する。

【0071】

ここで、電圧制御発振器106iの発振周波数は基準値 f_t より低い f_l となる。このとき、等しい時間の長さだけカウント動作を行うと第1のカウンタ112のカウント値は、第2のカウンタ111のカウント値より小さくなる。これにより、減算器116からは正の符号を有する差分値が出力される。アップダウンカウンタ113は、保持しているデジタル制御値（例えば、初期のデジタル制御値）をカウントアップする。D/A変換後のゲイン補正用のMOSトランジスタ115のゲート電圧は初期電圧値に対して高くなる。その結果、MOSトランジスタ115の g_m 値が大きくなり、電圧制御発振器106iのゲインが上がる。その後、第1のカウンタ112および第2のカウンタ111のカウント数をリセットする。電圧制御発振器106iの発信周波数があがっているため、等しい時間の長さだけカウント動作を行うと第1のカウンタ112のカウント値は、補正前と比べて第2のカウンタ111のカウント値に近づく。この動作を繰り返すことにより、ゲインをTYP時のものに合わせ込めることとなる。

40

【0072】

次に、本発明の第3実施形態に係るPLL回路200を、図4を用いて説明する。図4

50

は、本発明の第3実施形態に係るPLL回路200の構成を示す図である。以下では、第1実施形態と異なる部分を中心に説明する。

【0073】

PLL回路200は、切り替え部240及び補正部250を備える。

【0074】

切り替え部240は、第1の状態と第3の状態と第4の状態とを切り替える。第1の状態は、生成部20から出力された制御電圧が発振部30へ入力される状態である。第3の状態は、第1の参照電圧Vref1が発振部30へ入力される状態である。第4の状態は、第2の参照電圧Vref2が発振部30へ入力される状態である。第2の参照電圧Vref2は、第1の参照電圧Vref1より高い。切り替え部240は、制御スイッチ204を含む。

10

【0075】

制御スイッチ204は、第1の制御スイッチ（図示せず）、第3の制御スイッチ（図示せず）、及び第4の制御スイッチ（図示せず）を含む。第1の制御スイッチは、生成部20と発振部30との導通をオンオフする。第3の制御スイッチは、第1の参照電圧Vref1と発振部30との導通をオンオフする。第4の制御スイッチは、第2の参照電圧Vref2と発振部30との導通をオンオフする。これにより、切り替え部240は、第1の制御スイッチをオンさせ第3の制御スイッチ及び第4の制御スイッチをオフさせることにより第1の状態に切り替える。切り替え部240は、第1の制御スイッチをオフさせ第3の制御スイッチをオンさせ第4の制御スイッチをオフさせることにより第3の状態に切り替える。切り替え部240は、第1の制御スイッチ及び第3の制御スイッチをオフさせ第4の制御スイッチをオンさせることにより第4の状態に切り替える。

20

【0076】

補正部250は、周波数差の絶対値が目標値に等しくなるように、発振部30のゲインを補正する。ここで、周波数差は、切り替え部240により第3の状態に切り替えられた際における分周信号iclkの周波数と切り替え部240により第4の状態に切り替えられた際における分周信号iclkの周波数との差である。補正部250は、ゲイン補正回路210を含む。

【0077】

ゲイン補正回路210は、分周信号iclkを分周部60から受ける。ゲイン補正回路210は、外部から供給された基準信号rclkを受けない。

30

【0078】

ゲイン補正回路210は、第3の状態における分周信号iclkの周波数と第4の状態における分周信号iclkの周波数との周波数差の絶対値を目標値と比較することにより、発振部30のゲインを補正する。

【0079】

具体的には、ゲイン補正回路210は、周波数差の絶対値が目標値より少ない場合、発振部30のゲインが上がるように、発振部30のゲインを補正する。すなわち、ゲイン補正回路210は、発振部30の発振周波数foが基準値より低い（例えば、図5に示す（ $f_{l2} - f_{l1}$ ） < （ $f_{t2} - f_{t1}$ ））場合、発振部30のゲインが上がるように、発振部30のゲインを補正する。

40

【0080】

ゲイン補正回路210は、周波数差の絶対値が目標値より多い場合、発振部30のゲインが下がるように、発振部30のゲインを補正する。すなわち、ゲイン補正回路210は、発振部30の発振周波数foが基準値より高い（例えば、図5に示す（ $f_{h2} - f_{h1}$ ） > （ $f_{t2} - f_{t1}$ ））場合、発振部30のゲインが下がるように、発振部30のゲインを補正する。

【0081】

次に、ゲイン補正回路210によるゲイン補正動作を、図5を用いて説明する。図5は、本発明の第3実施形態における電圧制御発振器106の制御電圧Vcntに対する内部

50

信号 $o c l k$ の周波数 $f o$ のゲイン特性の一例を示す図である。

【0082】

図5は、電圧制御発振器106のゲインがTYP条件である場合に、制御電圧 $V c n t$ が第1の参照電圧 $V r e f 1$ に等しいときに発振周波数が $f t 1$ となることを示している。図5は、電圧制御発振器106のゲインがTYP条件である場合に、制御電圧 $V c n t$ が第2の参照電圧 $V r e f 2$ に等しいときに発振周波数が $f t 2$ となることを示している。この場合、周波数差の絶対値 $(f t 2 - f t 1)$ が、目標値になる。

【0083】

ここで、電源電圧変動や製造プロセスのばらつきにより、電圧制御発振器106のゲインが高いHIGH条件である場合には、電圧制御発振器106に第1の参照電圧 $V r e f 1$ が入力されると、発振周波数が基準値 $f t 1$ より高い $f h 1$ となる。電圧制御発振器106に第2の参照電圧 $V r e f 2$ が入力されると、発振周波数が基準値 $f t 2$ より高い $f h 2$ となる。この場合、周波数差の絶対値 $(f h 2 - f h 1)$ は、目標値 $(f t 2 - f t 1)$ より大きい。

10

【0084】

また、電圧制御発振器106のゲインが低い場合には、電圧制御発振器106に第1の参照電圧 $V r e f 1$ が入力されると、発振周波数が基準値 $f t 1$ より低い $f l 1$ となる。電圧制御発振器106に第2の参照電圧 $V r e f 2$ が入力されると、発振周波数が基準値 $f t 2$ より低い $f l 2$ となる。この場合、周波数差の絶対値 $(f l 2 - f l 1)$ は、目標値 $(f t 2 - f t 1)$ より小さい。

20

【0085】

また、本実施形態に係るPLL回路では、電圧制御発振器106のゲイン特性がTYP条件のゲイン特性になるよう補正するゲイン補正動作が、次の点で第1実施形態と異なる。

【0086】

電圧制御発振器106のゲインが基準値より高いHIGH条件である場合、上記のように、周波数差の絶対値 $(f h 2 - f h 1)$ は、目標値 $(f t 2 - f t 1)$ より大きくなる。このため、周波数差の絶対値は、ゲイン補正回路210により発振周波数を下げようとする動作が行われることにより、目標値 $(f t 2 - f t 1)$ より高い値から目標値 $(f t 2 - f t 1)$ に近づくように下げられる。

30

【0087】

一方、電圧制御発振器106のゲインが基準値より低いLOW条件である場合、上記のように、周波数差の絶対値 $(f h 2 - f h 1)$ は、目標値 $(f t 2 - f t 1)$ より小さくなる。このため、周波数差の絶対値は、ゲイン補正回路210により発振周波数を上げようとする動作が行われることにより、目標値 $(f t 2 - f t 1)$ より低い値から目標値 $(f t 2 - f t 1)$ に近づくように上げられる。

【0088】

このように、ゲイン補正回路210は、周波数差の絶対値と目標値とを比較して、両者の差分に応じて電圧制御発振器106のゲイン補正を行う。このゲイン補正動作を、周波数差の絶対値と目標値との差が無くなるまでゲイン補正回路210が行うことで、電圧制御発振器106のゲインをTYP時のものに合わせ込めることとなる。

40

【0089】

このゲイン補正動作を行った後、制御スイッチ204における第1の制御スイッチをオン状態、第3の制御スイッチ及び第4の制御スイッチをオフ状態とする。これにより、TYP時のゲインを有する電圧制御発振器106にて通常のPLL回路動作を行うことが可能となる。

【0090】

したがって、本実施形態によっても、PLL回路において、電圧制御発振器のゲインが、電源電圧、製造プロセスのばらつきにより変動した場合でも、ゲイン補正を行うことで所望のPLL応答特性を得ることができる。

50

【0091】

次に、本発明の第4実施形態に係るPLL回路200jを、図6を用いて説明する。図6は、本発明の第4実施形態に係るPLL回路200jの構成を示す図である。以下では、第2実施形態及び第3実施形態と異なる部分を中心に説明する。

【0092】

PLL回路100iは、発振部30i及び補正部250jを備える。

【0093】

補正部250iは、ゲイン補正回路110jを含む。ゲイン補正回路210jは、周波数差比較部217を含む。

【0094】

周波数差比較部217は、切り替え部240により第3の状態に切り替えられた際に、第3の状態における分周信号iclkを受けて保持する。周波数差比較部217は、切り替え部240により第4の状態に切り替えられた際に、第4の状態における分周信号iclkを受けて保持する。ゲイン補正回路210jは、第3の状態における分周信号iclkの周波数と第4の状態における分周信号iclkの周波数との周波数差の絶対値を求める。周波数差比較部217は、目標値に対して周波数差の絶対値が多い場合に負の符号を有する差分値を出力し、目標値に対して周波数差の絶対値が少ない場合に正の符号を有する差分値を出力する。すなわち、周波数差比較部217は、周波数差の絶対値と目標値とを比較し、比較結果に応じた差信号を出力する。

【0095】

具体的には、周波数差比較部217は、制御スイッチ220、第3のカウンタ212、第4のカウンタ211、及び減算器216を含む。

【0096】

制御スイッチ220は、分周回路107から出力された分周信号iclkを第3のカウンタ212に入力するか第4のカウンタ211に入力するかを切り替える。

【0097】

具体的には、制御スイッチ220は、第5の制御スイッチ（図示せず）及び第6の制御スイッチ（図示せず）を含む。第5の制御スイッチは、分周回路107と第3のカウンタ212との導通をオンオフする。第6の制御スイッチは、分周回路107と第4のカウンタ211との導通をオンオフする。

【0098】

制御スイッチ220は、切り替え部240により第3の状態に切り替えられた際に、第5の制御スイッチをオンし、第6の制御スイッチをオフする。これにより、制御スイッチ220は、切り替え部240により第3の状態に切り替えられた際における分周信号iclkが第3のカウンタ212へ入力されるようにする。

【0099】

制御スイッチ220は、切り替え部240により第4の状態に切り替えられた際に、第5の制御スイッチをオフし、第6の制御スイッチをオンする。これにより、制御スイッチ220は、切り替え部240により第4の状態に切り替えられた際における分周信号iclkが第4のカウンタ211へ入力されるようにする。

【0100】

第3のカウンタ212は、切り替え部240により第3の状態に切り替えられた際に、分周回路107から制御スイッチ220経由で分周信号iclkを受ける。第3のカウンタ212は、切り替え部240により第3の状態に切り替えられた際における分周信号iclkのクロック数をカウントする。これにより、第3のカウンタ212は、切り替え部240により第3の状態に切り替えられた際における分周信号iclkの周波数を計る。第3のカウンタ212は、例えばタイマ回路などによって設定された一定時間だけ、入力信号をカウントするように構成されている。

【0101】

第4のカウンタ211は、切り替え部240により第4の状態に切り替えられた際に、

10

20

30

40

50

分周回路107から制御スイッチ220経由で分周信号iclkを受ける。第4のカウンタ211は、切り替え部240により第4の状態に切り替えられた際における分周信号iclkのクロック数をカウントする。これにより、第4のカウンタ211は、切り替え部240により第4の状態に切り替えられた際における分周信号iclkの周波数を計る。第4のカウンタ211は、例えばタイマ回路などによって設定された一定時間だけ、入力信号をカウントするように構成されている。

【0102】

減算器216は、第3のカウンタ212のカウント値を第3のカウンタ212から受け、第4のカウンタ211のカウント値を第4のカウンタ211から受ける。減算器216は、第4のカウンタ211のカウント値から第3のカウンタ212のカウント値を減算するとともに減算した結果から目標値をさらに減算することにより、差信号を生成して出力する。例えば、減算器216は、目標値に対して周波数差の絶対値が多い場合に負の符号を有する差分値を差信号として出力する。減算器216は、目標値に対して周波数差の絶対値が小さい場合に正の符号を有する差分値を差信号として出力する。

10

【0103】

これにより、アップダウンカウンタ（制御値保持部）113は、周波数差の絶対値が目標値より小さいことが差信号により示されている場合、保持しているデジタル制御値をカウントアップして、カウントアップされたデジタル制御値を保持する。アップダウンカウンタ113は、周波数差の絶対値が目標値より大きいことが差信号により示されている場合、保持しているデジタル制御値をカウントダウンして、カウントダウンされたデジタル制御値を保持する。

20

【0104】

その後、D/A変換器114は、アップダウンカウンタ113に保持されたデジタル制御値をD/A変換して、ゲイン補正用のMOSトランジスタ115のgm値を制御する。アップダウンカウンタ113に保持されたデジタル制御値が、初期値からカウントアップされた値である場合には、ゲイン補正用MOSトランジスタ115のgm値が大きくなる。これにより、電圧制御発振器106のゲインが大きくなる。また、アップカウンタ113に保持されたデジタル制御値が、初期値からカウントダウンされた値である場合には、ゲイン補正用MOSトランジスタ115のgm値が小さくなる。これにより、電圧制御発振器106のゲインが小さくなる。

30

【0105】

なお、上記実施形態の説明においては、カウント値の演算結果に基づくゲイン補正動作を1回のみ行う場合の説明を行っている。しかしながら、アップダウンカウンタから出力されたデジタル制御値をD/A変換すると同時に、各カウント値をリセットして、再度カウントを始め、その結果に基づいて再度ゲイン補正するという動作を繰り返してゲイン補正してもよい。

【0106】

また、上記実施形態の説明においては、電圧制御発振器106を構成するリングオシレータのインバータ駆動電流を制御することによりゲイン補正を行っている。しかしながら、カウント値の演算結果に基づいて、例えば、リングオシレータ回路の電源電圧を制御することによりゲイン補正を行うなど、いかなるゲイン補正方法であってもよい。

40

【0107】

また、上記実施形態の説明においては、電圧制御発振器はリングオシレータにて構成しているが、電圧制御発振器はどのような回路構成であってもよい。

【0108】

また、上記実施形態の説明においては、各カウンタ値を減算して、その値によりアップダウンカウンタを動作させ、その値をD/A変換器にてアナログ電圧に変換して、この電圧に基づいてゲイン補正を行っている。しかしながら、必ずしもこの構成である必要はない。例えば、各カウンタ値をそれぞれD/A変換器にてアナログ電圧に変換して、これらのアナログ電圧をオペアンプに入力して、その内部信号に基づいてゲイン補正を行っても

50

よい。

【0109】

また、上記実施形態の説明においては、電圧制御発振器からの内部信号を分周回路で分周してから、位相比較器及びゲイン補正回路に入力している。しかしながら、分周回路が無く、電圧制御発振器からの内部信号を位相比較器及びゲイン補正回路に入力してもよい。また、位相比較器には分周回路により分周した信号を入力して、ゲイン補正回路には電圧制御発振器からの内部信号を入力してもよい。また、位相比較器には電圧制御発振器からの内部信号を入力して、ゲイン補正回路には分周回路により分周した信号を入力してもよい。

【0110】

また、上記実施形態の説明においては、ゲイン補正動作時と通常のPLL回路動作時には、基準信号 $rc\ l\ k$ は同一の信号としている。しかしながら、ゲイン補正動作時には、基準信号が変動しないように、例えば、水晶振動子の発振周波数を入力して補正を行い、通常のPLL回路動作時には、ロックすべき基準信号を入力するなど、基準信号 $rc\ l\ k$ を動作状態に合わせて切り替えてもよい。

【0111】

また、上記実施形態の説明においては、ゲイン補正回路は2つのカウンタを備え、2つの基準電圧を電圧制御発振器に入力したときのカウンタ動作を互いに異なるカウンタを用いて行っている。しかしながら、カウンタを1つにしてもよい。その場合には、カウンタのカウント値を保持する保持手段を設けることが考えられる。この時の動作としては、まず、第1の参照電圧 $V\ r\ e\ f\ 1$ を電圧制御発振器に入力した時のある期間におけるカウント値を保持手段に保持させる。その後、カウンタをリセットしてから第2の参照電圧 $V\ r\ e\ f\ 2$ を電圧制御発振器に入力して、第1の参照電圧 $V\ r\ e\ f\ 1$ を入力したとき同じ期間の長さだけカウンタ動作を行う。そして、保持手段に保持されたカウント値と、カウンタから出力されるカウント値との差信号を減算器によって得る。なお、第2の参照電圧 $V\ r\ e\ f\ 2$ を入力したときのカウント値は、直接減算器に入力せずに、別の保持手段に保持させてから、この保持手段から減算器に入力させても良い。

【0112】

また、上記実施形態の説明においては、ゲイン補正回路は2つのカウント値を減算器に入力しているが、減算器に替えて比較器を用いる構成でもよい。この場合、アップダウンカウンタは、比較器から出力される2つのカウント値の大小を示す信号に応じて1カウントだけカウントアップまたはカウントダウンし、電圧制御発振器のゲインを変化させる。その後、カウント値がリセットされてから再びカウンタ動作を行い、比較器から出力される信号に応じて電圧制御発振器のゲインを変化させるという動作を繰り返す。

【図面の簡単な説明】

【0113】

【図1】本発明の第1実施形態に係るPLL回路100の構成を示す図。

【図2】本発明の第1実施形態における電圧制御発振器106の制御電圧 $V\ c\ n\ t$ に対する内部信号 $o\ c\ l\ k$ の周波数 $f\ o$ のゲイン特性の一例を示す図。

【図3】本発明の第2実施形態に係るPLL回路100iの構成を示す図。

【図4】本発明の第3実施形態に係るPLL回路200の構成を示す図。

【図5】本発明の第3実施形態における電圧制御発振器106の制御電圧 $V\ c\ n\ t$ に対する内部信号 $o\ c\ l\ k$ の周波数 $f\ o$ のゲイン特性の一例を示す図。

【図6】本発明の第4実施形態に係るPLL回路200jの構成を示す図。

【符号の説明】

【0114】

100、100i、200、200j PLL回路

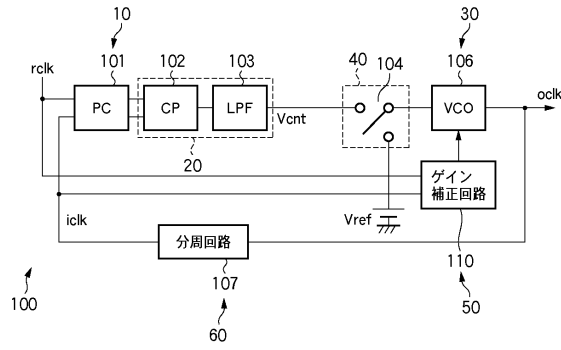
10

20

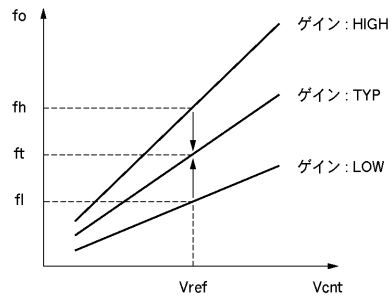
30

40

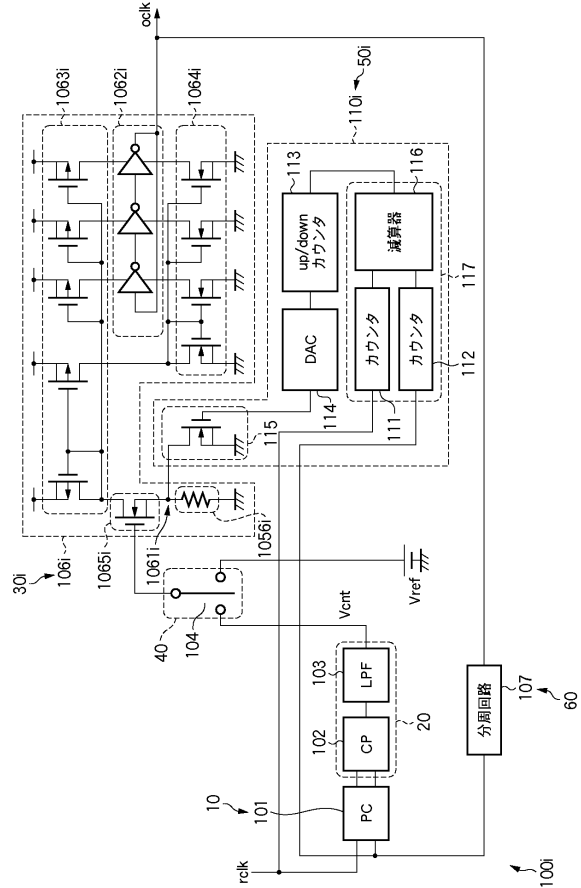
【図 1】



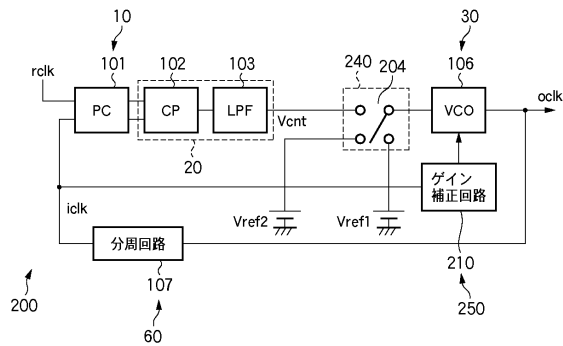
【図 2】



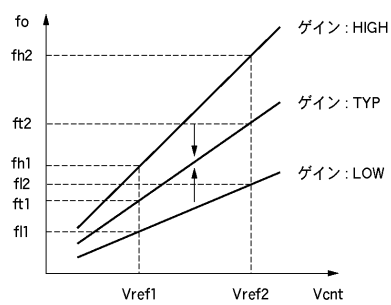
【図 3】



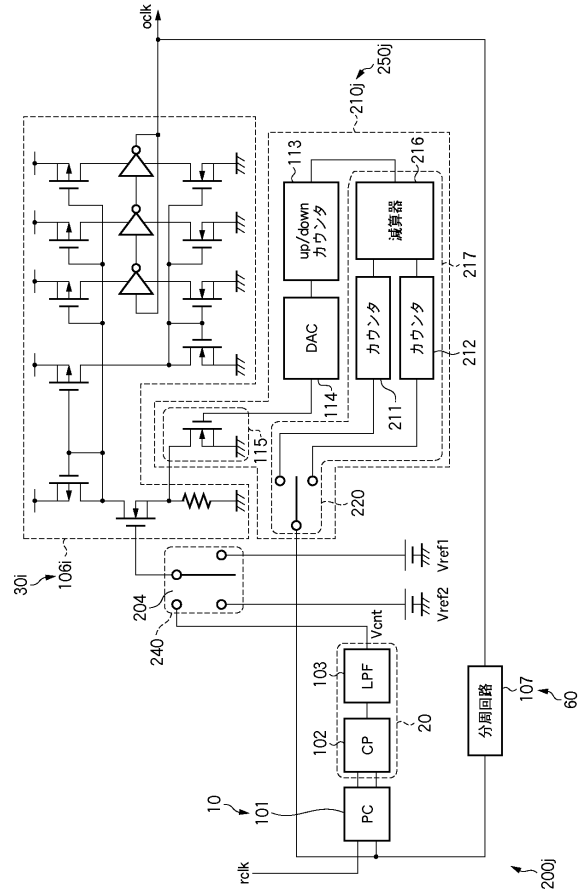
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 山崎 善一
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 畑中 博幸

(56)参考文献 特開2008-124687 (JP, A)
特開2004-112299 (JP, A)
特開2001-292051 (JP, A)
特開平11-261350 (JP, A)
特開昭59-132214 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H03L 7/099
H03L 7/08
H03L 7/093
H03L 7/107