

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 12 日 (12.03.2020)



(10) 国际公布号
WO 2020/047722 A1

(51) 国际专利分类号:
H03K 19/0175 (2006.01) **H03K 19/0185** (2006.01)

(21) 国际申请号: PCT/CN2018/103841

(22) 国际申请日: 2018 年 9 月 3 日 (03.09.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市汇顶科技股份有限公司 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(72) 发明人: 杨博新(YANG, Boxin); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。 张孟文(ZHANG, Mengwen); 中国

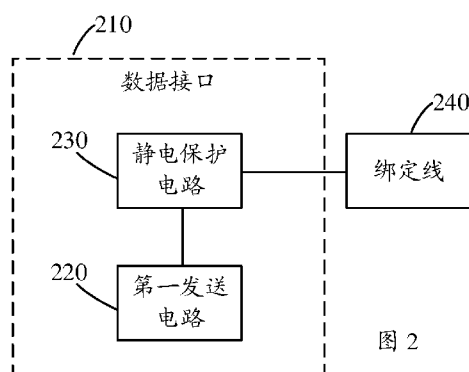
广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。 易律凡(YI, Lvfan); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。 詹昶(ZHAN, Chang); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: DATA INTERFACE, CHIP AND CHIP SYSTEM

(54) 发明名称: 数据接口、芯片和芯片系统



210 Data interface
220 First sending circuit
230 Electrostatic protection circuit
240 Bonding wire

图 2

(57) Abstract: Provided are a data interface, a chip and a chip system, which are capable of reducing costs. With regard to the data interface, the data interface is applied to a sending end or half-duplex communication, and the data interface comprises: a first sending circuit, wherein the first sending circuit is used for receiving an input signal, and outputting, according to the input signal, a first current to a first receiving circuit of an opposite end interface connected to the data interface, or receiving the first current from the first receiving circuit of the opposite end interface according to the input signal in order to generate a first voltage signal corresponding to the input signal at the opposite end interface. The data interface, the chip and the chip system provided in the embodiments of the present application use a current as a carrier for transmitting a signal, and perform data transmission by means of single-ended output, such that the costs of the data interface can be effectively reduced.

(57) 摘要: 提供了一种数据接口、芯片和芯片系统, 能够降低成本。所述数据接口, 所述数据接口应用于发送端或者半双工通信, 所述数据接口包括: 第一发送电路; 所述第一发送电路用于接收输入信号, 并根据所述输入信号向与所述数据接口相连的对端接口的第一接收电路输出第一电流, 或者根据所述输入信号从所述对端接口的所述第一接收电路接收第一电流, 以在对端接口产生与所述输入信号对应的第一电压信号。本申请实施例提供的数据接口、芯片和芯片系统, 采用电流作为传输信号的载体, 并通过单端输出的方式进行数据传输, 能够有效降低数据接口的成本。

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权申请并被授予专利 (细则4.17(ii))

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

数据接口、芯片和芯片系统

技术领域

5 本申请实施例涉及电子技术领域，并且更具体地，涉及数据接口、芯片和芯片系统。

背景技术

在多芯片，比如多个微控制单元（Microcontroller Unit，MCU）的封装中，多个芯片之间不可避免的需要数据通信。

10 多个芯片之间进行数据通信时，可以将电流、电压或者电荷作为传输信号的载体。以电流作为传输信号的载体为例，芯片之间通常采用回路电路的方式进行数据传输。

但是，采用回路传输的方式进行数据传输通常需要两组引脚，增加了互联成本和制造成本。

15 因此，如何降低数据接口的成本是本领域中一项急需解决的问题。

发明内容

提供了一种数据接口、芯片和芯片系统，能够降低成本。

20 第一方面，提供了一种数据接口，所述数据接口应用于发送端或者半双工通信，所述数据接口包括：

第一发送电路；

所述第一发送电路用于接收输入信号，并根据所述输入信号向与所述数据接口相连的对端接口的第一接收电路输出第一电流，或者根据所述输入信号从所述对端接口的所述第一接收电路接收第一电流，以在对端接口产生与
25 所述输入信号对应的第一电压信号。

在一些可能的实现方式中，所述第一发送电路包括：

第一 MOS 管和电流控制电路；

所述电流控制电路受控于所述输入信号，以控制所述第一 MOS 管的源极输出或接收所述第一电流。

30 在一些可能的实现方式中，所述第一发送电路进一步包括：

第一偏置电路，所述第一偏置电路通过所述电流控制电路连接至所述第

一 MOS 管, 所述第一偏置电路用于为所述电流控制电路提供偏置电流。

在一些可能的实现方式中, 所述电流控制电路包括:

第一开关和第二开关;

5 所述第一开关的一端用于接收电源电压, 所述第一开关的另一端通过所述第一 MOS 管连接至所述第二开关的一端, 所述第二开关的另一端连接至地。

在一些可能的实现方式中, 所述电流控制电路还包括:

第二 MOS 管、第三 MOS 管和第一电阻;

10 所述第二 MOS 管的源极用于接收所述电源电压, 所述第二 MOS 管的漏极通过所述第三 MOS 管连接至所述第一电阻的一端, 所述第一电阻的另一端连接至地, 所述第三 MOS 管的栅极与所述第一 MOS 管的栅极相连。

在一些可能的实现方式中, 所述第一偏置电路包括:

第四 MOS 管和第一电流源;

15 所述第四 MOS 管的源极用于接收电源电压, 所述第四 MOS 管的栅极与所述第四 MOS 管的漏极相连, 所述第四 MOS 管的漏极通过所述第一电流源连接至地, 所述第四 MOS 管的栅极与所述第二 MOS 管的栅极相连。

在一些可能的实现方式中, 所述数据接口还包括:

静电保护电路, 所述第一发送电路通过所述静电保护电路连接至绑定线的一端, 所述绑定线的另一端用于连接所述第一接收电路。

20 在一些可能的实现方式中, 所述数据接口应用于半双工通信, 所述数据接口还包括:

第二接收电路;

所述第二接收电路通过所述静电保护电路连接至所述绑定线的一端, 所述绑定线的另一端用于连接所述对端接口的第二发送电路;

25 所述第二接收电路用于通过所述绑定线和所述静电保护电路从所述第二发送电路接收第二电流或向所述第二发送电路输出第二电流, 并根据所述第二电流生成第二电压信号。

在一些可能的实现方式中, 所述数据接口还包括:

第三开关和第四开关;

30 所述第一发送电路通过所述第三开关连接至所述静电保护电路, 所述第二接收电路通过所述第四开关连接至所述静电保护电路。

在一些可能的实现方式中，所述第二接收电路包括：

电压比较电路和第二偏置电路；

所述第二偏置电路用于为所述电压比较电路提供偏置电流，所述电压比较电路用于接收或输出所述第二电流，并根据所述第二电流生成所述第二电压信号。

在一些可能的实现方式中，所述电压比较电路包括：

第五 MOS 管、第六 MOS 管、第七 MOS 管、第八 MOS 管和第二电阻；

所述第五 MOS 管的源极用于接收电源电压，所述第五 MOS 管的漏极与所述第六 MOS 管的漏极连接，所述第六 MOS 管的源极用于接收或者输出所述第二电流，所述第七 MOS 管的源极用于接收电源电压，所述第七 MOS 管的漏极与所述第八 MOS 管的漏极相连，所述第八 MOS 管的源极通过所述第二电阻连接至地，所述第五 MOS 管的栅极与所述第七 MOS 管的栅极连接，所述第六 MOS 管的栅极连接至所述第八 MOS 管的栅极，所述第八 MOS 管的漏极与所述第八 MOS 管的栅极相连。

在一些可能的实现方式中，所述电压比较电路还包括：

第一反相器和第二反相器；

所述第六 MOS 管的漏极通过所述第一反相器连接至所述第二反相器。

在一些可能的实现方式中，所述电压比较电路还包括：

第三电阻；

所述第六 MOS 管的源极通过所述第三电阻连接至地。

在一些可能的实现方式中，所述电压比较电路还包括：

第四电阻和第五开关；

所述第八 MOS 管的源极与所述第三电阻的一端相连，所述第三电阻的另一端通过所述第四电阻连接至地，所述第四电阻的一端通过所述第五开关连接至所述第四电阻的另一端，所述第一反相器输出的信号用于控制所述第五开关的导通或者断开。

在一些可能的实现方式中，所述电压比较电路还包括：

第六开关；

所述第六开关的一端用于接收电源电压，所述第六开关的另一端与所述第五 MOS 管的栅极相连。

在一些可能的实现方式中，所述第二偏置电路包括：

第九 MOS 管和第二电流源;

所述第九 MOS 管的源极用于接收电源电压, 所述第九 MOS 管的栅极与所述第五 MOS 管的栅极相连, 所述第九 MOS 管的漏极通过所述第二电流源连接至地。

5 第二方面, 提供了一种数据接口, 所述数据接口应用于接收端, 所述数据接口包括:

第二接收电路;

所述第二接收电路用于从与所述数据接口相连的对端接口的第二发送电路接收第二电流, 或者向所述对端接口的所述第二发送电路输出第二电
10 流, 并根据所述第二电流生成第二电压信号。

在一些可能的实现方式中, 所述数据接口还包括:

静电保护电路;

所述第二接收电路通过所述静电保护电路连接至绑定线的一端, 所述绑定线的另一端用于连接所述第二发送电路。

15 在一些可能的实现方式中, 所述第二接收电路包括:

电压比较电路和第二偏置电路;

所述第二偏置电路用于为所述电压比较电路提供偏置电流, 所述电压比较电路用于接收或输出所述第二电流, 并根据所述第二电流生成所述第二电压信号。

20 在一些可能的实现方式中, 所述电压比较电路包括:

第五 MOS 管、第六 MOS 管、第七 MOS 管、第八 MOS 管和第二电阻;

所述第五 MOS 管的源极用于接收电源电压, 所述第五 MOS 管的漏极与所述第六 MOS 管的漏极连接, 所述第六 MOS 管的源极用于接收或者输出所述第二电流, 所述第七 MOS 管的源极用于接收电源电压, 所述第七
25 MOS 管的漏极与所述第八 MOS 管的漏极相连, 所述第八 MOS 管的源极通过所述第二电阻连接至地, 所述第五 MOS 管的栅极与所述第七 MOS 管的栅极连接, 所述第六 MOS 管的栅极连接至所述第八 MOS 管的栅极, 所述第八 MOS 管的漏极与所述第八 MOS 管的栅极相连。

在一些可能的实现方式中, 所述电压比较电路还包括:

30 第一反相器和第二反相器;

所述第六 MOS 管的漏极通过所述第一反相器连接至所述第二反相器。

在一些可能的实现方式中，所述电压比较电路还包括：

第三电阻；

所述第六 MOS 管的源极第三电阻通过所述第三电阻连接至地。

在一些可能的实现方式中，所述电压比较电路还包括：

5 第四电阻和第五开关；

所述第八 MOS 管的源极与所述第二电阻的一端相连，所述第二电阻的另一端通过所述第四电阻连接至地，所述第二电阻的一端通过所述第五开关连接至所述第二电阻的另一端，所述第一反相器输出的信号用于控制所述第五开关的导通或者断开。

10 在一些可能的实现方式中，所述电压比较电路还包括：

第六开关；

所述第六开关的一端用于接收电源电压，所述第六开关的另一端与所述第五 MOS 管的栅极相连。

在一些可能的实现方式中，所述第二偏置电路包括：

15 第九 MOS 管和第二电流源；

所述第九 MOS 管的源极用于接收电源电压，所述第九 MOS 管的栅极与所述第五 MOS 管的栅极相连，所述第九 MOS 管的漏极通过所述第二电流源连接至地。

第三方面，提供了一种芯片，包括：

20 第一方面及第一方面中任一可能实现方式中的所述的数据接口，和/或，第二方面及第二方面中任一可能实现方式中所述的数据接口。

第四方面，提供了一种芯片系统，包括：

多个芯片，所述多个芯片中的芯片和第二芯片之间采用以下至少一种数据接口连接：

25 第一方面及第一方面中任一可能实现方式中的所述的数据接口，和/或，第二方面及第二方面中任一可能实现方式中所述的数据接口。

本申请实施例提供的的数据接口、芯片和芯片系统，采用电流作为传输信号的载体，并通过单端输出的方式进行数据传输，避免了采用回路的电路设计进行数据传输，能够有效降低数据接口的成本。

30 所述数据接口作为发射端时，将 MOS 管的源端作为所述数据接口的第一发送电路的输出端，能够在传输信号建立过程中为所述传输信号提供较大

的摆率，进而能够提高传输信号的建立速度，进而实现数据的高速传输。

所述数据接口作为接收端时，一方面，通过调整所述数据接口中电压比较电路的翻转阈值电平，能够有效降低信号量的传输电平，进而降低所述数据接口的功耗。另一方面，所述电压比较电路中采用共栅放大电路能够有效提高所述电压信号的建立速度，进而实现数据的高速传输。

附图说明

图 1 是本发明实施例的芯片系统的示意图。

图 2 是本申请实施例的数据接口作为发射端的示意性框图。

10 图 3 是图 2 所示的第一发送电路的电路图的示例。

图 4 是图 2 所示的第一发送电路的电路图的另一示例。

图 5 是本申请实施例的数据接口作为接收端的示意性框图。

图 6 是图 5 所示的第二接收电路的电路图的示例。

图 7 是图 5 所示的第二接收电路的电路图的另一示例。

15 图 8 是图 5 所示的第二接收电路的电路图的另一示例。

图 9 是本申请实施例的芯片系统的电路图的示例。

具体实施方式

下面将结合附图，对本发明实施例中的技术方案进行描述。应理解，本
20 发明实施例的数据接口、芯片和芯片系统适用于任何需要数据通信的场合，尤其适用于高速低功耗通信互联的场合。其中，数据接口尤其适用于芯片之间的数据通信。例如，芯片系统的内部芯片之间的数据通信。

本发明实施例中，考虑到多芯片间通信信道不对外可见，且基于电路回路进行数据传输时，每个芯片均需要设置多个引脚，成本过高。

25 为了解决上述问题，本发明实施例中提供了一种新的数据接口，所述数据接口采用电流作为传输信号的载体，并通过单端输出的方式进行数据传输，能够有效降低数据接口的成本。

图 1 是本发明实施例的芯片系统 100 的示意性框图。

如图 1 所示，所述芯片系统 100 可以包括：

30 数据接口 110、绑定线 120 和数据接口 130。其中，为便于理解，数据接口 110 可视为本端数据接口，数据接口 130 可视为对端数据接口，本端与

对端是相互通信的两端，在多芯片系统中可视为两个相互连通的芯片。

所述数据接口 110 可以包括：

发送电路 111、开关 112、静电保护电路 113、开关 114 和接收电路 115。

其中，所述发送电路 111 通过所述开关 112 连接至所述静电保护电路 113 的一端，所述静电保护电路 113 的另一端通过所述绑定线 120 连接至所述数据接口 130，所述静电保护电路 113 还通过所述开关 114 连接至所述接收电路 115。

相应的，所述数据接口 130 可以包括：

接收电路 131、开关 132、静电保护电路 133、开关 134 以及发送电路 135。其中，所述发送电路 135 通过所述开关 134 连接至所述静电保护电路 133 的一端，所述静电保护电路 133 的另一端通过所述绑定线 120 连接至所述数据接口 110，所述静电保护电路 133 还通过所述开关 132 连接至所述接收电路 131。

换句话说，所述数据接口 110 和所述数据接口 130 都可以包括一套功能相同的接收电路和发送电路，使得所述数据接口 110 和所述数据接口 130 能够实现半双工通信功能。

具体地，所述数据接口 110 可以通过所述开关 112 和所述开关 114 实现所述发送电路 111 和所述接收电路 115 之间的工作切换，所述数据接口 130 可以通过所述开关 132 和所述开关 134 实现所述接收电路 131 和所述发送电路 135 之间的工作切换。

可选地，在本申请的一个实施例中，当控制信号 $en1=0$ 且 $en2=1$ 时，开关 112、132 闭合，开关 114、134 断开，发送电路 111 与接收电路 131 形成发射-接收通路，所述数据接口 110 可以作为发射端，所述数据接口 130 作为接收端。当控制信号 $en1=1$ 且 $en2=0$ 时，所述数据接口 110 可以作为接收端，所述数据接口 130 作为发射端。

应当理解，虽然，所述数据接口 110 和数据接口 130 都可以包括一套功能相同的接收电路和发送电路，但是，其接收电路和发送电路的具体实现电路和/或使用工艺可以不同。

在图 1 所示的芯片系统中，所述静电保护电路 113 和所述静电保护电路 133 均可以用于防止静电对器件的破坏。本申请实施例对静电保护电路的具体实现方式不做限定。例如，在一些实施例中，所述静电保护电路 113 或者

所述静电保护电路 133 可集成设置在焊盘 (PAD) 上, 也可以与 PAD 分离设置。

可选地, 在本申请的一个实施例中, 所述静电保护电路 113 和/或所述静电保护电路 133 只需要满足充电器件模型 (Charged Device Model, CDM) 的需求。

本申请实施例中, 由于多芯片系统内的多个芯片一般会整合成一个整体, 比如进行一个整体封装, 假设系统内的芯片 A 使用数据接口 110, 而系统内芯片 B 使用数据接口 130, 所述数据接口 110 和数据接口 130 之间的通信信道并不是暴露在整个芯片系统 100 的外部, 因此, 在保证满足 CDM 的需求的基础上, 尽可能的简化所述静电保护电路 113 和/或所述静电保护电路 133 的电路结构, 能够有效降低寄生电容。

应理解, 所述数据接口 110 或所述数据接口 130 中的接收电路和发送电路可以如图 1 所示共用一个静电保护电路, 也可以分别对应一个静电保护电路。本申请实施例对此不做具体限定。

在图 1 所示的芯片系统中, 绑定线 120 为芯片之间用于互连的连接线。

这里需要指出的是, 图 1 所示的芯片系统 100 仅为示例, 但本身实施例不限于此。

例如, 在其它可替代实施例中, 所述数据接口 110 或所述数据接口 130 可以仅用于单工通信。

这种情况下, 图 1 所示的四个开关和部分器件为可选器件。例如, 以所述数据接口 110 为例, 所述数据接口 110 可以仅包括发送电路 111 和静电保护电路 113, 或者, 所述数据接口 110 可以仅包括接收电路 115 和静电保护电路 113。

又例如, 所述数据接口 110 和/或所述数据接口 130 用于半双工通信时, 图 1 所示的四个开关并非一定是真实的物理开关。例如, 在其他可替代实施例中, 可以通过复用发送电路和/或接收电路中的信号, 实现发送电路和接收电路之间的切换。

图 2 是本申请实施例的数据接口 210 的示意性框图。

如图 2 所示, 所述数据接口 210 可以包括:

第一发送电路 220, 所述第一发送电路 220 用于接收输入信号, 并根据所述输入信号向第一接收电路输出第一电流或者从所述第一接收电路接收

第一电流，第一接收电路根据所述第一电流生成第一电压信号。

具体地，所述第一发送电路 220 用于接收输入信号，并根据所述输入信号向与所述数据接口相连的对端接口的第一接收电路输出第一电流，或者根据所述输入信号从所述对端接口的所述第一接收电路接收第一电流，以在对端接口产生与所述输入信号对应的第一电压信号。

其中，所述输入信号可以是所述数据接口 210 所在芯片的功能模块产生的信号，也可以是与所述数据接口 210 相连的功能模块产生的信号。

所述第一接收电路可以是与所述数据接口 210 相连的对端数据接口中的接收电路。例如，图 2 所示的数据接口 210 为图 1 所示的数据接口 110 时，所述第一发送电路 220 可以为图 1 所示的发送电路 111，所述第一接收电路可以为图 1 所述的数据接口 130 中的接收电路 131。

本申请实施例中，所述输入信号用于控制所述第一发送电路 220 向所述第一接收电路输出所述第一电流，或者所述输入信号用于控制所述第一发送电路 220 接收所述第一接收电路输出的所述第一电流。换句话说，所述输入信号用于控制所述第一发送电路 220 向第一接收电路灌入所述第一电流，或者所述输入信号用于控制所述第一发送电路 220 从所述第一接收电路抽取所述第一电流。也就是说，本申请实施例中的所述第一发送电路 220 可以通过向所述第一接收电路灌入所述第一电流，或者从所述第一接收电路抽取所述第一电流值的方式，控制所述第一接收电路的电流值，进而使得所述第一接收电路生成所述第一电压信号。

可选地，如图 2 所示，所述数据接口 210 还可以包括：

静电保护电路 230，所述第一发送电路 220 与所述静电保护电路 230 的一端相连，所述静电保护电路 230 的另一端用于连接所述第一接收电路。

可选地，在本申请的一个实施例中，所述数据接口 210 用于半双工通信。

例如，所述数据接口 210 可以是如图 1 所示的数据接口 110，所述第一发送电路 220 可以是图 1 所示的发送电路 111，所述静电保护电路 230 可以是图 1 所示的静电保护电路 113，所述第一接收电路可以是图 1 所示的接收电路 131，绑定线 240 可以是图 1 所示的绑定线 120。

又例如，所述数据接口 210 也可以是如图 1 所示的数据接口 130，相应的，所述第一发送电路可以为如图 1 所示的发送电路 135，所述静电保护电路 230 可以是如图 1 所示的静电保护电路 133，所述第一接收电路可以是图

1 所示的接收电路 113。但本申请实施例不限于此。

可选地，在本申请的一个实施例中，所述数据接口 310 也可以用于单工通信。

5 本申请实施例中，所述数据接口 210 以所述第一电流作为传输信号的载体，并且通过所述绑定线 240 以单端输出的方式向所述第一接收电路输出或者接收所述第一电流，不仅能够实现数据传输，而且能够有效降低数据接口的成本。

应当理解，图 1 所示的数据接口 210 仅包括第一发送电路 220 和静电保护电路 230 的示例。但本申请实施例不限于此。

10 例如，在其它可替代实施例中，所述数据接口 210 还可以包括信号接收转换电路，所述信号接收转换电路用于接收与所述数据接口 210 相连的处理器器的数字信号，并将所述数字信号转换为所述输入信号。

又例如，在其他可替代实施例中，所述数据接口 210 也可以不包括所述静电保护电路 230。

15 下面结合图 3 和图 4 对本申请实施例的第一发送电路 220 进行说明。

图 3 是图 2 所示的第一发送电路 220 的电路设计的示例。

如图 3 所示，所述第一发送电路 220 可以包括：

20 第一金属氧化物半导体（Metal-Oxide-Semiconductor, MOS）场效应晶体管（Field-Effect Transistor, FET）208 和电流控制电路 212。其中，所述电流控制电路 212 受控于所述输入信号，以控制所述第一 MOS 管 208 的源极输出或接收所述第一电流。换句话说，所述电流控制电路 212 用于接收所述输入信号 V_{in} ，并根据所述输入信号 V_{in} 控制所述第一 MOS 管 208 的源极输出或接收所述第一电流。

可选地，如图 3 所示，所述第一发送电路 220 还可以包括：

25 第一偏置电路 211。

具体地，所述第一偏置电路 211 通过所述电流控制电路 212 连接至第一 MOS 管 208，所述第一偏置电路 211 用于为所述电流控制电路 212 提供偏置电流。

30 可选地，在本申请的一个实施例中，所述输入信号为高电平时，所述电流控制电路 212 用于控制所述第一 MOS 管 208 的源极输出所述第一电流 I_{out} ，所述输入信号为低电平时，所述电流控制电路 212 用于控制所述第一

MOS 管 208 的源极接收与所述数据接口 210 相连的对端数据接口输出的所述第一电流 I_{out} 。

可选地，如图 3 所示，所述电流控制电路 212 可以包括：

第一开关 205 和第二开关 207。

5 具体地，所述第一开关 205 的一端用于接收电源电压，所述第一开关 205 的另一端通过所述第一 MOS 管 208 连接至所述第二开关 207 的一端，所述第二开关 207 的另一端连接至地。所述输入信号用于控制所述第一开关 205 和所述第二开关 207 的导通或断开，所述第一 MOS 管 208 的源极为所述电
10 流控制电路 212 的输出端。换句话说，本申请实施例中，所述控制信号控制所述第一开关 205 导通且所述第二开关 207 断开时，所述第一 MOS 管 208 的源极向所述第一接收电路输出所述第一电流。所述控制信号控制所述第一开关 205 断开且所述第二开关 207 导通时，所述第一 MOS 管 208 的源极从所述第一接收电路接收所述第一电流。

例如，所述第一 MOS 管 208 的栅极可以和所述第一偏置电路 211 相连，
15 所述第一偏置电路用于为所述第一 MOS 管 208 提供偏置电流。

这种情况下，通过控制所述电流控制电路 212 中的所述第一开关 205 和所述第二开关 207 的导通或者关断，可以控制所述第一 MOS 管 208 的源极向与所述数据接口 210 相连的对端数据接口输出所述第一电流，或者控制所述第一 MOS 管 208 的源极接收与所述数据接口 210 相连的对端数据接口输出
20 的所述第一电流。

本申请实施例中，通过所述第一开关 205 和所述第二开关 207 控制所述第一 MOS 管 208 的源极输出或接收所述第一电流，避免了所述数据接口 210 和对端数据接口采用回路的电路设计进行数据传输，使得数据接口 210 的输出端为单端，能够有效降低数据接口的成本。

25 下面以图 3 所示的电流控制电路 212 为例，对本申请实施例中将所述第一 MOS 管 208 的源极作为所述第一发送电路 220 的输出端，能够在传输信号的建立过程中为所述传输信号提供较大的摆率进行详细说明。

可选地，如图 3 所示，所述电流控制电路 212 还可以包括：

第二 MOS 管 202、第三 MOS 管 203 和第一电阻 206。

30 具体地，所述第二 MOS 管 202 的源极用于接收电源电压，所述第二 MOS 管 202 的漏极通过所述第三 MOS 管 203 连接至所述第一电阻 206 的一

端, 所述第一电阻 206 的另一端连接至地, 所述第三 MOS 管 203 的栅极与
所述第一 MOS 管 208 的栅极相连。

本申请实施例中, 当所述第一开关 205 导通且所述第二开关 207 断开时
所述第一 MOS 管 208 源极的电压从 0 开始增加, 这种情况下, 所述第一
5 MOS 管 208 的源极的电流和所述第三 MOS 管 203 的源极的电流之间的比值为:

$$\frac{I_{OUT}}{I_3} = \frac{(W/L)_4}{(W/L)_3} \times \frac{(V_{GS4} - V_{TH})^2}{(V_{GS3} - V_{TH})^2} \quad (1)。$$

其中, 所述 I_{OUT} 表示所述第一 MOS 管 208 的源极的电流, 所述 I_3 表示
所述第三 MOS 管 203 的源极的电流, 所述 $(W/L)_4$ 表示所述第一 MOS 管 208
10 的宽长比, 所述 $(W/L)_3$ 表示所述第三 MOS 管 203 的宽长比, 所述 V_{GS4} 表示
所述第一 MOS 管 208 的栅极和源极之间的电压, 所述 V_{GS3} 表示所述第三 MOS
管 203 的栅极和源极之间的电压, 所述 V_{TH} 表示阈值电压, 所述阈值电压又
称开启电压。例如, 所述 V_{TH} 可以表示所述第一 MOS 管 208 的阈值电压, 具
体地, 可以为使得所述第一 MOS 管 208 源极和漏极之间开始形成导电沟道
15 所需的栅极电压。

可以发现, 由于 $V_{GS3} < V_{GS4}$, 因此, 所述第一 MOS 管 208 提供的电流满
足以下条件:

$$I_{OUT} > \frac{(W/L)_4}{(W/L)_3} \times I_3 \quad (2)。$$

本申请实施例中, 通过所述第一 MOS 管 208 和所述第三 MOS 管 203
20 组成的电流镜产生上述第一电流, 相比将恒流源作为上述第一电流的供电电
流, 能够为所述第一 MOS 管 208 的源极电压提供更大的压摆率, 进而提高
传输信号的建立速度和传输速率。

换句话说, 本申请实施例中, 将所述第一 MOS 管 208 的源极作为所述
第一发送电路 220 的输出端, 能够在传输信号 (即上述第一电流) 的建立过
25 程中为所述传输信号提供较大的摆率, 进而能够提高传输信号的建立速度,
进而实现数据接口之间数据的高速传输。

可选地, 如图 3 所示, 所述第一偏置电路 211 可以包括:

第四 MOS 管 201 和第一电流源 204。

具体地, 所述第四 MOS 管 201 的源极用于接收电源电压, 所述第四

MOS 管 201 的栅极与所述第四 MOS 管 201 的漏极相连, 所述第四 MOS 管 201 的漏极通过所述第一电流源 204 连接至地, 所述第四 MOS 管 201 的栅极与第二 MOS 管 202 的栅极相连。

换句话说, 本申请实施例中, 所述第四 MOS 管 201 与所述第二 MOS 管 202 组成的电流镜用于为所述电流控制电路 212 提供偏置电流。

应当理解, 图 3 所示的第一偏置电路 211 仅为示例, 本发明实施例中的第一偏置电路 211 旨在为电流控制电路 212 提供偏置电流。本发明实施例对所述第一偏置电路 211 的具体电路结构和使用工艺不做限定。

还应理解, 图 3 所示的电路结构仅为本申请实施例的第一发送电路 220 的示例, 本申请实施例不限于此。例如, 在其它可替代实施例中, 图 3 所示的电路结构中, 所述第一电流的供电电路也可以是恒流源。当芯片内的功能模块, 比如处理器等向其所连接的另一芯片 (即, 对端芯片) 发送数据或者命令 (需要传输的信号), 可发送与需要传输的信号对应的输入信号 V_{in} 至接口电路, 接口电路中的一对开关 205 与 207 受控于 V_{in} 而形成组合状态, 使得 MOS 管 208 源极因向对端芯片的数据接口产生灌入电流 I_{out} 或者抽取电流 I_{out} 的效果, 从而使得对端 “接收” 到不同的信号, 也就是实现了向对端 “发送” 不同的信号, 实现输入信号的传递。

图 4 是图 2 所示的第一发送电路 220 的另一电路结构的示例。

如图 4 所示, 在本实施例中, 所述第一发送电路 220 可以包括:

开关 221、电流源 222、电流源 223 以及开关 224。

具体地, 所述开关 221 的一端连接到电源电压, 所述开关 221 的另一端通过电流源 222 连接至电流源 223 的一端, 所述电流源 223 的另一端通过所述开关 224 连接至地。其中, 所述输入信号 V_{in} 用于控制所述开关 221 和所述开关 224 的导通或断开, 所述电流源 222 和所述电流源 223 之间相连的端口作为所述第一发送电路 220 的输出端, 所述输出端用于接收或者输出所述第一电流。

更具体地, 所述输入信号 V_{in} 控制所述开关 221 导通且所述开关 224 断开时, 所述输出端向所述第一接收电路输出所述第一电流, 且所述第一电流的大小等于所述电流源 222 输出的电流。所述输入信号 V_{in} 控制所述开关 221 断开且所述开关 224 导通时, 所述输出端从所述第一接收电路接收所述第一电流, 且所述第一电流的大小等于所述电流源 223 输出的电流。

上文结合图 2 至图 4, 侧重描述了本申请实施例的包括第一发送电路 220 的数据接口 210, 下文结合图 5 至图 7, 对本申请实施例的具有接收数据功能的数据接口进行示例性说明。

图 5 是本申请实施例的另一数据接口 310 的示意性框图。

5 如图 5 所示, 所述数据接口 310 可以包括:

第二接收电路 330, 所述第二接收电路 330 用于从与所述数据接口 310 相连的对端接口的第二发送电路接收第二电流, 或者向所述对端接口的所述第二发送电路输出第二电流, 并根据所述第二电流可生成第二电压信号。

其中, 所述第二发送电路可以是与所述数据接口 310 相连的对端数据接口 10 口中的发送电路。例如, 图 5 所示的数据接口 310 为图 1 所示的数据接口 110 时, 所述第二接收电路 330 可以为图 1 所示的接收电路 115, 所述第二发送电路可以是图 1 所述的数据接口 130 中的发送电路 135。

本申请实施例中, 与所述数据接口 310 相连的对端数据接口通过向所述第二接收电路 330 灌入所述第二电流, 或者从所述数据接口 310 抽取所述第二电流的方式, 向所述数据接口 310 传输信号。换句话说, 所述第二接收电路 15 330 可以通过灌入或抽取的所述第二电流的电流值的大小, 生成所述第二电压信号。

可选地, 如图 5 所示, 所述数据接口 310 还可以包括:

静电保护电路 320, 所述第二接收电路 330 通过所述静电保护电路 320 20 连接至绑定线 340 的一端, 所述绑定线 340 的另一端用于连接所述第二发送电路。

可选地, 在本申请的一个实施例中, 所述数据接口 310 用于半双工通信。

例如, 所述数据接口 310 可以是如图 1 所示的数据接口 110, 所述第二接收电路 330 可以是如图 1 所示的接收电路 115, 所述静电保护电路 320 25 可以是图 1 所示的静电保护电路 113, 所述绑定线 340 可以是图 1 所示的绑定线 120, 所述第二发送电路可以是如图 1 所示的发送电路 135。

又例如, 所述数据接口 310 也可以是如图 1 所示的数据接口 130, 相应的, 所述第二接收电路可以是如图 1 所示的接收电路 131, 所述第二发送电路可以是如图 1 所示的发送电路 111, 所述静电保护电路可以是如图 1 所示 30 的静电保护电路 133。

可选地, 在本申请的一个实施例中, 所述数据接口 310 可以用于单工通

信。

应理解，图 5 为数据接口 310 仅包括第二接收电路 330 和静电保护电路 320 的示例。但本申请实施例不限于此。

例如，所述数据接口 310 用于半双工通信时，还可以包括用于实现半双工通信的开关。

又例如，在其他可替代实施例中，所述数据接口 310 也可以不包括所述静电保护电路 320。

可选地，在本申请的一个实施例中，所述第二接收电路 330 可以通过共栅放大电路来实现。

图 6 是本申请实施例的将共栅放大电路作为所述第二接收电路 330 的示例。

如图 6 所示，所述第二接收电路 330 可以包括：

MOS 管 301、电阻 302、寄生电容 303、寄生电容 304 以及负载电阻 305。

具体地，电阻 302 可以是输入电阻，作为输入电路的等效电阻；所述 MOS 管 301 的源极通过电阻 302 与对端数据接口的发送电路相连，例如与
所述第二接收电路 330 所在的数据接口相连的对端数据接口中的发送电路，
且所述 MOS 管 301 的源极通过寄生电容 303 连接至地，所述 MOS 管 301
的漏极通过寄生电容 304 连接至地，且所述 MOS 管 301 的漏极通过所述负
载电阻 305 连接至电源电压，所述 MOS 管 301 的漏极作为所述第二接收电
路 330 的输出端，用于输出所述第二电压信号。

本申请实施例中，所述 MOS 管 301 的源极用于接收或者输出所述第二电流，所述第二电流承载的信息量经过所述电阻 302 能够形成传输电平 V_{IN} 。进一步地，所述 MOS 管 301 的漏极将所述传输电平 V_{IN} 转换为所述第二电压信号，并输出所述第二电压信号。

假设忽略 MOS 管 301 的沟道长度的调制效应，则可以认为所述第二接收电路 330 的输入和输出是彼此孤立的，即所述第二接收电路 330 没有寄生电容跨接在输入和输出之间，从而能够避免寄生电容的米勒效应，进而能够增大所述第二接收电路 330 的带宽。

也就是说，本申请实施例中，将共栅放大电路作为所述第二接收电路 330 能够降低所述第二接收电路 330 的输出信号（即所述第二电压信号）的建立时间，进而提高所述数据接口 310 的传输速率。

应理解，图 6 所示的第二接收电路 330 仅为示例，但本申请实施例不限于此。例如，在图 6 所示的第二接收电路 330 中，所述电阻 302 为信号源的内阻，所述电阻 305 作为电流源内阻（假设电阻 305 连接到电流源以接收电源电压），在其具体实现中，所述电阻 302 和所述电阻 305 可以等效为其他等效器件或者等效元件。

图 7 是图 6 所示的第二接收电路 330 的具体电路设计的示例。

图 6 可以看作是图 7 电路对应的小信号模型图。

如图 7 所示，所述第二接收电路 330 可以包括：

电压比较电路 350 和第二偏置电路 360。

具体地，所述第二偏置电路 360 用于为所述电压比较电路 350 提供偏置电流。所述电压比较电路 350 用于通过从所述第二发送电路接收第二电流或向所述第二发送电路输出第二电流，并根据第二电流生成第二电压信号。

本申请实施例中，所述第二电流承载有所述第二接收电路 330 待接收的信息量，所述第二接收电路 330 用于将所述第二电流承载的信息量转换为所述第二电压信号，并将所述第二电压信号发送给与所述数据接口 310 连接的处理器。

可选地，如图 7 所示，所述电压比较电路 350 可以包括：

第五 MOS 管 321、第六 MOS 管 325、第七 MOS 管 322、第八 MOS 管 324 和第二电阻 326。

具体地，所述第五 MOS 管 321 的源极用于接收电源电压，并且所述第五 MOS 管 321 的漏极与所述第六 MOS 管 325 的漏极连接，所述第六 MOS 管 325 的源极用于接收或者输出所述第二电流，所述第七 MOS 管 322 的源极用于接收电源电压，所述第七 MOS 管 322 的漏极与所述第八 MOS 管 324 的漏极相连，所述第八 MOS 管 324 的源极通过所述第二电阻 326 连接至地，所述第五 MOS 管 321 的栅极与所述第七 MOS 管 322 的栅极连接，所述第六 MOS 管 325 的栅极连接至所述第八 MOS 管 324 的栅极，所述第八 MOS 管 324 的漏极与所述第八 MOS 管 324 的栅极相连。

可选地，如图 7 所示，电压比较电路 350 还可以包括：

第三电阻 327。

具体地，所述第六 MOS 管 325 的源极通过所述第三电阻 327 连接至地。可选地，在本申请的一个实施例中，所述第三电阻 327 可以是外接电阻。

本申请实施例中，所述第三电阻 327 用于将所述第二电流承载的信号量（即 B 端的电压）转换为传输电平 V_{IN} ，以便所述电压比较电路 350 根据所述传输电平 V_{IN} 输出所述第二电压信号。其中，所述第二电压信号可以是逻辑数字信号。

- 5 本申请实施例中，所述第五 MOS 管 321、所述第六 MOS 管 325、所述第七 MOS 管 322、所述第八 MOS 管 324 和所述第二电阻 326 可以组成所述电压比较电路 350 的放大电路。所述放大电路的一个接入端（如图所示的 C 端）为所述第八 MOS 管 324 的源极，所述 C 端的电平为所述第八 MOS 管 324 的源极电流与所述第二电阻 326 的乘积，所述 C 端的电平为固定电平。
- 10 所述放大电路的另一个接入端（如图所示的 B 端）用于接收上述第二电流，所述 B 端的电平为所述第二电流承载的信号量经过所述第三电路 327 转换形成的电平。

- 假设 C 端的电压为翻转阈值电平 V_r ，且所述第二电流承载的信号量（即 B 端的电压）为传输电平 V_{IN} ，则当 $V_{IN} > V_r$ 时所述第二接收电路 330 的 D 端
- 15 输出高电平，当 $V_{IN} < V_r$ 时所述第二接收电路 330 的 D 端输出低电平。

也就是说，所述第二电流承载的信号量的判决标准是所述电压比较电路 350 的翻转阈值电平 V_r 。

由于所述电压比较电路 350 的传输损耗可以表示为：

$$I_p = C \times V \times f \quad (3)$$

- 20 其中，C 表示数据接口的总寄生电容，V 表示传输电平（即 V_{IN} ）的幅值，f 表示传输速率。

- 因此，当所述翻转阈值电平 V_r 设置的比较低时，所述传输电平 V_{IN} 无需以满摆幅翻转。也就是说，所述电压比较电路 350 采用图 7 所示的电路设计时，能够有效降低传输电平 V_{IN} 的幅值 V，进而降低所述数据接口 310 的
- 25 损耗。

例如，以通用输入输出接口（General Purpose Input Output, GPIO）为例，GPIO 的传输电平为电源电压，假设将本申请实施例中的数据接口的传输电平设置为电源电压的十分之一，则在同等条件下，本申请实施例的数据接口 310 的传输损耗仅为 GPIO 的传输损耗的十分之一。

- 30 可选地，在本申请的一个实施例中，所述翻转阈值电平 V_r 可以通过改变第九 MOS 管 311 和第七 MOS 管 322 的比例进行调整，也可以通过设置所述

第二电阻 326 的阻值进行调整。

可选地，如图 7 所示，所述第二偏置电路 360 可以包括：

第九 MOS 管 311 和第二电流源 312。

具体地，所述第九 MOS 管 311 的源极用于接收电源电压，所述第九 MOS 管 311 的栅极与所述第五 MOS 管 321 的栅极相连，所述第九 MOS 管 311 的漏极通过所述第二电流源 312 连接至地。

应当理解，图 7 所示的第二偏置电路 360 的电路结构仅为示例，本发明实施例中的第二偏置电路 360 旨在为所述电压比较电路 350 提供偏置电流。本发明实施例对所述第二偏置电路 360 的具体电路结构和使用工艺不做限定。

可选地，如图 7 所示，所述电压比较电路 350 还可以包括：

第一反相器 331 和第二反相器 332。

具体地，第六 MOS 管 325 的漏极通过第一反相器 331 连接至第二反相器 332。

本申请实施例中，所述第一反相器 331 和所述第二反相器 332 用于对 D 端的电平进行整形，使得所述电压比较电路 350 输出的所述第二电压信号为处理器能够识别的数字信号“1”或者数字信号“0”。

可选地，如图 7 所示，电压比较电路 350 还包括：

第六开关 323。

具体地，所述第六开关 323 的一端用于接收电源电压，所述第六开关 323 的另一端与第五 MOS 管 321 的栅极相连。

本申请实施例中，所述第六开关导通时，所述第九 MOS 管 311、第五 MOS 管 321 以及第七 MOS 管 322 处于断开状态。由此，本申请实施例中的所述数据接口 310 不需要进行数据接收时，可以通过导通所述第六开关 323 来关闭所述数据接口 310 的接收功能，能够有效降低耗电量，进一步降低所述数据接口 310 的成本。

需要注意的是，由于信道容易受到干扰，倘若所述第二电流承载的信号量（即传输电平 V_{IN} ）在所述电压比较电路 350 的翻转阈值电平 V_r 附近跳动时，所述电压比较电路 350 的输出结果容易出现错误。

为了解决上述问题，可选地，在本申请的一个实施例中，所述翻转阈值电平 V_r 可以包括一个迟滞量，即噪声容限，以增强所述电压比较电路 350 的

抗干扰能力。

图 8 是本申请实施例的具有迟滞功能的电压比较电路 350 的示例。

如图 8 所示, 所述电压比较电路 350 还可以包括:

第四电阻 328 和第五开关 329。

- 5 具体地, 所述第八 MOS 管 324 的源极与所述第三电阻 326 的一端相连, 所述第三电阻 326 的另一端通过所述第四电阻 328 连接至地, 所述第四电阻 328 的一端通过所述第五开关 329 连接至所述第四电阻 328 的另一端, 所述第一反相器 311 输出的信号用于控制所述第五开关 329 的导通或者断开。

- 10 可选地, 在本申请的一个实施例中, 当传输电平 V_{IN} 从 0 开始上升时, 如图 8 所示, A 点电压为高电平, 所述第五开关 329 处于断开状态, 所述电压比较电路 350 的翻转阈值电平为:

$$V_{r+} = I \times (R_1 + R_2) \quad (4)$$

其中, I 表示所述第三电阻 326 和所述第四电阻 328 上的电流, 所述 R_2 表示所述第三电路 326 的阻值, 所述 R_1 表示所述第四电阻 328 的阻值。

- 15 进一步地, 随着传输电平 V_{IN} 继续上升并超过翻转阈值电平 V_{r+} , A 点电压从高电平变为低电平, 所述第五开关 329 处于导通状态, 所述第四电阻 328 被短路, 这种情况下, 所述电压比较电路 350 的翻转阈值电平为:

$$V_{r-} = I \times R_2 \quad (5)$$

- 20 通过以上分析可以发现, 当传输电平 V_{IN} 从 0 逐渐上升并超过翻转阈值电平 V_{r+} 后, 只要噪声抖动不超过 $-(I \times R_1)$, 则所述电压比较电路 350 的输出是不会翻转成低电平。反之, 当传输电平 V_{IN} 从 VDD 逐渐下降并低于翻转阈值电平 V_{r-} 后, 只要噪声抖动不超过 $+(I \times R_1)$, 则所述电压比较电路 350 的输出不会翻转为高电平。即, 所述电压比较电路 350 的翻转阈值电平存在 $(I \times R_1)$ 的迟滞量, 这也是所述电压比较电路 350 的输入噪声的容限。

- 25 本发明实施例中还提供了一种芯片或者芯片系统, 其中, 该芯片可以配置有上述涉及的至少一种数据接口, 或者, 该芯片系统中的第一芯片和第二芯片之间采用上述涉及至少一种的数据接口连接。

图 9 是本申请实施例的芯片系统 400 的电路设计的示例。

如图 9 所示, 所述芯片系统 400 可以包括:

- 30 芯片 410 和芯片 420, 所述芯片 410 可以包括图 3 所示的第一发送电路 220, 所述芯片 420 可以包括图 7 所示的第二接收电路 330。所述芯片 410

和所述芯片 420 通过所述第一发送电路 220 和所述第二接收电路 330 进行通信。

其中，开关 205 和开关 207 受到输入信号的控制。

具体地，当输入信号控制所述开关 205 导通且所述开关 207 断开，所述
5 芯片 410 中的所述第一发送电路 220 向所述芯片 420 中的所述第二接收电路 330 输出电流，即电流从 A 点流向 B 点，B 点电压迅速升高。当 B 点电压超过 C 点电压时，D 点电压升高并达到反相器 331 的翻转阈值电压，最终由反相器 332 输出高电平。至此，所述第二接收电路 330 成功接收到所述第一发送电路 220 发送的高电平信号。

10 当输入信号控制开关 205 断开且开关 207 导通，所述芯片 410 中的所述第一发送电路 220 接收所述芯片 420 中的所述第二接收电路 330 输出的电流，即电流从 B 点流向 A 点，B 点电压迅速降低。当 B 点电压低于 C 点电压时，D 点电压下降并达到反相器 331 的翻转阈值电平，最终由反相器 332 输出高电平。至此，所述第二接收电路 330 成功接收到所述第一发送电路 220
15 发送的低电平信号。

综上所述，本申请实施例提供的芯片 410、芯片 420 和芯片系统 400，采用电流作为传输信号的载体，并通过单端输出的方式进行数据传输，避免了采用回路的电路设计进行数据传输，能够有效降低数据接口的成本。

此外，所述芯片 410 作为发射端时，将 MOS 管 208 的源端作为所述数
20 据接口的第一发送电路 220 的输出端，能够在传输信号建立过程中为所述传输信号提供较大的摆率，进而能够提高传输信号的建立速度，进而实现数据的高速传输。所述芯片 420 作为接收端时，一方面，通过调整所述数据接口中电压比较电路的翻转阈值电平，能够有效降低信号量的传输电平，进而降低所述数据接口的功耗。另一方面，所述电压比较电路中采用共栅放大电路
25 能够有效提高所述电压信号的建立速度，进而实现数据的高速传输。应理解，为了避免重复，此处对所述第一发送电路 220 和所述第二接收电路 330 的具体结构不再赘述。

应理解，以上结合图 1 至图 9 详细描述了本申请的优选实施方式，但是，本申请并不限于上述实施方式中的具体细节，在本申请的技术构思范围内，
30 可以对本申请的技术方案进行多种简单变型，这些简单变型均属于本申请的保护范围。

例如，MOS 管根据“通道”（工作载流子）的极性不同，可以分为“N 型”MOS 管（NMOSFET）与“P 型”MOS 管（PMOSFET），对于 NMOSFET，其源极和漏极接在 N 型半导体上，接高压为漏端，接低压为源端，实际电流方向为流入漏极。对于 PMOSFET，其源极和漏极则接在 P 型半导体上，接高压为源端，接低压为漏端，实际电流方向为流出漏极。以图 8 所示的第二偏置电路 360 为例，所述第二偏置电路 360 包括第九 MOS 管 311，所述 MOS 管 311 为“P 型”MOS 管。但本发明实施例不限于此。例如，在其它可替代实施例中，可以将所述 MOS 管 311 设计为“N 型”MOS 管，并适应性的改进所述电压比较电路 350 中的部分器件，使得所述第二偏置电路 360 能够为所述电压比较电路 350 提供偏置电流即可。

另外，需要说明的是，在上述具体实施方式中所描述的各个具体技术特征，在不矛盾的情况下，可以通过任何合适的方式进行组合，为了避免不必要的重复，本申请对各种可能的组合方式不再另行说明。此外，本申请的各种不同的实施方式之间也可以进行任意组合，只要其不违背本申请的思想，其同样应当视为本申请所公开的内容。

最后，需要说明的是，在本发明实施例和所附权利要求书中使用的术语是仅仅出于描述特定实施例的目的，而非旨在限制本发明实施例。例如，在本发明实施例和所附权利要求书中所使用的单数形式的“上述”、“所述”和“该”也旨在包括多数形式，除非上下文清楚地表示其他含义。

本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的部件，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本发明实施例的范围。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的装置和部件，可以是或者也可以不是物理上分开的。可以根据实际的需要选择其中的部分或者全部部件来实现本发明实施例的目的。

以上内容，仅为本发明实施例的具体实施方式，但本发明实施例的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明实施例揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明实施例的保护范围之内。因此，本发明实施例的保护范围应以权利要求的保护范围为准。

权利要求

1. 一种数据接口，其特征在于，所述数据接口应用于发送端或者半双工通信，所述数据接口包括：

5 第一发送电路；

所述第一发送电路用于接收输入信号，并根据所述输入信号向与所述数据接口相连的对端接口的第一接收电路输出第一电流，或者根据所述输入信号从所述对端接口的所述第一接收电路接收第一电流，以在对端接口产生与所述输入信号对应的第一电压信号。

10 2. 根据权利要求1所述的数据接口，其特征在于，所述第一发送电路包括：

第一MOS管和电流控制电路；

所述电流控制电路受控于所述输入信号，以控制所述第一MOS管的源极输出或接收所述第一电流。

15 3. 根据权利要求2所述的数据接口，其特征在于，所述第一发送电路进一步包括：

第一偏置电路，所述第一偏置电路通过所述电流控制电路连接至所述第一MOS管，所述第一偏置电路用于为所述电流控制电路提供偏置电流。

20 4. 根据权利要求2或3所述的数据接口，其特征在于，所述电流控制电路包括：

第一开关和第二开关；

所述第一开关的一端用于接收电源电压，所述第一开关的另一端通过所述第一MOS管连接至所述第二开关的一端，所述第二开关的另一端连接至地。

25 5. 根据权利要求4所述的数据接口，其特征在于，所述电流控制电路还包括：

第二MOS管、第三MOS管和第一电阻；

30 所述第二MOS管的源极用于接收所述电源电压，所述第二MOS管的漏极通过所述第三MOS管连接至所述第一电阻的一端，所述第一电阻的另一端连接至地，所述第三MOS管的栅极与所述第一MOS管的栅极相连。

6. 根据权利要求4所述的数据接口，其特征在于，所述第一偏置电路包

括:

第四 MOS 管和第一电流源;

所述第四 MOS 管的源极用于接收电源电压, 所述第四 MOS 管的栅极与
所述第四 MOS 管的漏极相连, 所述第四 MOS 管的漏极通过所述第一电
5 流源连接至地, 所述第四 MOS 管的栅极与所述第二 MOS 管的栅极相连。

7. 根据权利要求 1 至 6 中任一项所述的数据接口, 其特征在于, 所述数
据接口还包括:

静电保护电路, 所述第一发送电路通过所述静电保护电路连接至绑定线
的一端, 所述绑定线的另一端用于连接所述第一接收电路。

10 8. 根据权利要求 7 所述的数据接口, 其特征在于, 当所述数据接口应用
于半双工通信, 所述数据接口还包括:

第二接收电路;

所述第二接收电路通过所述静电保护电路连接至所述绑定线的一端, 所
述绑定线的另一端用于连接所述对端接口的第二发送电路;

15 所述第二接收电路用于通过所述绑定线和所述静电保护电路从所述第
二发送电路接收第二电流或向所述第二发送电路输出第二电流, 并根据所述
第二电流生成第二电压信号。

9. 根据权利要求 8 所述的数据接口, 其特征在于, 所述数据接口还包括:

第三开关和第四开关;

20 所述第一发送电路通过所述第三开关连接至所述静电保护电路, 所述第
二接收电路通过所述第四开关连接至所述静电保护电路。

10. 根据权利要求 8 或 9 所述的数据接口, 其特征在于, 所述第二接收
电路包括:

电压比较电路和第二偏置电路;

25 所述第二偏置电路用于为所述电压比较电路提供偏置电流, 所述电压比
较电路用于接收或输出所述第二电流, 并根据所述第二电流生成所述第二电
压信号。

11. 根据权利要求 10 所述的数据接口, 其特征在于, 所述电压比较电路
包括:

30 第五 MOS 管、第六 MOS 管、第七 MOS 管、第八 MOS 管和第二电阻;
所述第五 MOS 管的源极用于接收电源电压, 所述第五 MOS 管的漏极

与所述第六 MOS 管的漏极连接，所述第六 MOS 管的源极用于接收或者输出所述第二电流，所述第七 MOS 管的源极用于接收电源电压，所述第七 MOS 管的漏极与所述第八 MOS 管的漏极相连，所述第八 MOS 管的源极通过所述第二电阻连接至地，所述第五 MOS 管的栅极与所述第七 MOS 管的栅极连接，所述第六 MOS 管的栅极连接至所述第八 MOS 管的栅极，所述第八 MOS 管的漏极与所述第八 MOS 管的栅极相连。

12. 根据权利要求 11 所述的数据接口，其特征在于，所述电压比较电路还包括：

第一反相器和第二反相器；

10 所述第六 MOS 管的漏极通过所述第一反相器连接至所述第二反相器。

13. 根据权利要求 11 所述的数据接口，其特征在于，所述电压比较电路还包括：

第三电阻；

所述第六 MOS 管的源极通过所述第三电阻连接至地。

15 14. 根据权利要求 11 所述的数据接口，其特征在于，所述电压比较电路还包括：

第四电阻和第五开关；

20 所述第八 MOS 管的源极与所述第三电阻的一端相连，所述第三电阻的另一端通过所述第四电阻连接至地，所述第四电阻的一端通过所述第五开关连接至所述第四电阻的另一端，所述第一反相器输出的信号用于控制所述第五开关的导通或者断开。

15. 根据权利要求 11 所述的数据接口，其特征在于，所述电压比较电路还包括：

第六开关；

25 所述第六开关的一端用于接收电源电压，所述第六开关的另一端与所述第五 MOS 管的栅极相连。

16. 根据权利要求 11 所述的数据接口，其特征在于，所述第二偏置电路包括：

第九 MOS 管和第二电流源；

30 所述第九 MOS 管的源极用于接收电源电压，所述第九 MOS 管的栅极与所述第五 MOS 管的栅极相连，所述第九 MOS 管的漏极通过所述第二电

流源连接至地。

17. 一种数据接口，其特征在于，所述数据接口应用于接收端，所述数据接口包括：

第二接收电路；

5 所述第二接收电路用于从与所述数据接口相连的对端接口的第二发送电路接收第二电流，或者向所述对端接口的所述第二发送电路输出第二电流，并根据所述第二电流生成第二电压信号。

18. 根据权利要求 17 所述的数据接口，其特征在于，所述数据接口还包括：

10 静电保护电路；

所述第二接收电路通过所述静电保护电路连接至绑定线的一端，所述绑定线的另一端用于连接所述第二发送电路。

19. 根据权利要求 17 或 18 所述的数据接口，其特征在于，所述第二接收电路包括：

15 电压比较电路和第二偏置电路；

所述第二偏置电路用于为所述电压比较电路提供偏置电流，所述电压比较电路用于接收或输出所述第二电流，并根据所述第二电流生成所述第二电压信号。

20. 根据权利要求 19 所述的数据接口，其特征在于，所述电压比较电路包括：

第五 MOS 管、第六 MOS 管、第七 MOS 管、第八 MOS 管和第二电阻；

25 所述第五 MOS 管的源极用于接收电源电压，所述第五 MOS 管的漏极与第六 MOS 管的漏极连接，所述第六 MOS 管的源极用于接收或者输出所述第二电流，所述第七 MOS 管的源极用于接收电源电压，所述第七 MOS 管的漏极与第八 MOS 管的漏极相连，所述第八 MOS 管的源极通过所述第二电阻连接至地，所述第五 MOS 管的栅极与第七 MOS 管的栅极连接，所述第六 MOS 管的栅极连接至第八 MOS 管的栅极，所述第八 MOS 管的漏极与第八 MOS 管的栅极相连。

30 21. 根据权利要求 20 所述的数据接口，其特征在于，所述电压比较电路还包括：

第一反相器和第二反相器；

所述第六 MOS 管的漏极通过所述第一反相器连接至所述第二反相器。

22. 根据权利要求 20 所述的数据接口，其特征在于，所述电压比较电路还包括：

第三电阻；

5 所述第六 MOS 管的源极第三电阻通过所述第三电阻连接至地。

23. 根据权利要求 20 所述的数据接口，其特征在于，所述电压比较电路还包括：

第四电阻和第五开关；

10 所述第八 MOS 管的源极与所述第二电阻的一端相连，所述第二电阻的另一端通过所述第四电阻连接至地，所述第二电阻的一端通过所述第五开关连接至所述第二电阻的另一端，所述第一反相器输出的信号用于控制所述第五开关的导通或者断开。

24. 根据权利要求 20 所述的数据接口，其特征在于，所述电压比较电路还包括：

15 第六开关；

所述第六开关的一端用于接收电源电压，所述第六开关的另一端与所述第五 MOS 管的栅极相连。

25. 根据权利要求 20 所述的数据接口，其特征在于，所述第二偏置电路包括：

20 第九 MOS 管和第二电流源；

所述第九 MOS 管的源极用于接收电源电压，所述第九 MOS 管的栅极与所述第五 MOS 管的栅极相连，所述第九 MOS 管的漏极通过所述第二电流源连接至地。

26. 一种芯片，其特征在于，包括：

25 权利要求 1 至 16 中任一项所述的数据接口，和/或，权利要求 17 至 25 中任一项所述的数据接口。

27. 一种芯片系统，其特征在于，包括：

多个芯片，所述多个芯片中的芯片和第二芯片之间采用以下至少一种数据接口连接：

30 权利要求 1 至 16 中任一项所述的数据接口，和/或，权利要求 17 至 25 中任一项所述的数据接口。

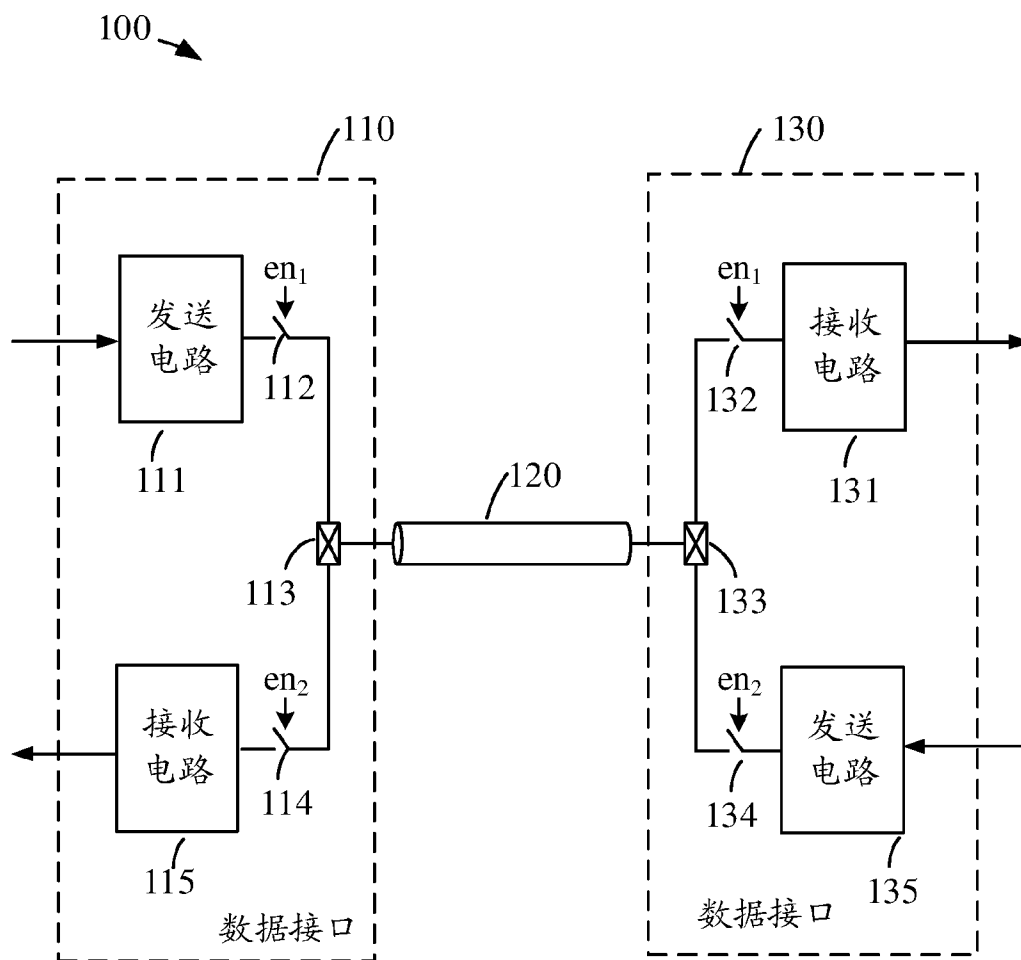


图 1

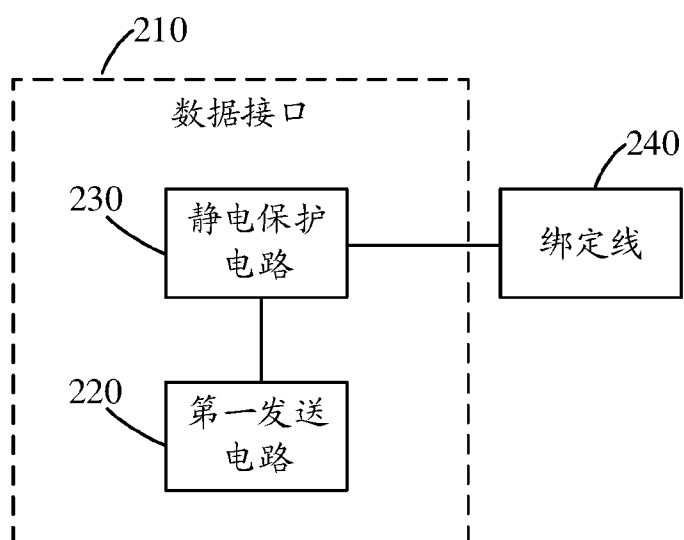


图 2

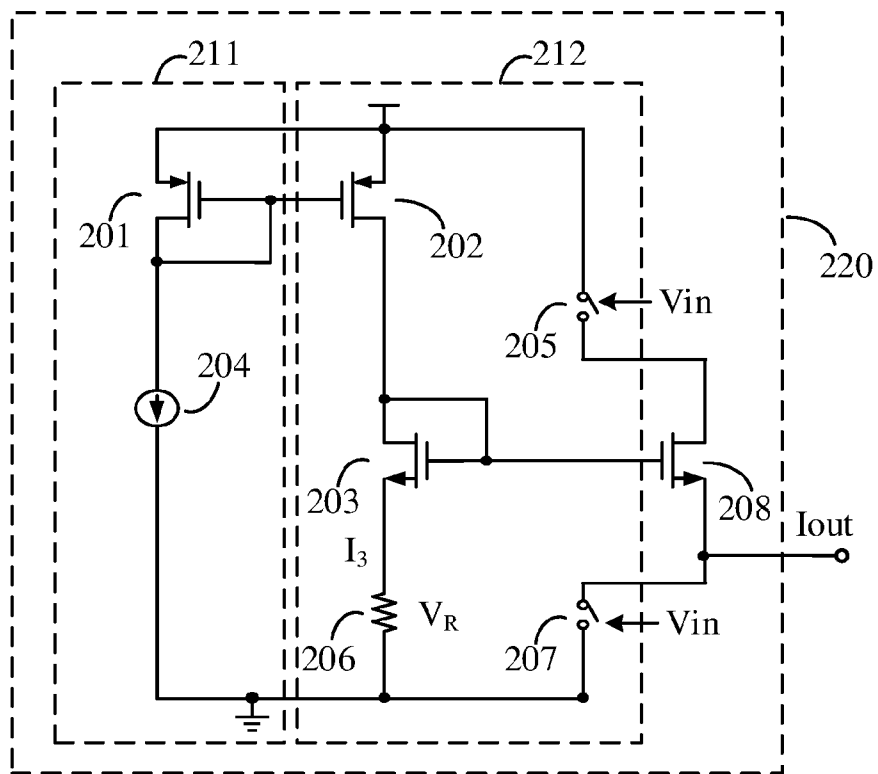


图 3

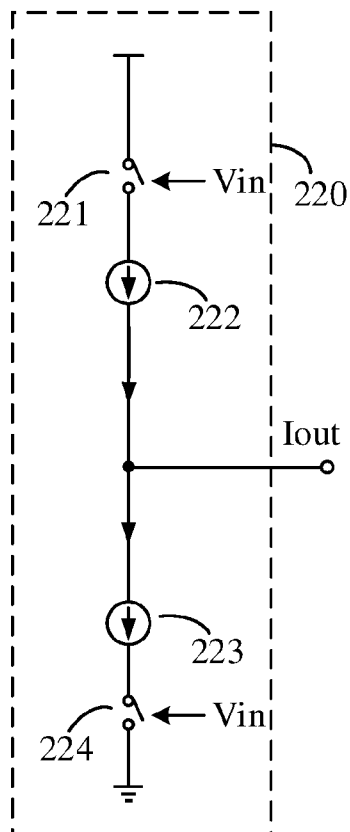


图 4

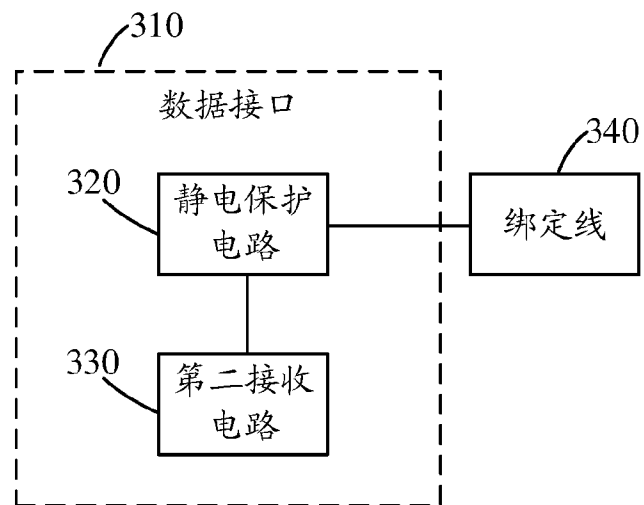


图 5

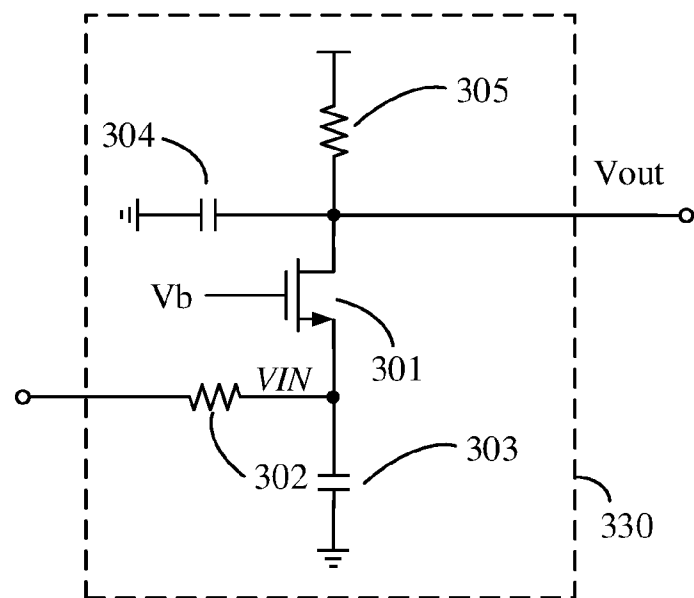


图 6

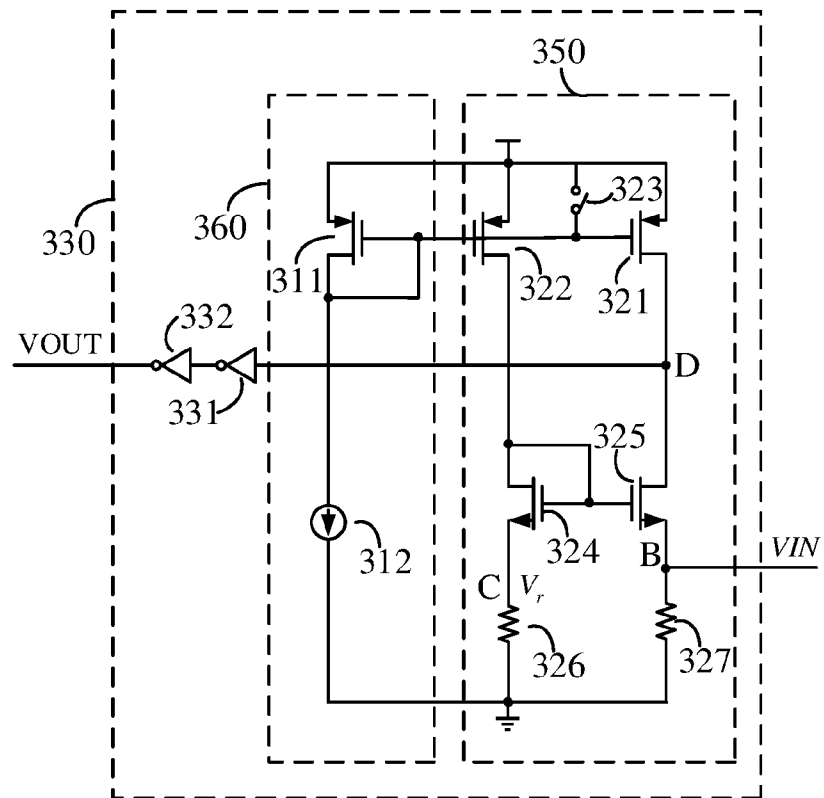


图 7

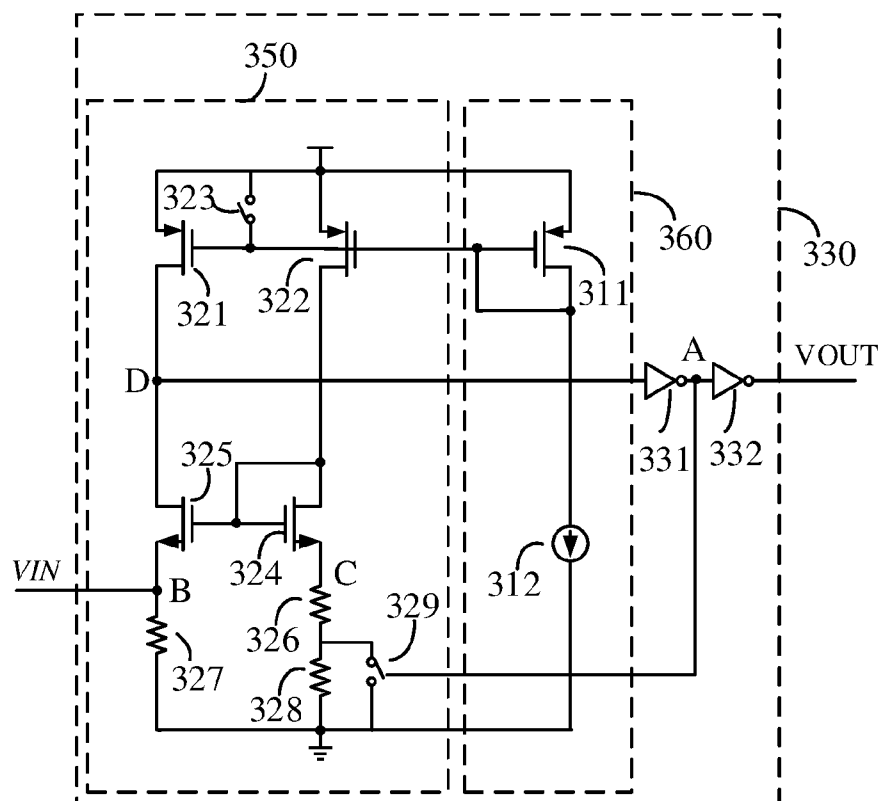
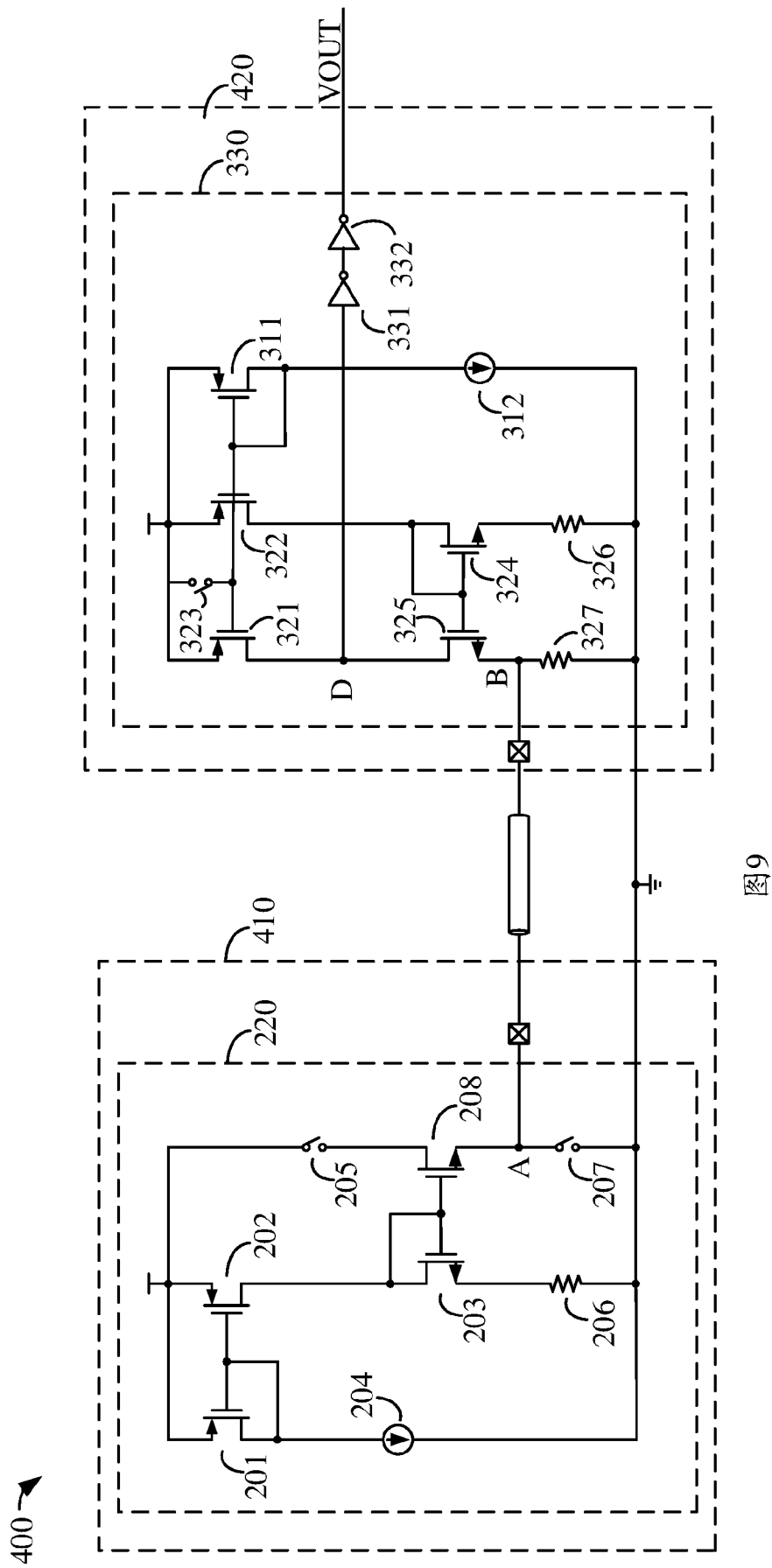


图 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/103841

A. CLASSIFICATION OF SUBJECT MATTER

H03K 19/0175(2006.01)i; H03K 19/0185(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; DWPI; SIPOABS; USTXT; WOTXT; EPTXT; CNKI: 接口, 电路, 半双工, 发送, 接收, 晶体管, 单端, 开关, 偏置, 电流源, 比较器, 静电保护, interface, IO, half duplex, send, receiver, transistor, MOS, switch, offset, current source, comparator, ESD protection

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1647381 A (NOKIA CORPORATION) 27 July 2005 (2005-07-27) description, p. 6, line 18 to p. 12, line 20, and figures 1-14	1-10, 17-19, 26, 27
A	CN 1647381 A (NOKIA CORPORATION) 27 July 2005 (2005-07-27) description, p. 6, line 18 to p. 12, line 20, and figures 1-14	11-16, 20-25
A	CN 103066988 A (SHENZHEN STATE MICRO TECHNOLOGY CO., LTD.) 24 April 2013 (2013-04-24) entire document	1-27
A	CN 204190740 U (SHAANXI QIANSHAN AVIONICS CO., LTD.) 04 March 2015 (2015-03-04) entire document	1-27



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 April 2019

Date of mailing of the international search report

13 May 2019

Name and mailing address of the ISA/CN

**National Intellectual Property Administration, PRC (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/103841

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1647381	A	27 July 2005	US	8965304	B2	24 February 2015
				WO	03039000	A1	08 May 2003
				AU	2002363272	A1	12 May 2003
				US	2003087671	A1	08 May 2003
				EP	1446883	B1	04 April 2012
				EP	1446883	A4	05 May 2010
				KR	20040053228	A	23 June 2004
				CN	1295877	C	17 January 2007
				EP	1446883	A1	18 August 2004
				US	2009190639	A1	30 July 2009
				US	7702293	B2	20 April 2010
				KR	100959569	B1	27 May 2010
CN	103066988	A	24 April 2013	CN	103066988	B	01 July 2015
CN	204190740	U	04 March 2015	None			

国际检索报告

国际申请号

PCT/CN2018/103841

A. 主题的分类

H03K 19/0175 (2006.01) i; H03K 19/0185 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; DWPI; SIPOABS; USTXT; WOTXT; EPTXT; CNKI: 接口, 电路, 半双工, 发送, 接收, 晶体管, 单端, 开关, 偏置, 电流源, 比较器, 静电保护, interface, I/O, half duplex, send, receiver, transistor, MOS, switch, offset, current source, comparator, ESD protection

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1647381 A (诺基亚有限公司) 2005年 7月 27日 (2005 - 07 - 27) 说明书第6页第18行-第12页第20行, 图1-14	1-10、17-19、26、27
A	CN 1647381 A (诺基亚有限公司) 2005年 7月 27日 (2005 - 07 - 27) 说明书第6页第18行-第12页第20行, 图1-14	11-16、20-25
A	CN 103066988 A (深圳国微技术有限公司) 2013年 4月 24日 (2013 - 04 - 24) 全文	1-27
A	CN 204190740 U (陕西千山航空电子有限责任公司) 2015年 3月 4日 (2015 - 03 - 04) 全文	1-27

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 4月 23日

国际检索报告邮寄日期

2019年 5月 13日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

朱来普

传真号 (86-10) 62019451

电话号码 (86-512) 88995682

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/103841

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1647381	A	2005年 7月 27日	US	8965304	B2	2015年 2月 24日
				WO	03039000	A1	2003年 5月 8日
				AU	2002363272	A1	2003年 5月 12日
				US	2003087671	A1	2003年 5月 8日
				EP	1446883	B1	2012年 4月 4日
				EP	1446883	A4	2010年 5月 5日
				KR	20040053228	A	2004年 6月 23日
				CN	1295877	C	2007年 1月 17日
				EP	1446883	A1	2004年 8月 18日
				US	2009190639	A1	2009年 7月 30日
				US	7702293	B2	2010年 4月 20日
				KR	100959569	B1	2010年 5月 27日
CN	103066988	A	2013年 4月 24日	CN	103066988	B	2015年 7月 1日
CN	204190740	U	2015年 3月 4日	无			